

Gate-Induced Drain Leakage를 줄인 새로운 구조의 고성능 Elevated Source Drain MOSFET에 관한 분석

(Analysis of a Novel Elevated Source Drain MOSFET with Reduced Gate-Induced Drain Leakage and High Driving Capability)

金庚煥*, 崔彰洵*, 金正泰*, 崔佑榮*

(Kyung-Whan Kim, Chang-Soon Choi, Jung-Tae Kim, and Woo-Young Choi)

요 약

GIDL(Gate-Induced Drain-Leakage)을 줄일 수 있는 새로운 구조의 ESD(Elevated Source Drain) MOSFET을 제안하고 분석하였다. 제안된 구조는 SDE(Source Drain Extension) 영역이 들러진 형태를 갖고 있어서 SDE 임플란트시 매우 낮은 에너지 이온주입으로 인한 저활성화(low-activation) 효과를 방지할 수 있다. 제안된 구조는 건식 식각 및 LAT(Large-Angle-Tilted) 이온주입 방법을 사용하여 소오스/드레인 구조를 결정한다. 기존의 LDD MOSFET과의 비교 시뮬레이션 결과, 제안된 ESD MOSFET은 전류 구동능력은 가장 크면서 GIDL 및 DIBL(Drain Induced Barrier Lowering) 값은 효과적으로 감소시킬 수 있음을 확인하였다. GIDL 전류가 감소되는 원인으로서는 최대 전계의 위치가 드레인 쪽으로 이동함에 따라 최대 밴드간 터널링이 일어나는 곳에서의 최대 전계값이 감소되기 때문이다.

Abstract

A novel self-aligned ESD (Elevated Source Drain) MOSFET structure which can effectively reduce the GIDL (Gate-Induced Drain Leakage) current is proposed and analyzed. The proposed ESD structure is characterized by sidewall spacer and recessed-channel depth which are determined by dry-etching process. Elevation of the Source/Drain extension region is realized so that the low-activation effect caused by low-energy ion implantation can be avoided. Unlike the conventional LDD structures, it is shown that the GIDL current of the ESD structure is suppressed without sacrificing the maximum driving capability. The main reason for the reduction of GIDL current is the decreased electric field at the point of the maximum band-to-band tunneling as the peak electric field is shifted toward the drain side.

I. 서론

* 正會員, 延世大學校 電氣電子工學科
(Dept. of Electrical and Electronic Engineering,
Yonsei University)

※ 본 연구는 98년도 한국학술진흥재단 신진연구인력
연구장려금 지원사업에 의해 지원되었습니다.

接受日字:2000年6月16日, 수정완료일:2001年5月29日

고성능, 고집적 회로에서 요구되는 MOSFET 소자의 크기가 지속적으로 감소됨에 따라서 단채널 효과를 억제하기 위해 얇은 접합의 소오스/드레인 구조를 형성하는 것이 더욱 중요하게 되었다. 얇은 접합을 형성하는 방법으로는 기존의 이온주입법을 사용하는 것과, SPD(Solid Phase Diffusion), 플라즈마 도핑, 에피택시

를 사용한 방법 등과 같은 방법들이 있으며 이중에서 이온주입법을 이용한 방법이 도핑의 균일성이나 제어성 및 재현성 등의 측면에서 유리한 점이 있다^[1]. 이온주입법의 경우, 극도로 얇은 접합을 형성하기 위해서는 매우 낮은 에너지($\leq 10\text{keV}$)의 이온주입과 RTA(Rapid Thermal Annealing)가 필수적이다. 매우 낮은 에너지로 도핑된 불순물들은 이온의 활성화가 저해되는 효과로 인하여 기생저항이 증가되는 문제가 있다^[1]. 결과적으로 SDE 도즈를 증가시켜 기생저항을 줄여주는 것이 필요하다. 최근의 여러 연구 논문들^[1~4]을 보면, 이러한 문제를 해결하기 위해 일반적으로 SDE 이온주입 도즈를 크게 해주는 것을 확인할 수 있다.

그러나 기존의 LDD 구조의 경우, SDE 이온주입 도즈를 증가시키기에 따라 GIDL(Gate-Induced Drain-Leakage)이 증가하는 문제가 발생한다^[3]. GIDL은 오프(off) 상태의 누설 특성을 결정짓는 중요한 요인이며 pMOS 소자에서 그 문제성이 더 큰 것으로 알려져 있다^[5~6]. 또한 대표적인 반도체 기억 소자인 DRAM에서의 누설전류 문제와 배터리 등으로 동작하는 휴대용 전자기기의 사용이 크게 증가함에 따라 이러한 현상에 대한 분석의 필요성이 증대되고 있다. 다만 이러한 문제들은 소자의 축소 스케일링시, 공급전압 또한 동시에 줄어드는 추세이므로 이를 통해 GIDL 특성의 악화를 방지할 수 있을 것으로 판단된다. 그러나 현실적으로 공급전압의 감소 경향은 기존의 시스템과의 호환성·즉, 외부 칩(chip)들 간의 인터페이스를 고려해야 하기 때문에 다른 소자 스케일링 요소들에 비해 다소 뒤쳐지게 되며 더 많은 제약이 따르게 되는 면이 있다. 또한 큰 로딩(load)이 걸리는 다수의 회로들을 동시에 구동하는 응용분야의 경우에는 공급전압을 내부적으로 pumping up 하여 더 큰 전압으로 만들어 사용하기 때문에 이러한 특정 응용분야에서는 GIDL 특성의 개선이 더 중요해질 것이다. 결론적으로 기존의 일반적인 LDD MOSFET의 경우, 전류 구동력과 GIDL 전류 사이에는 trade-off 관계가 존재하며 이를 완화시킬 수 있는 방법에 관한 연구가 요구된다.

또한 이러한 trade-off 관계는 단채널 효과(Short-Channel Effect)와 소자의 성능 사이에도 확연히 존재하며, 이를 개선시키기 위해 꾸준한 연구가 진행되어 왔다. 이 중 소자의 구조를 변경하는 방법은 매우 효과적인 방법이며, ESD (Elevated Source Drain) 구조는 이러한 변경 방법 중의 한 예로 볼 수 있다. 이 구조는

특히 소자의 축소 스케일링 시 단채널 효과 대비 성능비가 우수하여 차세대 소자로서 유망할 것으로 전망된다. 본 논문에서는 새로운 구조의 자기-정렬된 ESD MOSFET 구조를 제안하고 GIDL 특성을 분석하였다. 또한 단채널 특성 및 전류 구동력에 관해 일반적인 LDD 구조와 비교, 분석하였다. 현실적으로, 정확하게 원하는 디자인 파라미터를 갖는 여러 가지 ESD 소자 구조들을 제작하는 데에는 어려움이 있으므로, 2차원 공정 및 소자 시뮬레이터를 사용하여 각 구조에 대한 비교 및 분석을 수행하였다.

II. 소자의 제작 방법 및 특징

제안된 ESD MOSFET의 제작 방법은 그림 1에 제시되었다^[7]. 각 공정 과정은 2차원 공정 시뮬레이션 프로그램인 TSUPREM-4^[8]를 사용하여 시뮬레이션하였다. 처음으로, P형 (100) 방향의 웨이퍼 상에서 마스크 산화막 증착 후 건식 식각으로 채널 영역을 노출한다^[9]. 이때 실리콘 표면 또한 X_R 의 깊이로 식각한다. 펀치스루(punchthrough) 방지와 문턱전압 조정을 위한 이온주입은 각각 B^+ , $4 \times 10^{12}\text{cm}^{-2}$ 의 도즈(dose), 45KeV의 조건과 BF_2^+ , $6 \times 10^{12}\text{cm}^{-2}$ 의 도즈, 90KeV의 조건으로 가해주었다. 여기서 채널 이온주입이 그림 1(b)와 같이 채널 영역에만 선택적으로 이루어지므로 채널 이온주입으로 인한 드레인(소오스)과 기판 사이의 접합 커패시턴스 증가가 최소화될 수 있다^[10~11]. 질화막 측벽의 경우, 마스크 산화막(SiO_2)과 선택적으로 식각할 수 있는 특성이 있으며^[11] W_S 의 두께를 갖도록 형성하였다. X_R 과 W_S 값은 소오스/드레인 구조를 결정짓는 중요한 특성값이며 단채널 현상을 효과적으로 억제하기 위하여 각각 30nm, 15nm의 값으로 결정하였다. 소오스/드레인 접합 깊이(X_j)는 소오스/드레인 형성을 위한 이온주입 조건이 일정할 때, 접합을 이루는 부분에서 기판(또는 well) 쪽의 도핑 농도에 의해 결정되므로 기판 농도 $N_A = 1 \times 10^{17}\text{cm}^{-3}$ 을 갖도록 설계하였다. 게이트 산화막은 50Å의 두께를 갖도록 성장시켰으며, 폴리실리콘을 그림 1(c)와 같이 충분한 두께로 증착시키고 이를 다시 마스크 산화막이 드러날 때까지 식각한 후, 마스크 산화막을 선택적으로 제거하면 그림 1(d)와 같은 구조를 얻게된다. 이렇게 형성된 게이트는 자기-정렬이 가능한 구조이며, 여기에 LAT(Large-Angle-Tilted) 방법을 적용한 SDE(Source Drain Extension) 영역을

As^+ , $5 \times 10^{14} cm^{-2}$ 의 도즈, 25KeV, 30° 입사각의 조건으로 형성하였다. 깊은 접합의 소오스/드레인 영역은 As^+ , $5 \times 10^{15} cm^{-2}$ 의 도즈, 20KeV의 조건으로 이온주입하여 형성하였다. 어닐링 과정은 RTA(Rapid Thermal Annealing) 방식으로 $1000^\circ C$, 10초 동안 진행되었다.

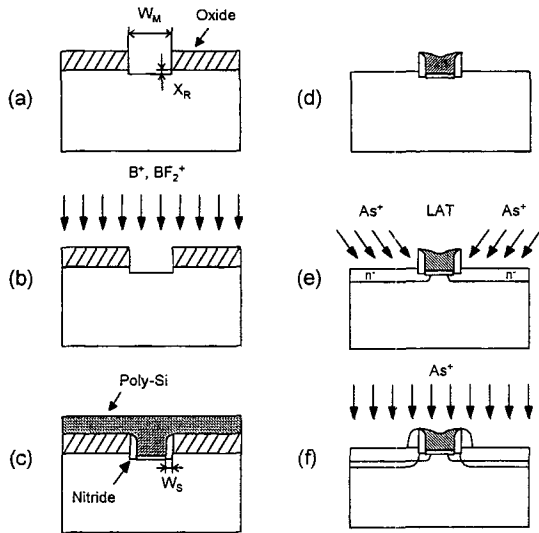


그림 1. 제안된 ESD(Elevated Source/Drain) 구조의 공정 과정
Fig. 1. Fabrication steps for proposed ESD(Elevated Source/Drain) structure.

제안된 구조의 특징은 몇가지 장점을 갖는다. 첫째, 함몰된 채널 위에 게이트와 소오스/드레인 영역이 모두 자기-정렬된 구조이다^[12]. 이는 함몰된 채널 구조에서 흔히 발생할 수 있는 자기-정렬의 문제를 해결할 수 있다. 둘째, 제안된 구조는 채널 도핑이 선택적으로 이루어지므로 깊은 소오스/드레인 접합이 형성될 부분(그림 2의 (II) 영역)의 접합 커패시턴스를 최소화할 수 있는 구조이다. 마지막으로 SDE 부분이 들러진(elevated) 형태를 갖고 있으므로 SDE 이온주입시 매우 낮은 에너지 이온주입을 피할 수 있다는 장점을 지닌다. 이는 매우 낮은 에너지 이온주입으로 인해 발생할 수 있는 도핑 물질의 저활성화 효과를 방지하는 장점을 갖는다. 반면에 제안된 구조의 경우, 건식 식각을 하여 채널 영역을 형성하므로 채널영역에서 Si 격자의 결함(defect)이 발생할 수 있는 문제가 존재한다. 따라서 건식 식각 후에 래디컬(radical)만을 사용하여 약하게 식각을 하거나 건식 식각 후 약한 습식 식각을 해줌으로써 표면에 발생할 수 있는 결함을 최소화 해주는 작업 등이 요구

된다. 이러한 면은 표면 크리닝(surface cleaning) 공정 분야의 발전과 함께 지속적으로 개선될 수 있을 것으로 기대된다.

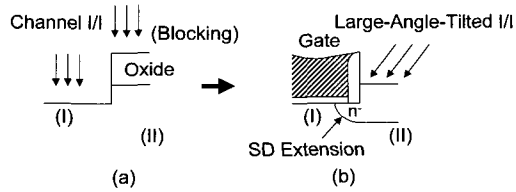


그림 2. 제안된 구조의 채널 이온주입 및 SDE(Source Drain Extension) 이온주입 과정
Fig. 2. Channel implantation and SDE(Source Drain Extension) Implantation steps for the proposed structure.

III. 시뮬레이션 결과 및 고찰

제안된 ESD MOSFET 구조와의 비교를 위하여, SDE(Source Drain Extension) 영역의 도핑농도를 변화시킨 일반적인 LDD MOSFET에 관한 분석을 수행하였다. HL, ML, LL은 SDE 영역의 도즈(dose)가 각각 $5 \times 10^{14} cm^{-2}$, $1 \times 10^{14} cm^{-2}$, $5 \times 10^{13} cm^{-2}$ 인 경우의 LDD MOSFET을 나타내며 매우 낮은 10KeV의 에너지로 이온주입 되었다. SDE 영역의 이온주입은 그림 3에 나타난 것과 같이 얇은 오프셋(offset) spacer를 형성한 후에 수행되었다. 여기서 오프셋 spacer의 두께를 조절함으로써 SDE 이온주입 도즈에 상관없이 유효 채널 길이를 조절할 수 있다. 결과적으로 80nm 두께의

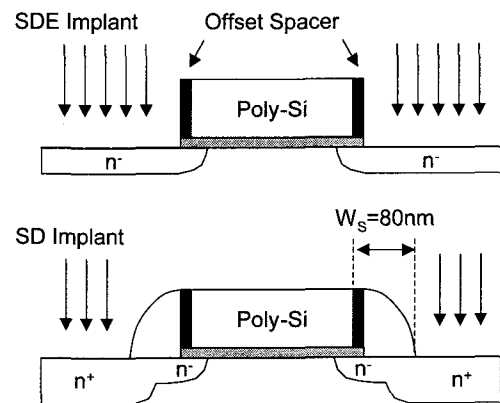


그림 3. 오프셋 spacer를 사용한 LDD MOSFET에서의 유효채널 길이의 조정
Fig. 3. Adjustment of the effective channel length by the offset spacer in LDD MOSFET.

spacer를 갖도록 형성한 후, 깊은 접합의 소오스/드레인 형성을 위해 $A_s(5 \times 10^{15} \text{cm}^{-2}, 20\text{KeV})$ 이온주입을 수행하였다^[13]. 이들의 전기적 특성을 분석하기 위해 공정 시뮬레이션 프로그램 TSUPREM-4, 소자 시뮬레이션 프로그램 MEDICI^[14]가 사용되었다.

그림 4는 ESD MOSFET 구조와 LDD MOSFET의 GIDL 특성을 나타낸 것이다. GIDL 전류는 밴드간 터널링 효과를 고려한 MEDICI 시뮬레이션으로 구한 것이다^[3]. 폴리 게이트의 길이는 $0.19\mu\text{m}$, 유효 채널 길이 (L_{EFF})는 약 $0.154\mu\text{m}$ 이고 $V_{\text{GS}}=0\text{V}$ 이다. Y-H Kim 등^[3]이 발표한 바와 같이, SDE 이온주입 도즈를 증가시킬 경우, 밴드간 터널링이 일어나는 곳에서의 최대 전계를 증가시켜 GIDL은 증가하게 된다. 반면에 HL과 동일한 도즈 조건을 갖는 ESD MOSFET의 경우, HL에 비해 10배 정도 작은 GIDL 전류 특성을 보이는 것을 알 수 있다. 그림 5는 ESD MOSFET 구조와 LDD MOSFET의 GIDL 특성을 V_{DS} 값이 각각 2.5V, 3.3V인 경우에 대하여, V_{GS} 값을 변화시키면서 나타낸 것이다. 드레인 쪽의 전위와 최대 차이를 보이는 $V_{\text{GS}}=0\text{V}$ 에서 GIDL에 의한 누설전류 성분 차이가 확실하게 나타나며, 드레인 전위값의 절대량이 클 때 누설전류의 양은 많아짐을 알 수 있다. 이러한 특성은 게이트와 드레인 사이의 상대적인 전압차가 커질수록, 게이트 산화막이 두께가 얇아질수록 두드러지게 된다.

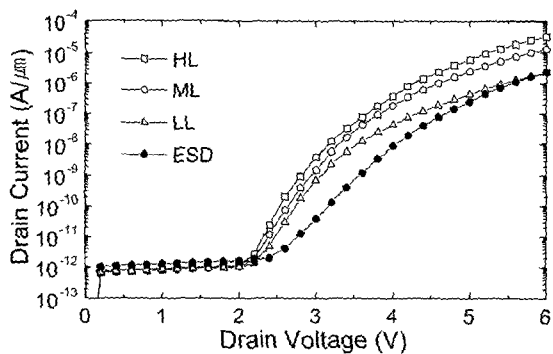
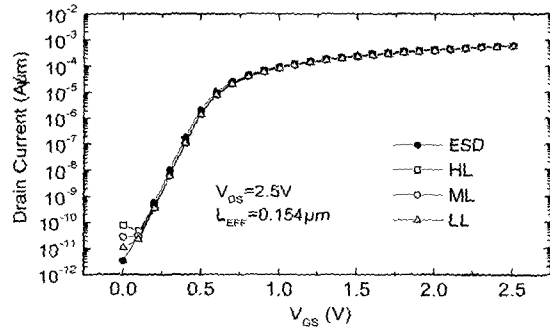
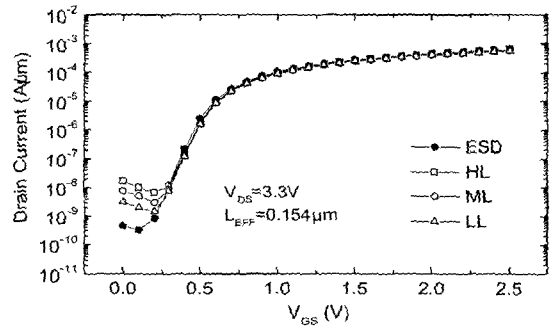


그림 4. 제안된 ESD와 LDD MOSFET의 GIDL 전류 (I_D-V_{DS}) 특성
 $HL(5 \times 10^{14} \text{cm}^{-2}), ML(1 \times 10^{14} \text{cm}^{-2}), LL(5 \times 10^{13} \text{cm}^{-2})$
 Fig. 4. GIDL current (I_D-V_{DS}) for ESD and LDD MOSFETs.
 $HL(5 \times 10^{14} \text{cm}^{-2}), ML(1 \times 10^{14} \text{cm}^{-2}), LL(5 \times 10^{13} \text{cm}^{-2})$.



(a)



(b)

그림 5. 제안된 ESD와 LDD MOSFET의 GIDL (I_D-V_{GS}) 특성 곡선
 $HL(5 \times 10^{14} \text{cm}^{-2}), ML(1 \times 10^{14} \text{cm}^{-2}), LL(5 \times 10^{13} \text{cm}^{-2})$
 (a) $V_{\text{DS}}=2.5\text{V}$, (b) $V_{\text{DS}}=3.3\text{V}$
 Fig. 5. GIDL current (I_D-V_{GS}) for ESD and LDD MOSFETs.
 $HL(5 \times 10^{14} \text{cm}^{-2}), ML(1 \times 10^{14} \text{cm}^{-2}), LL(5 \times 10^{13} \text{cm}^{-2})$
 (a) $V_{\text{DS}}=2.5\text{V}$, (b) $V_{\text{DS}}=3.3\text{V}$

HL과 ESD MOSFET에 관한 2차원 등전계선 및 등도핑농도선이 그림 6에 비교되었다. 등전계선은 0.5MV/cm 를 시작으로 0.2MV/cm 간격으로 증가시키면서 나타내었으며 드레인 전압은 6.0V 인 경우이다. As에 관한 등도핑농도선은 각 구조 모두 $1 \times 10^{18} \text{cm}^{-3}, 5 \times 10^{18} \text{cm}^{-3}, 1 \times 10^{19} \text{cm}^{-3}, 5 \times 10^{19} \text{cm}^{-3}, 1 \times 10^{20} \text{cm}^{-3}$ 의 도핑 농도를 갖는 경우를 나타내었다. 비록 SDE 영역을 형성하기 위한 각 경우의 도즈 조건은 동일하나 ESD MOSFET의 SDE 영역 도핑 분포는 HL의 경우와는 다름을 알 수 있다. ESD의 경우 SDE 영역 이온주입으로 인한 이온들의 최대 농도 위치가 실리콘 표면으로부터 먼 곳에 위치하고 있어서 보다 점진적으로 변화하는 도핑 농도 분포를 갖게 되며 이는 전계의 감소를 초래

한다. 대부분의 밴드갭 터널링은 게이트와 드레인 영역이 오버랩된 높은 전계가 존재하는 표면 영역에서 발생된다. 그림 6(b)를 보면, ESD MOSFET의 경우, 굵은 화살표로 표시된 바와 같이 최대의 전계 위치가 폴리 게이트 경계면으로부터 먼 위치에 존재함을 알 수 있다.

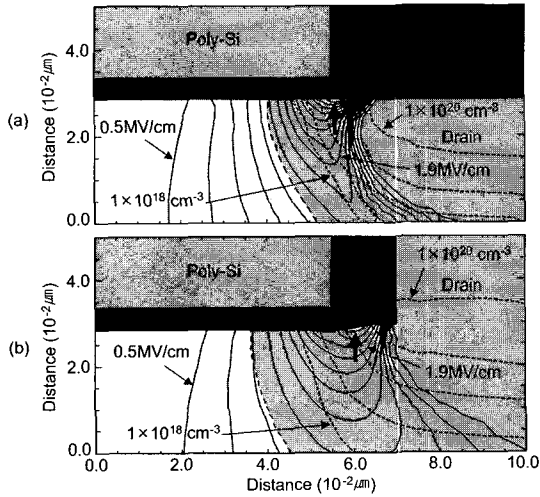


그림 6. (a) HL과 (b) ESD MOSFET의 등전계선 및 등도핑농도선. $V_{DS}=6.0V$, $V_{GS}=0V$
 Fig. 6. Contours of electric field and doping concentration for (a) HL and (b) ESD MOSFET. $V_{DS}=6.0V$, $V_{GS}=0V$.

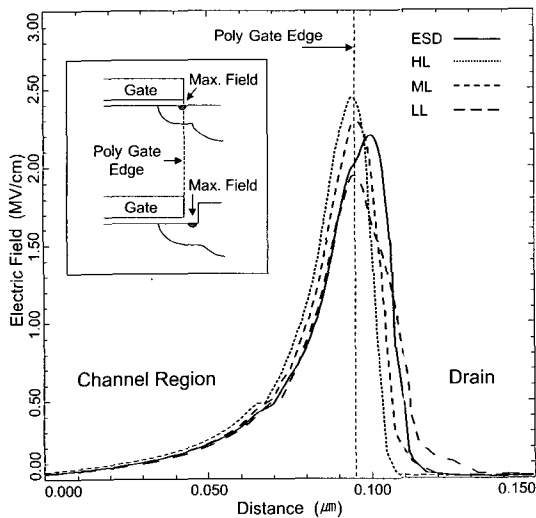


그림 7. SiO_2/Si 계면으로부터 2nm 떨어진 위치의 수평전계 분포. $V_{DS}=6.0V$, $V_{GS}=0V$
 Fig. 7. Lateral electric field profiles at 2nm away from the SiO_2/Si interface. $V_{DS}=6.0V$ and $V_{GS}=0V$.

그림 7은 SiO_2/Si 인터페이스로부터 2nm 떨어진 위치에서의 수평전계를 ESD와 LDD MOSFET에 대하여 나타낸 것이다. 최대의 밴드갭 터널링이 일어나는 곳에서의 표면 전계는 $V_{GD}/3T_{OX}$ 에 비례하는 것으로 알려져 있다. 여기서 V_{GD} 는 V_G 와 V_D 사이의 전압 차이이고 T_{OX} 는 오버랩 영역중에서 주된 터널링이 일어나는 위치에서의 게이트 산화막의 두께이다^[15]. 따라서 T_{OX} 를 증가시키는 것은 게이트-드레인 오버랩 영역에서의 수직 전계를 감소시켜 GIDL 전류를 감소시킨다. 그러나 T_{OX} 를 증가시키는 것은 단채널 효과 및 전류 구동능력을 현저히 저하시키는 결과를 초래한다. 그림 6과 그림 7에서 나타낸 바와 같이 ESD MOSFET의 경우 LDD MOSFET과 비교하여 최대 전계 영역이 드레인쪽으로 더 이동되어 있음을 알 수 있다. 이는 그림 7의 내부 그림에 나타낸 것과 같이 최대 전계 영역에서 ESD MOSFET의 유효 T_{OX} 값을 LDD MOSFET의 유효 T_{OX} 값에 비해 더 크게 만드는 결과를 갖는다. 이는 물리적으로 T_{OX} 값을 증가시키지 않고도 주된 터널링이 일어나는 곳의 최대 전계값을 감소시킬 수 있는 효과가 있다. 결과적으로 GIDL 전류는 감소하게 된다.

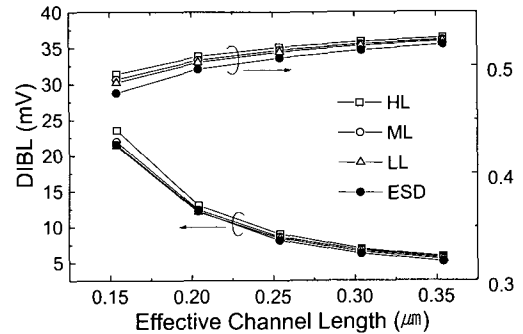


그림 8. DIBL 및 문턱전압 감소 특성
 Fig. 8. DIBL (Drain Induced Barrier Lowering) and V_{TH} -rolloff characteristics of ESD and LDD MOSFETs.

그림 8은 제안된 ESD와 LDD MOSFET의 단채널 특성을 나타낸 것이다. DIBL(Drain Induced Barrier Lowering)은 $\Delta V_{TH}=V_{TH}(V_{DS}=0.1V)-V_{TH}(V_{DS}=2.0V)$ 로 정의된다. 그림에서 ML, LL 그리고 ESD는 유사한 DIBL 값을 갖는 것을 알 수 있다. LDD 소자들을 보면, SDE 영역의 도즈를 증가시킬 경우 접합의 깊이가 다소 증가하며 수평전계 또한 증가하여 DIBL 특성은 접

차적으로 저하됨을 알 수 있다. 비교되는 ESD MOSFET의 경우 HL과 동일한 도즈 조건을 갖고 있으나 더 점진적으로 변화하는 도핑 농도 분포로 인하여 수평전계가 감소되며 이는 DIBL이 감소되는 효과를 갖는다. 문턱전압 감소 특성은 LDD 소자들과 ESD 소자가 유사한 특성 곡선을 보인다. 그러나 유효 채널 길이가 0.15 μm 에 근접하면 ESD 소자의 문턱전압 감소 현상이 약간 저하된다. 이는 채널 도핑이 선택적으로 이루어지는 구조이기 때문인 것으로 설명될 수 있다. 균일한 채널 도핑과는 달리, 선택적인 채널 도핑 구조에서는 채널영역과 드레인 아래 영역의 도핑 농도간에 도핑 농도 차이가 존재한다. 이는 결과적으로 채널 영역의 edge 부근에서 부분적으로 문턱전압을 감소시키게 된다. 그러나 ESD 소자의 문턱전압 감소량($\Delta V_{\text{TH}}=V_{\text{TH}}(L_c \approx 0.35\mu\text{m}) - V_{\text{TH}}(L_c \approx 0.15\mu\text{m})$)은 LL의 경우와 비교하여 0.0065V 미만의 차이를 나타내어 그 차이는 매우 미세한 정도로 판단된다. 이러한 문제는 채널 이온주입시 경사각(tilt)을 줘서 채널의 edge 부분이 충분히 도핑되도록 하여 그 영향을 더욱 줄여 줄 수 있다. 이상의 DIBL과 문턱전압 감소 특성으로부터 ESD 소자는 LDD 소자와 유사한 정도의 단채널 특성을 보임을 알 수 있다.

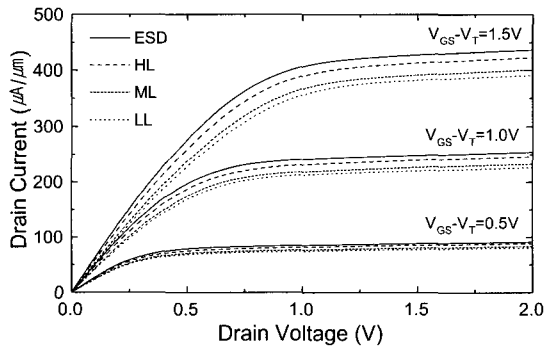


그림 9. I_D - V_{DS} 특성
Fig. 9. I_D - V_{DS} characteristics of ESD and LDD MOSFETs.

그림 9는 ESD 소자와 LDD 소자의 I_D - V_{DS} 특성을 나타낸 것이다. 일반적인 LDD 소자의 경우, 매우 낮은 에너지 이온주입은 저활성화 효과를 초래하여 기생저항을 증가시키는 결과를 초래한다. 따라서 일반적으로는 GIDL 전류가 다소 증가하게 되더라도 SDE 이온주입시 도즈의 양을 증가시켜 이를 보상하게 된다. 분석

한 구조들 중에서 ESD 소자가 가장 큰 IDSAT 값을 나타내었다. 이는 SDE 영역이 들러진 형태를 갖기 때문으로 해석될 수 있다. LDD 소자에서는 매우 낮은 에너지 이온주입을 통해 소오스/드레인 확장 영역을 형성하지만 제안된 ESD 소자의 경우 상대적으로 높은 에너지(~25keV)로 큰 경사각(Large-Angle-Tilted) 이온주입 방법을 통해 SDE 영역을 형성하기 때문이다.

IV. 결론

GIDL 특성을 개선할 수 있는 새로운 ESD MOSFET 구조를 제안하고 그 전기적 특성을 TSUPREM-4와 MEDICI를 사용하여 분석하였다. 제안된 구조는 SDE 영역이 들러진 구조를 갖고 있어 매우 낮은 에너지의 이온주입을 피할 수 있다. 이는 상대적으로 큰 에너지의 이온주입을 통해 저활성화 효과를 방지하게 된다. 또한 선택적으로 채널 도핑이 수행되어 접합 캐패시턴스를 최소화할 수 있는 구조적 장점이 있다. 시뮬레이션 결과, 단채널 특성은 기존의 LDD 구조와 유사한 정도의 특성을 보였다. 반면에 GIDL 전류는 감소되었으며, 전류구동력은 기존의 LDD 구조에 비해 우수한 특성을 나타내었다. GIDL 특성이 개선되는 가장 큰 이유는 최대 전계가 드레인 쪽으로 이동되면서 최대의 밴드간 터널링이 일어나는 부분에서의 전계값을 감소시킴에 따른 것으로 해석된다. 이상의 시뮬레이션 결과로부터, 제안된 ESD 구조의 최적화를 통해 구동전류 특성을 희생하지 않고 GIDL을 효과적으로 감소시킬 수 있을 것으로 기대된다. 아울러 ESD 구조는 100nm 이하의 영역에서 소자 특성 향상을 위한 유력한 대안으로 평가되기 때문에 이러한 영역에서의 시뮬레이션 분석이 향후 추가적으로 수행되어야 할 것으로 판단된다.

참고 문헌

[1] A. Nishida, E. Murakami and S. Kimura, "Characteristics of Low-Energy BF₂- or As-Implanted Layers and Their Effect on the Electrical Performance of 0.15- μm MOSFET's," *IEEE Trans. Electron Devices*, Vol. 45, No. 3, pp. 701~709, March 1998.
[2] M. Rodder, S. Hattangady, N. Yu, W. Shiau, P. Nicollian, T. Laaksonen, C.P. Chao, M.

- Mehrotra, C. Lee, S. Murtaza and S. Aur, "A 1.2V, 0.1 μ m Gate Length CMOS Technology: Design and Process Issues," in *IEDM Tech Dig.*, pp. 623~626, San Francisco, USA, December 1998.
- [3] Y-H. Kim, S-K. Chang, S-S. Kim, J-G. Choi, S-H. Lee, D-H. Hahn and H-D. Kim, "Characteristics of Dual Polymetal (W/WNX/Poly-Si) Gate CMOS for 0.1 μ m DRAM Technology," in *Ext. Abst. of Int. Conf. on SSDM*, pp. 12~13, Tokyo, Japan, September 1999.
- [4] H. Wakabayashi, T. Yamamoto, Y. Saito, T. Ogura, M. Narihiro, K. Tsuji, T. Fukai, K. Uejima, Y. Nakahara, K. Takeuchi, Y. Ochiai, T. Mogami and T. Kunio, "A 0.1- μ m CMOS Device with a 40-nm Gate Sidewall and Multilevel Interconnects for System LSI," in *Symp. on VLSI Tech.*, pp. 107~108, Kyoto, Japan, June 1999.
- [5] N. Lindert, M. Yoshida, C. Warn and C. Hu, "Comparison of GIDL in p+-poly PMOS and n+-poly PMOS Devices," *IEEE Electron Device Lett.*, Vol. 17, No. 6, pp. 285~287, June 1996.
- [6] R. Ghodsi, S. Sharifzadeh and J. Majjiga, "Gate-Induced Drain-Leakage in Buried-Channel PMOS - A Limiting Factor in Development of Low-Cost, High-Performance 3.3-V, 0.25- μ m Technology," *IEEE Electron Device Lett.*, Vol. 19, No. 9, pp. 354~356, September 1998.
- [7] K-W. Kim, C-S. Choi and W-Y. Choi, "Analysis of a Novel Elevated Source Drain MOSFET with Reduced Gate-Induced Drain-Leakage Current," in *2000 Hongkong Electron Device Meeting*, pp. 36~39, Hong Kong, June 2000.
- [8] Technology Modeling Associate, Inc. : *TSUPREM-4, Two-Dimensional Process Simulation Program, Version 6.5, User's Manual*, Sunnyvale, California, May 1997.
- [9] J. Tanaka, S. Kimura, H. Noda, T. Toyabe and S. Ihara, "A Sub-0.1- μ m Grooved Gate MOSFET with High Immunity to Short-Channel Effects," in *IEDM Tech Dig.*, pp. 537~540, Washington DC, USA, December 1993.
- [10] W-H. Lee, Y-J. Park and J-D. Lee, "Gate Recessed (GR) MOSFET with Selectively Halo-Doped Channel and Deep Graded Source/Drain for Deep Submicron CMOS," in *IEDM Tech Dig.*, pp. 135~138, Washington D.C., USA, December 1993.
- [11] J. Lyu, B-G. Park, K. Chun and J-D. Lee, "A Novel 0.1 μ m MOSFET Structure with Inverted Sidewall and Recessed Channel," *IEEE Electron Device Lett.*, Vol. 17, No. 4, pp. 157~159, April 1996.
- [12] J-H. Lee, H-C. Shin, J-J. Kim, C-B. Park and Y-J. Park, "Partially Depleted SOI NMOSFET's with Self-Aligned Polysilicon Gate Formed on the Recessed Channel Region," *IEEE Electron Device Lett.*, Vol. 18, No. 5, pp. 184~186, May 1997.
- [13] H. Hwang K-S. youn, J-G. Ahn, D. Yang, J-H. Ha, Y-J. Huh, J-W. Park, J-J. Kim and W-S. Kim, "Performance and Reliability Optimization of Ultra Short Channel CMOS Device for Giga-bit DRAM Applications," in *IEDM Tech Dig.*, pp. 435~438, Washington D.C., USA, December 1995.
- [14] Technology Modeling Associate, Inc. : *MEDICI, Two-Dimensional Device Simulation Program, Version 4.0, User's Manual*, Sunnyvale, California, October 1997.
- [15] T.Y. Chan, J. Chen, P.K. Ko and C. Hu, "The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling," in *IEDM Tech Dig.*, pp. 718~721, Washington D.C., USA, December 1987.

 저 자 소 개

金 庚 煥(正會員) 1994년 2월 연세대학교 전자공학과 공학사, 1996년 2월 여세대학교 전자공학과 공학석사. 2001년 2월 연세대학교 전기 전자공학과 공학박사. 2001년 3월 - 현재 하이닉스 반도체 메모리 연구소 재직 중. 주관심분야는 Deep Submicron 소자 설계 및 시뮬레이션, 아날로그 회로 설계 등임

崔 彰 洵(正會員)

1999년 2월 연세대학교 전자공학과 공학사. 2001년 2월 연세대학교 전기 전자공학과 공학석사. 2001년 3월 - 현재 연세대학교 전기 전자공학과 박사과정. 주관심분야는 Ultrafast Optoelectronic Measurement System, Millimeter-wave Generation & Detection, Deep Submicron 소자 설계 및 시뮬레이션 등임

金 正 泰(正會員)

1989년 2월 영남대학교 전자공학과 공학사. 1991년 8월 연세대학교 전자공학과 공학석사. 1996년 3월 - 현재 연세대학교 전기 전자공학과 박사과정. 1991년 8월부터 1996년 2월 한국전자통신연구원 선임연구원. 1996년 - 현재 동원대학 정보통신과 조교수. 주관심 분야는 Microwave Photonics, VLSI Design 등임

崔 佑 榮(正會員)

1988년 5월 Massachusetts Institute of Technology의 EECS Department B.S. 및 M.S. 취득. 1994년 5월 동대학원 Ph.D. 취득. 1994년 10월부터 1995년 8월까지 일본 NTT 광전자 연구소 Post-Doctoral Fellow. 현재 연세대학교 전기 전자공학과 부교수. 주관심 분야는 초고속 시스템 설계 및 해석과 이의 구현을 위한 소자 연구