

지연 고장 테스트에 대한 고장 검출율 메트릭

(Fault Coverage Metric for Delay Fault Testing)

金明均*, 姜成昊**, 韓昌昊***, 閔炯福****

(Myung-Gyun Kim, Sungho Kang, Chang Ho Han, and Hyung Bok Min)

요 약

빠른 반도체 기술의 발전으로 인하여 VLSI 회로의 복잡도는 크게 증가하고 있다. 그래서 복잡한 회로를 테스트하는 것은 아주 어려운 문제로 대두되고 있다. 또한 집적회로의 증가된 집적도로 인하여 여러 가지 형태의 고장이 발생하게 됨으로써 테스트는 더욱 중요한 문제로 대두되고 있다. 이제까지 일반적으로 지연 고장 테스트에 대한 신뢰도는 고정된 고장의 개수에 대한 검출된 고장의 개수로 표현되는 전통적인 고장 검출율로서 평가되었다. 그러나 기존의 고장 검출율은 고장 존재의 유무만을 고려한 것으로서 실제의 지연 고장 테스트에 대한 신뢰도와는 거리가 있다. 지연 고장 테스트는 고착 고장과는 달리 경로의 진행 지연과 지연 결함 크기 그리고 시스템 동작 클럭 주기에 의존하기 때문이다. 본 논문은 테스트 중인 경로의 진행 지연과 지연 결함 크기를 고려한 새로운 고장 검출율 메트릭으로서 지연 결함 고장 검출율(delay defect fault coverage)을 제안하였으며, 지연 결함 고장 검출율과 결함 수준(defect level)과의 관계를 분석하였다.

Abstract

Due to the rapid development of semiconductor technology, the complexity of VLSI circuits has heavily increased. With the increased densities of integrated circuits, several different types of faults can occur. Thus, testing such circuits is becoming a sever problem. Delay testing can detect system timing failures caused by delay faults. However, the conventional delay fault coverage in terms of the number of detected faults may not be an effective measure of delay testing because, unlike a stuck-at-faults, the impact of a delay fault is dependent on its delay defect size rather than on its existence. Thus, the effectiveness of delay testing is dependent on the propagation delay of the path to be tested, the delay defect size, and the system clock interval. This paper proposes a new delay defect fault coverage that considers both propagation delay of the path to be tested and additional delay defect size. And the relationship between delay defect fault coverage and defect level is analyzed.

* 正會員, (주) 코아로직 연구원

(Core Logic Inc.)

** 正會員, 延世大學校 電氣·電子工學科

(Dept. of Electrical and Computer Eng., Yonsei Univ.)

*** 正會員, 仁荷學校 電子電氣컴퓨터工學部

(Dept. of Electrical and Computer Eng. Inha Univ.)

**** 正會員, 成均館學校 電子電氣컴퓨터工學部

(Dept. of Electrical and Computer Eng. Sungkyunkwan Univ.)

※ 본 연구는 1997년도 학술진흥재단 대학부설연구소 과제 연구비에 의해 수행되었음.

接受日字:2000年8月9日, 수정완료일:2001年3月26日

I. 서론

전통적으로 디지털 시스템의 테스트는 정상 상태 (steady state)에서의 논리적 고장을 검출하는데 집중되어 왔다. 그러나 최근 논리 회로의 구조가 점점 복잡해지고 좀더 빠른 시스템 동작이 필요해짐에 따라 시스템의 시간적 고장(timing failure)을 검출하는 부분이 테스트 분야에서 중요한 부분으로 떠오르고 있다. 전통적인 고착 고장 모델은 정상 상태에서의 논리 고장을 나타내는데 성공적으로 사용되어 왔다. 그러나 지연 고

장은 고장을 유발하고 그 영향을 출력까지 전파시켜야 하므로 두 개의 입력 벡터를 필요로 한다^[1]. 따라서 고착 고장 모델을 지연 고장 모델에 적용할 수는 없다. 지연 고장이 유발되고 관측된다 할지라도, 지연 결함의 크기가 작다면 지연 고장이 항상 회로의 오동작을 유발하는 것은 아니다. 지연 고장을 검출하기 위해서는 고장 지점을 지나는 경로의 진행 지연(propagation delay)이 클럭 주기를 초과해야 한다.

동작적인 관점에서 본다면 주입력에서 주출력까지의 모든 경로를 지나는 신호가 시스템의 클럭 주기 이내에 지나간다면 시스템은 시간적 고장을 발생시키지 않는다. 지연 고장을 일으키는 경로는 그 경로에 대한 지연 결함의 크기가 경로의 슬랙(slack)보다 크기 때문이다. 경로의 슬랙은 회로의 클럭 주기와 경로가 가지는 지연 사이의 차이를 의미한다. 작은 슬랙을 가지는 경로는 큰 슬랙을 가지는 경로에 비해서 시간적 고장이 일어날 확률이 훨씬 크게 된다. 따라서 지연 고장 테스트는 테스트 중인 경로의 진행 지연(propagation delay)과 여러 가지 원인에 의해 첨가된 지연 결함(delay defect)의 크기에 의존하게 된다. 임의로 선택된 많은 경로를 테스트하는 것이 반드시 지연 고장 테스트에 대한 신뢰 수준을 보장하는 것은 아니다. 큰 슬랙을 가지는 경로보다 작은 슬랙을 가지는 경로가 시스템 시간 고장을 일으킬 확률이 크기 때문에, 테스트가 이런 작은 슬랙을 가지는 경로의 고장을 검출할 수 있다면 지연 고장 테스트에 대한 신뢰 수준을 보장할 수 있다. 그래서 본 논문에서는 지연 고장 모델에서 적용할 수 있는 좀더 신뢰할 만한 고장 검출율과 신뢰 수준을 제안한다.

지연 고장은 제조상의 지연 결함에 의해 발생하는 국소화된 지연과 경로에 넓게 분포된 지연들에 의하여 발생하게 된다. 지연 고장은 게이트 지연 고장^[2,3]과 경로 지연 고장^[4,5,6]으로 모델링된다. 게이트 지연 고장 모델에서는 국소화된 지연 고장이 회로의 모든 게이트들의 입력과 출력에서의 느린 상승 천이(slow-to-rise)나 느린 하강 천이(slow-to-fall)를 가진다고 가정한다. 고장 지점을 지나는 임의의 경로에 대한 진행 지연이 정확히 측정되고 시스템의 시간 명세(timing specification)에 상관없이 무고장 회로와 비교된다. 게이트 지연 고장 모델에서의 고장 검출율은 고착 고장 검출율과 마찬가지로 검출된 게이트 지연 고장의 개수로서 나타난다. 그러나 실제 게이트 지연 고장 검출율이 계산된

게이트 지연 고장 검출율보다 낮게 나오는 경우도 발생하게 된다^[7]. 반대로 경로 지연 고장 모델에서는 특정 국소화된 지연 고장은 고려하지 않고, 테스트 중인 경로의 출력값을 시스템 동작 클럭 주기에 관찰하게 된다. 그러나 회로의 게이트 수가 증가함에 따라 경로의 수가 지수 함수적으로 증가하기 때문에 회로에 존재하는 모든 경로들을 고려하는 것은 사실상 불가능하다. 그래서 모든 가능한 경로의 일부만을 고려하게 되는데, 모든 경로를 고려하지 못하기 때문에 검출된 경로 지연 고장의 개수가 지연 고장 테스트의 신뢰할 만한 수치라고 볼 수는 없다^[8,9].

고착 고장에 관한 고장 검출율과 수율과 결함 수준에 관한 연구는 이미 오래 전에 수행되었다^[8,9]. 고착 고장에서는 앞서서도 말한 것처럼 고장 모델을 각 게이트의 각 입력값과 출력값이 특정 값으로 고정된다는 것을 가정한 것으로 총 고장의 개수에 대한 검출된 고장의 개수로서 고장 검출율(T)을 표현하였으며, 제품의 결함 수준(DL)을 수율(Y)과 고장 검출율(T)을 이용하여 나타내었다^[10,11].

$$DL=1-Y^{(1-T)} \quad (1)$$

고착 고장뿐만 아니라 지연 고장에서의 결함 수준에 관한 연구도 이 전의 연구에서 수행되었다^[12,13,14,15,16]. 이 전의 연구^[12]에서는 지연 고장을 고려하는 데 있어서 각 경로가 가지고 있는 게이트 지연의 합으로 경로 지연 고장을 모델링하였으며, 이를 바탕으로 해서 결함 수준과 시스템 신뢰도와와의 관계를 나타내고 있다. 그리고 최종적으로 나타난 결함 수준(DL), 수율(Y), 고장 검출율의 관계가 경로 지연 고장 모델뿐만 아니라 게이트 지연 고장이나 고착 고장 등의 고장 모델에서도 적용될 수 있음을 보여주고 있다. 본 논문에서는 이 연구를 바탕으로 하여 경로 지연 고장을 테스트함에 있어서 각 경로들에 대하여 지연 고장이 일어날 확률이 동일하다는 가정을 바탕으로 하여, 테스트 중인 경로의 진행 지연과 테스트 중인 경로에서 발생할 수 있는 지연 결함 크기를 고려한 새로운 고장 검출율인 지연 결함 고장 검출율과 수율, 결함 수준의 관계를 살펴본다. 본 논문에서는 제조과정에서 추가되는 지연 결함이 회로를 구성하는 각 게이트에 집중되는 경우와 경로에 넓게 분포되는 경우를 고려하였다. 지연 고장 테스트를 함에 있어서, 특정 게이트에 추가되는 지연 결함에 의

하여 그 게이트를 지나는 경로들이 지연 고장을 일으키는 경우와 나머지 경로들에 대해서는 기능적으로 가장 긴 경로에 대하여 지연 고장 테스트를 하는 경우를 고려하였다. 즉 특정 수의 게이트 지연 고장 테스트와 기능적으로 가장 긴 경로들에 대하여 경로 지연 고장 테스트를 한 경우 고장 검출율과 수율, 결합 수준에 관한 관계를 살펴본다.

II. 가정과 분석

경로가 가지는 제조 과정에서 첨가될 수 있는 지연 결합은 게이트에 집중되어 있거나 신호선에 넓게 분포되어 있다고 가정한다. 일반적으로 경로가 가지는 진행 지연은 회로를 구성하는 각 경로들이 가지는 입력에서 출력까지의 지연값에 해당되고, 본 논문에서 정의한 지연결합은 설계한 회로의 제조과정에서 추가될 수 있는 지연값에 해당된다. 그리고 이런 지연 결합은 일반적인 가우시안 분포(gaussian distribution)를 가진다고 가정하자. 회로에 존재하는 경로들의 진행 지연도 지연 결합과 마찬가지로 특정 가우시안 분포를 가진다고 가정하자. 각 각 경로들의 진행 지연을 랜덤 변수 X 로 나타내고, 경로의 지연 결합의 크기 변수를 랜덤 변수 Y 로 나타내자. 여기에서 랜덤 변수 X 에 대하여 중심 극한 정리(central-limit theorem)를 적용하면 랜덤 변수 X 는 평균 μ_x 와 표준편차 σ_x 로 표시되는 정규 분포, $N(\mu_x, \sigma_x^2)$ 을 이루게 된다^[17]. 위의 가정을 이용하여 경로의 진행 지연에 대한 확률 밀도 함수(probability density function)를 구해 보면 다음과 같이 표현된다.

$$F_X(t) = \frac{1}{\sqrt{2\pi}\sigma_x} e^{-\frac{(t-\mu_x)^2}{2\sigma_x^2}} \quad (2)$$

다음으로 고려해야 할 변수는 일반적인 제조상에서 발생하여 추가되는 지연 결합의 랜덤 변수 Y 이다. 지연 결합도 앞에서 가정한 경로의 진행 지연과 마찬가지로 평균 μ_y 와 표준편차 σ_y 를 가지는 정규 분포의 특성을 지닌다고 가정하면 위의 경로에 대한 진행 지연에서 적용했던 중심 극한 정리를 다시 이용하면 지연 결합도 $N(\mu_y, \sigma_y^2)$ 의 특성을 갖는 정규분포를 가지게 되고, 따라서 지연 결합에 대한 확률 밀도 함수는 다음과 같이 표현된다.

$$F_Y(t) = \frac{1}{\sqrt{2\pi}\sigma_y} e^{-\frac{(t-\mu_y)^2}{2\sigma_y^2}} \quad (3)$$

경로의 진행 지연에 대한 랜덤 변수 X 와 제조상에 발생하는 지연 결합에 대한 랜덤 변수 Y 는 서로 독립적이다. 여기에서 랜덤 변수 Z 를 랜덤 변수 X 와 Y 의 합으로 정의한다 ($Z = X + Y$). 다시 말해서 랜덤 변수 Z 를 경로의 진행 지연과 제조상에서 발생하는 지연 결합의 합으로 이루어진 새로운 고장 모델의 변수로 정의하고 이 고장 모델을 통계적 지연 고장 모델(statistical delay fault model)이라고 정의한다. 그러면 랜덤 변수 Z 에 대한 확률 밀도 함수는 경로의 진행 지연에 대한 확률 밀도 함수와 제조상에서 발생하는 지연 결합에 대한 확률 밀도 함수의 컨볼루션(convolution)으로 표현할 수 있다.

$$\begin{aligned} F_Z(t) &= F_X(t) * F_Y(t) \\ &= \int_{-\infty}^{\infty} [F_X(s) \cdot F_Y(t-s)] ds \\ &= \int_{-\infty}^{\infty} [F_X(t-s) \cdot F_Y(s)] ds \end{aligned} \quad (4)$$

여기에서 $Z = X + Y$ 이고 X 와 Y 는 서로 독립적이다.

랜덤 변수 Z 에 대한 정규 분포를 표현한다면 다음과 같이 나타낼 수 있다.

$$\begin{aligned} F_Z(t) &= N(\mu_x + \mu_y, \sigma_x^2 + \sigma_y^2) \\ &= \frac{1}{\sqrt{2\pi}\sqrt{\sigma_x^2 + \sigma_y^2}} e^{-\frac{(t-\mu_x-\mu_y)^2}{2(\sigma_x^2 + \sigma_y^2)}} \end{aligned} \quad (5)$$

그리고 식 (5)를 이용하여 랜덤 변수 Z 를 표준 정규 랜덤 변수 Z_N (standard normal variable)으로 표준화시키면 다음과 같이 표현된다.

$$\begin{aligned} Z_N &= \frac{Z - \mu_x - \mu_y}{\sqrt{\sigma_x^2 + \sigma_y^2}} \rightarrow F_Z(t) = \\ &= \frac{1}{\sqrt{2\pi}} e^{-\frac{Z_N^2}{2}} < Z_N, Z : \text{time} > \end{aligned} \quad (6)$$

그림 1은 임의의 경로의 진행 지연과 지연 결합에 대한 가우시안 분포와 이 두 개를 합한 통계적 지연 고장 모델에 대한 가우시안 분포를 보여 주고 있다. 여기에서 C 는 시스템의 동작 클럭 주기를 나타내며, 설계 단계에서 가장 긴 경로(critical path)의 진행 지연 보다 크게 시스템의 동작 클럭 주기를 설정하였다하더라도

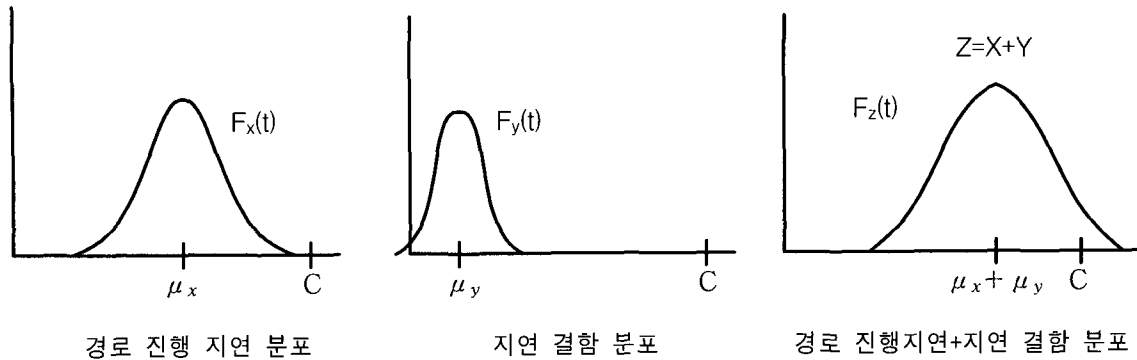


그림 1. 진행 지연과 지연 결함 크기에 대한 가우시안 분포
 Fig. 1. Gaussian distribution of both propagation delay and delay defect size.

제조상에서 발생할 수 있는 지연 결함에 의하여 시스템의 동작 클럭 주기보다 큰 지연이 생길 수 있음을 보여 주고 있다. 따라서 경로의 진행 지연에 제조상에서 발생할 수 있는 지연 결함을 고려함으로써 시스템을 설계할 때 시스템의 동작 클럭 주기를 결정할 수 있게 된다. 여기에서 테스트하고자하는 경로가 지연 고장을 가지고 있을 때, 그 경로가 시간적 고장을 일으킬 확률, 즉 회로에 존재하는 경로가 추가되는 지연 결함에 의하여 회로에 설정된 시스템 동작 클럭 주기를 초과하게 되는 확률을 그 경로에 대한 시스템 타이밍 고장(system timing fault)이라고 정의하고 S로 표현하기로 하자. 그러면 시스템 타이밍 고장은 다음과 같이 표현할 수 있다.

$$S_i = \text{Prob}[Z > C] = \int_C^\infty F_z(t) dt \quad (1 \leq i \leq n) \quad (7)$$

분명하게 동일한 경로 진행 지연에 대하여 지연 결함의 크기가 클수록 시스템 타이밍 고장이 생길 확률이 높다는 것을 예상할 수 있다. 또한 시스템 타이밍 고장은 시스템에서 가장 긴 진행 지연을 갖는 경로나 혹은 그와 비슷하게 긴 진행 지연을 갖는 경로에서 일어날 확률이 높음을 예상할 수 있다. 즉 다시 말하면 작은 슬랙을 가지는 경로에서 잘 일어나게 된다. 식 (7)에 대한 예를 들어 보면 그림 2와 같다. 그림 2는 경로의 진행 지연이 13.5-18ns이고 표준 편차가 1, $\sqrt{2}$, $\sqrt{3}$ 인 경로들에 대하여 지연 결함이 평균 2ns이고 표준 편차가 $\sqrt{0.5}$ 인 경우를 가정하였을 때의 시스템 타이밍 고장을 나타내고 있다. 시스템의 동작 클럭 주기는 22ns로 가정하였다. 그림 2에서 확인할 수 있듯이 시스

템의 슬랙이 작아짐에 따라서 시스템 타이밍 고장의 확률은 높아짐을 알 수 있다. 따라서 시스템의 동작 클럭 주기는 이러한 작은 슬랙을 가지는 경로에서 첨가되는 지연 결함도 허용할 수 있게 설정되어야 한다.

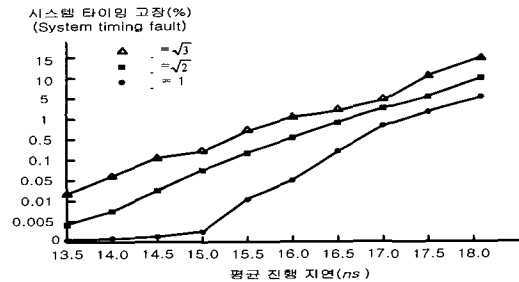


그림 2. 경로의 진행 지연에 대한 시스템 타이밍 고장
 Fig. 2. System timing fault for propagation delay of a path.

III. 시스템 동작 클럭 주기와 경로 지연 분포 함수의 관계

여기에서는 앞에서 가우시안 분포를 가정한 진행 지연과 지연 결함을 적용한 시스템에서 시스템의 동작 클럭 주기와 경로 지연 분포 함수와의 관계를 살펴본다. 우선 시스템의 동작 클럭 주기를 진행 지연 분포 함수의 한 지점에 설정하자. 위에서 가정한 경로의 진행 지연의 평균값은 μ_x 이고 표준편차는 σ_x 이므로 시스템의 동작 클럭 주기는 다음과 같이 설정할 수 있다.

$$C = \mu_x + a \times \sigma_x \quad (a : 임의의 상수) \quad (8)$$

시스템 타이밍 고장이 생길 확률은 위의 식 (7)을 이용

하여 구할 수 있는데 식 (7)을 식 (8)을 이용하여 다시 쓰면 다음과 같이 표현된다.

$$S(i) = \text{Prob}[Z > C] = \int_{\mu_x + \sigma_x}^{\infty} F_Z(t) dt \quad (9)$$

경로의 진행 지연에서 표준 편차의 크기가 시스템의 동작 클럭에 어떤 영향을 주는 알아보기 위하여 식 (6)을 이용하여 정규 분포를 표준화시킨다. 여기에서 $F_Z(t)$ 의 평균을 μ_z 라 하고 표준편차를 σ_z 로 표시하여 표준화시키면 다음과 같다.

$$Z_N = \frac{Z - \mu_z}{\sigma_z} = \frac{Z - (\mu_x + \mu_y)}{\sqrt{\sigma_x^2 + \sigma_y^2}} \quad (10)$$

그리고

$$\text{Prob}[Z > C] = \text{Prob}[Z_N > C_N]$$

여기에서

$$\begin{aligned} C_N &= \frac{C - (\mu_x + \mu_y)}{\sqrt{\sigma_x^2 + \sigma_y^2}} = \frac{\mu_x + k\sigma_x + (\mu_x + \mu_y)}{\sqrt{\sigma_x^2 + \sigma_y^2}} \\ &= \frac{k\mu_x - \mu_y}{\sqrt{\sigma_x^2 + \sigma_y^2}} \end{aligned} \quad (11)$$

이 성립한다.

만약 $a < b$ 이면 표준 정규 분포의 특성에 의하여 $\text{Prob}[Z > a] > \text{Prob}[Z > b]$ 가 성립한다. 따라서 σ_x 의 증감 여부에 따른 $\text{Prob}[Z > C]$ 의 증감 여부는 σ_x 가 증감에 따른 C_N 의 증감 여부의 문제로 귀결된다. 이것은 C_N 을 σ_x 로 미분한 식에서 확인할 수 있다.

$$\left(\frac{\partial C_N}{\partial \sigma_x} \right) = \frac{k(\sigma_x^2 + \sigma_y^2) - (k\sigma_x - \mu_y)(\sigma_x)}{(\sqrt{\sigma_x^2 + \sigma_y^2})^2} = \frac{k\sigma_y^2 + \mu_y\sigma_x}{(\sigma_x^2 + \sigma_y^2)^{\frac{3}{2}}} \quad (12)$$

만약 $\mu_y \geq 0$ 이라면,

$$\left(\frac{\partial C_N}{\partial \sigma_x} \right) > 0 \quad (13)$$

이 성립함을 알 수 있다.

따라서 σ_x 가 감소함에 따라서 C_N 도 감소하게 되고 그리고 $\text{Prob}(Z_N > C_N)$ 는 증가하게 된다. 즉 $\text{Prob}[Z > C]$ 가 증가하게 되는 것이다. 그래서 정규 분포를

가정한 경로의 진행 지연에서 경로의 진행 지연이 정해진 클럭 주기를 초과할 확률은 경로 진행 지연의 표준편차가 감소함에 따라서 증가함을 알 수 있다.

IV. 지연 결함 고장 검출율

단일 고착 고장을 테스트하는데 있어서, 고장 검출의 여부는 고장을 가지고 있는 경로에 의존하지 않는다. 이와 반대로 지연 고장 테스트는 지연 고장 검출 자체가 테스트 중인 경로의 진행 지연에 의존하기 때문에 지연 고장 테스트가 반드시 고장을 검출하는 것은 아니다. 이런 관계를 고려하기 위하여, 테스트 중인 경로에 대한 시스템 타이밍 고장(S)과 동일한 고장 지점을 지나는 가장 긴 기능적 경로에 대한 시스템 타이밍 고장(S_{max})의 관계를 고려한다. 일반적인 고착 고장이나 게이트 고장 모델에서는 앞서서도 언급한 검출된 고장의 비율로서 고장 검출율을 표현할 수 있다. 그러나 제조상의 지연 결함을 고려한 경로 지연 고장 모델에서는 모든 경로를 고려하는 게 불가능하므로 여기에서는 경로의 지연 결함과 진행 지연을 고려한 새로운 고장 검출율을 정의한다. 지연 고장 검출은 고착고장과는 달리 테스트 중인 경로의 진행 지연에 의존하게 된다. 이런 관계를 고려하기 위하여 한 고장 지점을 지나는 테스트 중인 경로의 시스템 타이밍 고장이 일어날 확률과 같은 고장 지점을 지나는 가장 긴 기능적 경로에서 시스템 타이밍 고장이 일어날 확률의 비율로서 지연 결함 고장 검출율(delay defect fault coverage)을 정의한다. 다시 말해서 지연 결함 고장 검출율은 고장 지점을 지나는 테스트 중인 경로에 축적되는 지연 결함의 합과 같은 고장 지점을 지나는 가장 긴 기능적 경로에 축적되는 지연 결함의 합의 비율로서 정의한다. 즉, 경로에 추가된 제조상에서 발생할 수 있는 지연 결함으로 인하여 발생할게 되는 시스템 타이밍 고장의 확률 비로서 정의할 수 있다. 지연 결함 고장 검출율을 수식으로 표현하면 다음과 같다.

$$\text{DDFC} = \frac{\sum_{i=1}^n S(i)}{\sum_{i=1}^n S_{max}(i)} \quad (14)$$

여기에서 n 은 지연 고장의 개수를 의미한다. 예를 들어 각 고장 지점을 지나는 임의의 경로를 테스트함에 있어서 10개의 다른 경로에 대한 테스트된 경로의 비율로서 100%의 고장 검출율을 가정하자. 가장 긴 기

능적 경로와 테스트 중인 경로에 대한 진행 지연은 표 1에 나타나 있다. 각 경로의 평균 진행 지연을 13.5-18ns로 가정하고 각 고장에 대한 가장 긴 기능적 경로들의 진행 지연은 18ns로 가정하였다. 표준 편차는 1, $\sqrt{2}$, $\sqrt{3}$ 인 경우를 고려하였고, 부가적인 지연 결합은 평균 2ns에 표준 편차 $\sqrt{0.5}$ 을 이루는 정규 분포로 가정한 경우이다. 각 경우에 대한 지연 결합 고장 검출율을 표 2에 나타내었다.

표 1. 테스트 중인 경로의 진행 지연
Table 1. Propagation delay of the path to be tested.

가장 긴 기능적 경로	진행 지연(ns)									
	테스트 중인 경로	18	18	18	18	18	18	18	18	18
테스트 중인 경로	13.5	14	14.5	15	15.5	16	16.5	17	17.5	18

표 2. 경로 지연 고장에 대한 지연 결합 고장 검출율
Table 2. Delay defect fault coverage of path delay fault.

표준 편차	지연 결합 검출율(delay defect coverage)
1	15.97 %
$\sqrt{2}$	20.48 %
$\sqrt{3}$	24.49 %

지연 결합 고장 검출율은 각 경로에 대한 가장 긴 진행 지연을 가지는 경로를 항상 고려하므로 각각의 지연 고장에 대하여 가장 긴 진행 지연을 갖는 경로보다 작은 진행 지연을 갖는 경로를 테스트함으로써 얻어지는 일반적인 지연 고장 검출율에 비해서 좀더 신뢰할 수 있는 수치라 볼 수 있다. 반대로 일반적인 지연 고장 검출율이 낮을 때에 테스트되지 않는 지연 고장에 대한 가장 긴 기능적 경로에서의 시스템 타이밍 고장이 낮다면 지연 결합 고장 검출율이 높아지는 경우도 생긴다.

V. 게이트와 경로에 대한 지연 결합 고장 검출율

우선 회로를 구성하는 특정 게이트를 지나가는 경로

들에 대하여 지연 고장 테스트를 수행한 경우를 살펴 보기로 한다. 전체 회로를 구성하는 게이트의 개수를 m이라고 하고 모든 경로의 개수를 n이라고 하자. 그리고 게이트의 집합과 경로의 집합을 다음과 같이 나타 내기로 한다.

$$\text{Gate} = g_1, g_2, g_3, \dots, g_m \quad (15)$$

$$\text{Path} = p_1, p_2, p_3, \dots, p_n \quad (16)$$

회로의 게이트 수가 증가함에 따라 회로를 구성하는 경로들은 지수 함수적으로 증가함으로 모든 경로를 고려하지 못하기 때문에 여기에서 나타난 경로들은 기능적으로 가장 긴 경로들을 고려한다. 경로의 아래 첨자가 커짐에 따라서 경로가 가지는 진행 지연이 커진다고 가정한다. 즉, p_1 은 가장 작은 진행 지연을 가지는 경로이고, p_n 은 가장 큰 진행 지연을 가지는 경로이다. 여기에서 모든 게이트에 대하여 특정 게이트를 지나는 경로들에 대한 집합을 다음과 같이 나타낸다.

$$\text{Path}(g_i) = \text{게이트 } g_i \text{를 지나는 경로들의 집합} \quad (i=1, 2, 3, \dots, m) \quad (17)$$

각 게이트에 존재할 수 있는 지연 결합의 크기를 Δ 로 표시하면, 게이트 g_i 의 지연 결합 크기는 Δ_i 로 나타낸다 ($i = 1, 2, 3, \dots, m$). 회로내의 전체 경로들의 부분 집합인 $\text{Path}(g_i)$ 에 포함되는 경로들 중에는 가장 작은 진행 지연을 가지는 경로가 존재하게 된다. 전체 시스템이 동작 클럭 주기를 C라 한다면, 게이트 g_i 에 존재할 수 있는 지연 결합의 크기 Δ_i 에 따라서 게이트 g_i 를 지나는 경로들이 지연 고장을 일으킬 확률은 달라지게 된다. 만약 Δ_i 의 크기가 $\text{Path}(g_i)$ 의 경로 중 가장 작은 진행 지연을 가지는 경로가 가지는 슬랙보다 크다면 게이트 g_i 를 지나는 모든 경로들은 시스템 타이밍 고장을 일으키게 된다. 이렇듯 게이트에 추가된 지연 결합으로 인하여 그 게이트를 지나는 경로가 지연 고장을 일으키게 되는데, 게이트 g_1 을 지나는 경로들에서 발생하는 고장은 테스트 패턴 집합인 T_1 에 의해 검출되고, 게이트 g_2 를 지나는 경로들에서 발생하는 고장은 테스트 패턴 집합인 T_2 에 의해 검출된다고 나타낼 수 있다. 각 게이트를 지나가는 경로가 중복이 되는 경우가 생기므로 테스트 패턴이 동일한 경우도 존재한다. 따라서 전체 게이트에 대한 총 테스트 패턴

집합은 다음 같이 나타낼 수 있다.

$$T = \bigcup_{i=1}^m T_i \quad (18)$$

마찬가지로 게이트 g_i 에 대한 지연 결함 고장 검출율을 $DDFC(g_i)$ 로 표시하면, 가정한 전체 게이트에 대한 지연 결함 고장 검출율을 $DDFC_G$ 로 나타낼 수 있다. 그러면 테스트 패턴 수에서와 마찬가지로 경로가 중복되는 경우가 생기게 된다. 각 게이트를 지나는 경로들 중에서 중복되는 경로들을 고려하여 가정한 전체 게이트에 대한 지연 결함 고장 검출율은 다음과 같이 나타낼 수 있다.

$$DDFC_G = \bigcup_{i=1}^m DDFC(g_i) \quad (19)$$

특정 게이트를 지나는 경로들에 대하여 지연 결함 고장 검출율을 적용한 후에는 이외의 나머지 경로들에 대하여 지연 결함 고장 검출율을 적용하는데 이 경우는 지연 결함이 특정 게이트가 아닌 경로에 넓게 분포되어 있다고 가정한다. 기능적으로 긴 경로에 대한 지연 결함 고장 검출율은 앞에서 예시한 표 2에서 확인할 수 있는데 이것을 $DDFC_P$ 로 나타내면, 이것도 마찬가지로 특정 게이트를 지나는 경로들과 기능적으로 긴 경로들이 중복되는 경우가 생기므로 전체 회로에 대한 지연 결함 고장 검출율은 다음과 같이 나타낼 수 있다.

$$DDFC = DDFC_G \cup DDFC_P \quad (20)$$

VI. 지연 결함 고장 검출율과 결함 수준

경로에 분포하는 결함에 의해 발생하는 지연 고장에 대한 지연 고장 테스트의 신뢰도를 결정하기 위하여 본 논문에서는 다음과 같은 가정들을 이용하였다. 시스템의 각 경로에 존재하는 지연 고장들은 서로 독립적이라고 가정하고 모든 지연 고장은 동일한 확률 r 을 가진다고 가정한다. r 의 크기가 일반적으로 매우 낮기 때문에 테스트 중인 경로가 하나 이상의 지연 고장을 가질 확률은 극히 낮다. 그래서 모든 경로들은 적어도 하나의 지연 고장을 가지고 있다고 가정한다. 이런 가정 하에서 테스트 중인 시스템에서 시스템 시간 고장

이 생기지 않을 확률, 즉 제품의 수율(yield)은 다음과 같이 표현할 수 있다.

$$Y = \prod_{i=1}^n [1 - r S_{\max}(i)] \quad (21)$$

여기에서 n 은 지연 고장의 개수를 나타내고, $S_{\max}(i)$ 는 각 지연 고장 지점을 지나는 가장 긴 기능적 경로의 지연에 대한 시스템 타이밍 고장을 의미한다.

지연 고장 테스트에 대한 시스템의 신뢰도는 지연 고장 테스트를 거친 시스템이 올바른 시간적 동작을 할 확률로서 정의한다. 여기에서 A 를 시스템 타이밍 고장이 존재하지 않는 사건이라고 하자. 그리고 B 는 n 개의 총 지연 고장 가운데 $k(1 \leq i \leq k)$ 개가 시스템 타이밍 고장 없이 테스트되는 사건이라고 하자. k 개의 지연 고장이 임의의 경로에 대하여 테스트된다고 가정하면 다음의 식이 성립한다.

$$\text{Prob}[B] = \prod_{i=1}^k [1 - r S(i)] \quad (22)$$

조건부 확률의 정의에 근거하면 지연 고장에 대한 전체 시스템의 신뢰도는 다음과 같이 나타낼 수 있다.

$$\text{Prob}[A|B] = \text{Prob}[A \cap B] / \text{Prob}[B] \quad (23)$$

$A \cap B$ 의 확률은 시스템 타이밍 고장이 생기지 않을 확률이고 또한 테스트 입력들에 의해 테스트되는 k 개의 고장으로 인하여 시스템 타이밍 고장이 생기지 않을 확률이다. 즉 시스템이 고장이 없는 것으로 간주된다는 말이다. 식으로 나타내면 다음과 같다.

$$\text{Prob}[A \cap B] = Y = \prod_{i=1}^n [1 - r S_{\max}(i)] \quad (24)$$

식 (21), (22)과 (23), (24)를 이용하여 지연 고장에 대한 시스템의 신뢰도를 다음과 같이 나타낼 수 있다.

$$\text{Prob}[A|B] = \text{Prob}[A \cap B] / \text{Prob}[B] = \frac{\prod_{i=1}^n [1 - r S_{\max}(i)]}{\prod_{i=1}^k [1 - r S(i)]} = \frac{Y}{\prod_{i=1}^k [1 - r S(i)]} \quad (25)$$

여기에서 결함을 가지고 있는 시스템이 제대로 동작하는 시스템으로 고려되는 확률을 결함수준(defect level)이라고 정의하면, 다음과 같이 결함 수준을 표현할 수 있다.

$$DL = 1 - \text{Prob}[A|B] = 1 - \frac{Y}{\prod_{i=1}^k [1 - r S(i)]} \quad (26)$$

식 (26)에서 볼 수 있듯이 결함 수준은 테스트되지 않는 고장이 생길 확률에 따라 달라짐을 확인할 수 있다.

다음의 수식으로부터, $x = e^{\ln(x)}$ or $x = a^{\log_a(x)}$ ($x > 0$), 식 (25)를 다시 쓰면 다음과 같이 표현된다.

$$\text{Prob}[A|B] = \frac{Y}{\prod_{i=1}^k [1 - rS(i)]} = Y^{1 - \log_r \prod_{i=1}^k [1 - rS(i)]} \quad (27)$$

로그 함수의 밑을 Y에서 e로 대체함으로써, 식 (27)은 다음과 같이 다시 쓸 수 있다.

$$\begin{aligned} \text{Prob}[A|B] &= Y^{(1 - \log_r \prod_{i=1}^k [1 - rS(i)] / \log_e Y)} \\ &= Y^{(1 - \ln \prod_{i=1}^k [1 - rS(i)] / \ln Y)} \end{aligned} \quad (28)$$

따라서,

$$\text{Prob}[A|B] = Y^{(1 - \ln \prod_{i=1}^k [1 - rS(i)] / \ln \prod_{i=1}^n [1 - rS_{\max}(i)])} = 1 - DL \quad (29)$$

결론적으로,

$$\frac{\ln \prod_{i=1}^k [1 - rS(i)]}{\ln \prod_{i=1}^n [1 - rS_{\max}(i)]} = \frac{\ln \prod_{i=1}^k [1 - rS(i)]}{\ln \prod_{i=1}^n [1 - rS_{\max}(i)]} \quad (30)$$

$k+1 \leq i \leq n$ 에 해당되는 경로는 테스트가 되지 않는 경로이므로 시스템 타이밍 고장 계산에서 제외시킨다. 식 (30)을 다음과 같이 나타낼 수 있다.

$$\frac{\ln \prod_{i=1}^k [1 - rS(i)]}{\ln \prod_{i=1}^n [1 - rS_{\max}(i)]} = \frac{\sum_{i=1}^k \ln [1 - rS(i)]}{\sum_{i=1}^n \ln [1 - rS_{\max}(i)]} \quad (31)$$

그러면 다음의 식을 이용하여

$$\ln(1-x) = - \sum_{\beta=0}^{\infty} \left(\frac{x^\beta}{\beta} \right) \quad (|x| < 1) \quad (32)$$

식 (31)은 다음과 같이 나타낼 수 있다.

$$\frac{\sum_{i=1}^k (\sum_{j=1}^{\infty} [rS(i)]^j / j)}{\sum_{i=1}^n (\sum_{j=1}^{\infty} [rS_{\max}(i)]^j / j)} = \frac{\sum_{i=1}^k (\sum_{j=1}^{\infty} [rS(i)]^j)}{\sum_{i=1}^n (\sum_{j=1}^{\infty} [rS_{\max}(i)]^j)} \quad (33)$$

그리고 식 (33)은 다음과 같이 근사화시킬 수 있다.

$$\begin{aligned} \frac{\sum_{i=1}^k (\sum_{j=1}^{\infty} [rS(i)]^j)}{\sum_{i=1}^n (\sum_{j=1}^{\infty} [rS_{\max}(i)]^j)} &= \frac{\sum_{i=1}^k [rS(i)]}{\sum_{i=1}^n [rS_{\max}(i)]} \\ &= \frac{\sum_{i=1}^k [S(i)]}{\sum_{i=1}^n [S_{\max}(i)]} = \text{DDFC} \end{aligned} \quad (34)$$

위의 식 (29)와 (34)를 이용하여 지연 결함 고장 검출율(DDFC)과 시스템의 수율(Y), 그리고 결함 수준(DL)의 관계를 살펴보면 다음과 같은 식으로 표현된다.

$$\text{Prob}[A|B] = Y^{(1 - \text{DDFC})} \quad (35)$$

$$\begin{aligned} DL &= 1 - Y^{(1 - \text{DDFC})} \\ &= 1 - \left(\prod_{i=1}^n [1 - rS_{\max}(i)] \right)^{1 - \left(\frac{\sum_{i=1}^k S(i)}{\sum_{i=1}^n S_{\max}(i)} \right)} \end{aligned} \quad (36)$$

지연 결함 고장 검출율은 고착 고장에서도 쉽게 적용할 수 있는데, 이것은 고착 고장을 테스트함에 있어서 고착 고장을 무한대의 지연 결함을 가지는 지연 고장으로 간주한다. 고착 고장인 경우에는 고장이 어디로 전파되든지 상관없으므로 고착 고장에 대한 시스템 타이밍 고장은 항상 1이다. 이와 반대로 테스트가 가능하지 않다면 시스템 타이밍 고장은 0이 된다. 따라서 고착 고장에 대한 지연 결함 고장 검출율은 일반적인 가정된 고장의 개수에 대한 검출된 고장의 개수로 표현되는 전통적인 고장 검출율과 같게 된다. 이렇게 특정 게이트를 지나는 경로들과 기능적으로 긴 경로들에 대하여 동시에 지연 고장 테스트를 고려함으로써 좀더 신뢰할 수 있는 고장 검출율과 수율 그리고 결함 수준을 살펴볼 수 있게 된다.

VII. 실험 결과

표 3과 표 4는 ISCAS 벤치마크 회로에 대하여 지연 결함 고장 검출율을 적용한 결과를 보여 주고 있다. 각 경로에 대한 진행 지연 값은 Synopsys에서 제공하는 시간 분석기(timing analyzer)를 이용하여 구하였다.

표 3에서 두 번째 열은 회로의 총 입력수를 나타내고 세 번째 열은 총 출력수를 나타낸다. 그리고 네 번째 열은 각 회로의 총 게이트 수이고, P_{\max} 는 각 회로에 존재하는 경로들 중 가장 긴 경로의 진행 지연을 나타낸다. 여기에서 추가되는 지연 결함에 의해 발생하는 게이트 고장의 개수는 20개이고, 경로의 수는 가장 긴 경로 1000개를 고려하였다. 그리고 지연 결함 크기는 평균 0.5 ns, 표준 편차 0.2 ns의 정규 분포를 가진다고 가정하였다. 그리고 DDFC-1과 DDFC-2는 다른 시스템 동작 클럭 주기를 적용하였을 때의 지연 결함 고장 검출율을 보여주고 있다. DDFC-2는 DDFC-1에 비해 시스템 동작 클럭 주기를 크게 한 경우로서 모든

회로에서 DDFC-1에 비해 낮은 값을 나타내고 있는데 이것은 시스템 동작 클럭 주기가 증가함에 따라 각 경로에 대한 시스템 타이밍 고장이 일어날 확률이 줄어들었기 때문이다. 그리고 S1238의 경우 상당히 낮은 수치를 보여 주고 있는데, 이것은 경로에 대한 표준편차의 크기에 따라 시스템 타이밍 고장이 일어날 확률이 달라지기 때문이다. S1238의 경로들에 대한 표준편차가 다른 회로들에 비해서 상당히 크울 짐작할 수 있다. 시스템 동작 클럭 주기가 증가하게 되면 지연 결함의 크기의 변동이 없다면 경로에 대한 시스템 타이밍 고장이 감소하게 됨으로 지연 결함 고장 검출율이 낮아지

게 됨을 확인할 수 있다.

회로에 존재하는 긴 경로를 고려한 경우와 무작위로 선택한 경로를 고려한 경우에 대하여 지연 결함 고장 검출율을 적용한 결과가 표 4에 나타나 있다. 가정된 지연 결함의 크기는 표 3에서와 마찬가지로 평균 0.5 ns, 표준 편차 0.2ns의 정규 분포를 가진다고 가정하였다. 표 4에서 DDFC(L)로 표시한 것은 회로에 존재하는 긴 경로 1000개를 고려했을 때의 지연 결함 고장 검출율을 나타내고, DDFC(R)은 무작위로 선택한 경로 1000개에 대하여 지연 고장 결함 검출율을 나타낸다. 각 회로마다 동일한 시스템 동작 클럭 주기를 적용하

표 3. 시스템 동작 클럭 주기에 따른 지연 결함 고장 검출율

Table 3. Delay defect fault coverage according to system operational clock interval.

Circuits	Primary Inputs	Primary Outputs	Number of Gates	$P_{max} (ns)$	DDFC-1 (%)	DDFC-2 (%)
C95	5	7	27	4.64	42.09	16.04
C432	36	7	160	5.26	95.18	89.96
C1908	33	25	880	10.58	83.29	37.17
C3540	50	22	1669	28.23	31.73	8.89
C5315	178	123	2307	32.23	58.08	23.20
S27	4	1	10	4.69	29.39	6.04
S298	3	6	119	2.11	73.73	68.32
S1238	14	14	508	19.55	12.27	0.38
S5378	35	49	2779	20.89	27.78	11.98
S9234	19	22	5597	25.83	63.28	46.69

표 4. 경로의 차이에 따른 지연 결함 고장 검출율

Table 4. Delay defect fault coverage according to different path.

Circuits	Primary Inputs	Primary Outputs	Number of Gates	$P_{max} (ns)$	DDFC(L) (%)	DDFC(R) (%)
C95	5	7	27	4.64	42.09	40.66
C432	36	7	160	5.26	95.18	69.88
C1908	33	25	880	10.58	83.29	32.13
C3540	50	22	1669	28.23	31.73	14.94
C5315	178	123	2307	32.23	58.08	2.1
S27	4	1	10	4.69	29.39	21.60
S298	3	6	119	2.11	73.73	15.51
S1238	14	14	508	19.55	12.27	21.9
S5378	35	49	2779	20.89	27.78	14.75
S9234	19	22	5597	25.83	63.28	9.51

여 DDFC(L)과 DDFC(R)을 구하였다. 표 4에서 보는 바와 같이 모든 회로에서 DDFC(L)에 비하여 DDFC(R)이 작게 나옴을 확인할 수 있다. 이것은 회로에 존재하는 긴 경로들은 무작위로 선택된 경로들에 비하여 각 경로들의 슬랙이 작아서 시스템 타이밍 고장이 일으날 확률이 높기 때문이다. 또한 무작위로 선택한 경로들에 대한 진행 지연의 표준 편차가 긴 경로들에 비하여 크기 때문에 지연 결합 고장 검출율이 낮아지게 된다. 이 결과에서 보는 바와 같이 지연 고장 테스트에 있어서 무작위로 선택한 경로에 비하여 긴 경로들을 고려하는 것이 더 신뢰성을 가짐을 확인할 수 있다.

VIII. 결 론

지연 고장은 시스템의 동작에 영향을 주는 요인이 고장의 존재 유무보다는 지연 결합의 크기에 더 많이 의존하기 때문에 고착 고장과는 달리 지연 고장이 반드시 시스템의 시간적 고장을 일으키지는 않는다. 그래서 일반적인 총 고장의 개수에 대한 검출된 고장의 개수로 나타내는 고장 검출율만으로는 지연 고장 테스트에 대한 납득할 만한 신뢰도를 나타내는 효과적인 수치라고 볼 수 없다. 본 논문에서는 경로의 진행 지연과 제조상에서 추가되는 지연 결합을 고려한 새로운 고장 검출율인 지연 결합 고장 검출율을 제시하였다. 그리고 시스템의 클럭 주기와 진행 지연 사이의 관계를 살펴 보았다. 논문에서 제시한 지연 결합 고장 검출율은 경로에 대한 진행 지연뿐만 아니라 제조상에서 발생할 수 있는 지연 결합도 고려한 통계적 지연 고장 모델을 가정한 것이므로 단순히 총 고장의 개수에 대한 검출된 고장의 개수로 정의되는 일반적인 고장 검출율보다 좀 더 신뢰성 있는 테스트의 효과를 얻을 수 있다. 그리고 마지막으로 지연 결합 고장 검출율과 수율, 결합 수준의 관계를 새롭게 정립하였다.

참 고 문 헌

- [1] V. Iyengar, B. Rosen, and I. Spillinger, "Delay Test Generation Algebra and Algorithms," *Proc. of International Test Conference*, pp. 867-876, 1988.
- [2] Van Brakel, G. et al., "Gate Delay Fault Test Generation for Non-Scan Circuits," *Proc. of International Test Conference*, pp. 308-312, 1995.
- [3] K-T. Cheng and S. Devadas and K. Keutzer, "Delay-Fault Test Generation and Synthesis for Testability under a Standard Design Methodology," *IEEE Trans. on CAD*, Aug. 1993, pp.1217-1231.
- [4] J. Waicukauski, E. Lindbloom, B. Rosen and V. Iyengar, "Transition Fault Simulation," *IEEE Design and Test*, pp. 32-38, April 1987.
- [5] S. Reddy, C. Lin and Patil, "An Automatic Test Pattern Generation for the Detection of Path Delay Fault," *Proc. ICCAD*, pp. 284-287, 1987.
- [6] Smith, G. L., "Model for Delay Faults Based upon Path," *Proc. of International Test Conference*, pp. 342-349, 1985.
- [7] D. M. Wu, C. E. Radke, and J. P. Roth, "Statistical AC Test Coverage," *Proc. of International Test Conference*, pp. 538-541, 1986.
- [8] J. L. Carter, V. S. Iyengar, and B. K. Rosen, "Efficient Test Coverage Determination for Delay Faults," *Proc. of International Test Conference*, pp. 418-428, 1987.
- [9] S. Tragoudas, "Accurate Path Delay Fault Coverage is Feasible," *Proc. of International Test Conference*, pp. 201-210, 1999.
- [10] T. W. Williams and N. C. Brown, "Defect Level as a Function of Fault Coverage," *IEEE Trans. on Computer*, Vol. C-32, No. 12, pp. 987-988, 1981.
- [11] F. Coris, S. Martino, and T. W. Williams, "Defect Level as a Function of Fault Coverage and Yield," *Proc. of European Test Conference (ETC)*, pp. 507-508, 1993.
- [12] Eun Sei Park, M.R. Mercer, T.W. Williams, "A Statistical Model for Delay-Fault Testing," *IEEE Design & Test of Computer*, pp. 45-55, February, 1989.

- [13] James H. Shelly and David R. Trayon, "Statistical Techniques of Testing Verification," *Proc. 20th Design Automation Conference*, pp. 396~402, 1983.
- [14] Mustapha Hamad, Sami Al-Arian and David Landis, "A Statical Methodology for Modeling and Analysis of Path Delay Faults in VLSI Circuits," *Computer and Electrical Eng.* Vol. 23, No. 5, pp. 319~328, 1997.
- [15] Nandakumar N. Tendolkar, "Analysis of Timing Failure Due to Random AC Defects in VLSI Circuits," *Proc. 22nd Design Automation Conference*, pp. 709~714, 1985.
- [16] Jacques Benkoski and Andrzej J. Strojwas, "Computation of Delay Defect and Delay Fault Probabilities Using a Statistical Timing Simulator," *Proc. of International Test Conference*, pp. 153~160, 1989.
- [17] Alberto Leon-Garcia, *Random Processes for Electrical Engineering*, Second Edition, Addison Wesley.

저 자 소 개



金明均(正會員)

1999년 2월 연세대학교 전기공학과 졸업(학사). 1999년 3월 - 2001년 2월. 연세대학교 전기·전자공학과(공학석사). 2001년 1월 - 현재 (주)코아로직 연구원. 관심 분야 - VLSI CAD, 테스트, VLSI 설계

韓昌昊(正會員)

1980년 2월 성균관대학교 전자공학과 졸업(학사). 1982년 2월 서울대학교 전자공학과(석사). 1991년 5월 Univ. of Texas at Austin 전산기공학(박사). 1982년 12월 - 1986년 8월 한국전자통신연구소/연구원. 1991년 7월 - 1992년 7월 Cadence Design System, Inc., Senior Member of Technical Staff. 1992년 9월 - 현재 인하대학교 공과대학 전자계산학과 부교수. 관심분야 - 소프트웨어공학, 설계자동화



姜成昊(正會員)

1986년 2월 서울대학교 제어계측공학과 졸업(학사). 1988년 5월 The University of Texas Austin 전기 및 컴퓨터공학과(공학석사). 1992년 5월 The University of Texas Austin 전기 및 컴퓨터 공학과(공학박사). 1989년 11월 - 1992년 8월. Schlumberger Inc. Research Scientist. 1992년 9월 - 1992년 10월 The University of Texas Austin Post doctoral Fellow. 1992년 8월 - 1994년 6월 Motorola Inc. Senior Staff Engineer. 1994 9월 - 현재 연세대학교 전기·전자공학과 부교수. 관심분야 - VLSI CAD, 테스트, 설계 검증, VLSI 설계

閔炯福(正會員) 第36卷 SD編 第9號 參照