

論文2001-38SD-4-1

# Rambus DRAM실장용 $\mu$ BGA (Ball Grid Array) 및 $\mu$ Spring 패키지와 전기적 특성

## ( $\mu$ BGA and $\mu$ Spring Packages for Rambus DRAM Applications and Their Electrical Characteristics)

金振聖\*, 劉泳甲\*

(Jin Sung Kim and Younggap You)

### 요 약

본 논문에서는  $\mu$ Spring 패키지의 구조와 제조공정을 소개하고, 전기적 특성을  $\mu$ BGA와 비교 분석한 결과를 제시하였다.  $\mu$ BGA에서와 같이  $\mu$ Spring 패키지의 연결선 인덕턴스 값은 기존의 TSOP 패키지의 반 이하로서 월등한 고속 신호 전달 특성을 제공하게 된다. 또한  $\mu$ Spring CSP 패키지의 경우 가장 열악한 substrate trace를 가진 핀에서도 2.9nH로 평가되어, Rambus DRAM module의 인덕턴스 규격 상한 값 4nH에 비하여, 약 25% 정도의 margin을 제공한다.  $\mu$ Spring CSP 패키지는  $\mu$ BGA의 약 50%의 제조 비용으로서  $\mu$ BGA가 만족시키지 못하는 JEDEC Level 1 규격을 충족시킬 뿐만 아니라, thermal cycle 1000회를 통과하는 높은 신뢰성을 제공하여 강력한 경쟁력을 가진다.

### Abstract

This paper presents the structure of a  $\mu$ Spring package, its fabrication process and an analysis of its electrical characteristics compared to that of a  $\mu$ BGA. It was found that both  $\mu$ BGA and  $\mu$ Spring packages provide with outstanding high speed signal transmission characteristics due to their lower inductance of package interconnection lines, smaller than half of inductance of TSOP package lines. Even the worst case substrate trace of a Rambus DRAM  $\mu$ Spring package yields the line inductance of 2.9nH, which provides with 25% margin compared to the Rambus DRAM specification of 4nH. The fabrication cost of  $\mu$ Spring package is lower than that of  $\mu$ BGA by 50%, passes 1000 thermal cycles, meets JEDEC Level 1 specification whereas  $\mu$ BGA does not, and thereby yields high reliability and strong competing power.

### I. 서 론

반도체 칩의 고속화, 고밀 도화에 따라 이러한 칩이 탑재된 패키지의 성능이 칩의 성능에 커다란 상관 관계를 갖게 되었다. 시스템의 고속화 요구는 전자 패키

징이 과거의 단순한 전기적인 connection 관계에서 급변하는 시스템의 고속화와 경박 단순화의 추세는 고속 반도체 소자를 요구하게 되었다. 이를 위하여 메모리 소자의 전자 패키지 기술은 CSP(Chip Scale Package) 형태로 소형화하여 실장 효율을 높이고 전송선의 길이를 짧게 하고 전기적 기생성분을 감소시키는 연구가 진행되고 있다.<sup>[1~4]</sup>

이러한 CSP 기술 중에 Rambus DRAM 등에 채택되어 사용되고 있는  $\mu$ BGA 패키지는 기존의 BGA(ball grid array)의 개념을 응용하여 전송선의 역할을 하는

\* 正會員, 忠北大學校 情報通信工學科

(Dept. of Computer & Communication Engineering  
Chungbuk Univ.)

接受日字:2000年7月28日, 수정완료일:2001年4月2日

flexible circuit과 solder joint 신뢰성 문제를 위한 elastomer를 반도체 칩 위에 부착하고 flexible circuit 위 land부위에 패키지 외부단자로 사용하는 solder ball을 부착한 구조를 갖고 있다. 그러나 이 패키지는 board 실장 후 신뢰성의 문제를 안고 있다. 이러한 단점을 극복하기 위한 고가의 elastomer와 같은 특수 테이프 등의 사용은 제조 비용의 상승을 요구하고 있으나, 그럼에도 불구하고 이 패키지는 JEDEC Level 1의 신뢰성 규격을 만족시키지 못하고 JEDEC Level 2의 신뢰성 규격만을 만족시키고 있다.<sup>[7,8]</sup>

이러한 배경 속에  $\mu$ -Spring패키지는  $\mu$ -BGA 패키지의 제조 비용의 문제와 신뢰성의 문제를 극복하는 대안으로 채택되고 있다. 이것은 이 논문의 2장에서 제시한 바와 같이  $\mu$ -BGA의 ball 대신에 bonding wire를  $\mu$ -spring 화하여 패키지 외부단자로 활용하는 방식이다. 이  $\mu$ -spring의 고유한 기계적 특성은 열팽창의 차이나 충격, 기계적인 접촉 범위의 확대와 같은 특성을 제공하여, 제조과정에서 비용절감의 효과와 신뢰성 확보라는 장점을 가지고 있다.

기존의  $\mu$ BGA가 strip process로 제작되는 반면에  $\mu$ Spring은 wafer level의 공정으로 제작되므로 약 50%의 낮은 제조 cost로 제작이 가능하고, 짧은 전송선과 금속층 배선 재배치의 자유도가 높다. 또한  $\mu$ Spring 형태의 외부 패키지 단자를 이용하므로 JEDEC Level 1이 요구하는 고 신뢰성 확보가 가능하다.<sup>[7,8]</sup>

이 논문에서는 이  $\mu$ Spring 패키지의 전기적 특성을 평가하여 제시하고자 한다. 먼저  $\mu$ Spring패키지의 구조와 전기적인 모델을 제시하고, 이를 72Mbit Rambus DRAM이 탑재된 memory module에 적용하여  $\mu$ Spring 패키지에 대한 simulation과 측정결과를 가지고

기존의  $\mu$ BGA와의 차이를 비교 평가하였다. 이 논문의 2장은  $\mu$ Spring의 구조와 전기적인 모델을 제시하고, 3장에서는 Rambus DRAM 적용결과를 분석하였으며, 4장에 결론을 제시한다.

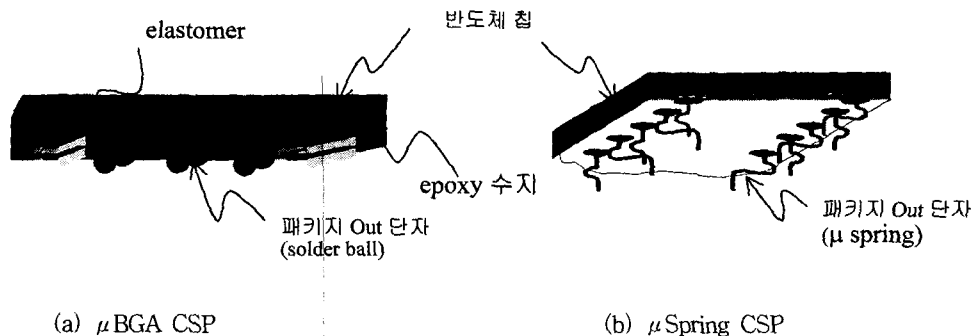
## II. 고속 Chip Size Package와 $\mu$ Spring

인쇄회로의 footprint를 획기적으로 줄여주는 패키지 기술이 chip size package이다. 이제 이들 기술은 소형화뿐만 아니라 수십 MHz에서 수 GHz의 고속 시스템에 대응하는 고속 소자의 회로동작속도의 개선에도 기여하는 것이다.

### 1. $\mu$ BGA와 $\mu$ Spring 패키지의 Structure

그림 1에는 CSP의 두 가지가 제시되어 있다. 현재 상용화되고있는 memory 칩 중 가장 고속 소자인 Rambus DRAM의 패키지로 사용되고 있는  $\mu$ BGA 패키지의 구조는 그림 1a와 같다, 또한 그 대체 기술인  $\mu$ Spring 패키지는 그림 1b에 제시되었다. 두 CSP 패키지 모두 동작 주파수 400MHz 이상의 동작속도를 갖는 고속 DRAM의 실장을 목표로 개발된 것이다.

고속 패키지에서 문제가 되고 있는 것은 long inner lead와 wire bonding에 의한 인덕턴스 값과 각 inner lead간의 capacitance값 차이로 인한 skew 이다. 이것을 낮추기 위하여, 현재 SDRAM에서 사용되고 있는 TSOP 패키지의 lead frame대신에 그에 해당하는 trace를 직접 칩의 substrate 위에 구현하였다. 이로써 전체적으로 전송선의 길이를 단축하여 Li값을 줄이고 trace간의 길이를 조정하여 핀간의  $delt C_i$  값 차이를 줄여 고속동작에 도움을 주는 것이다.



(a)  $\mu$ BGA CSP (b)  $\mu$ Spring CSP  
그림 1. CSP 패키지의 개념도: (a)  $\mu$ BGA CSP ; (b)  $\mu$ Spring CSP  
Fig. 1. Concept design of CSP Package: (a)  $\mu$ BGA CSP ; (b)  $\mu$ Spring CSP.

표 1에는 두 CSP 패키지의 특징을 비교하여 보여지고 있다. 총 72 pin의 패키지를 mother board에 탑재하였을 경우이다.  $\mu$ BGA의 경우 die 크기보다 약간 큰 chip scale package이다.  $\mu$ Spring 패키지의 경우 반도체 epoxy 수지의 패키지 body가 없이 bare die 형태로 사용된다. 칩 사이즈와 동일한 사이즈 패키지이므로  $\mu$ BGA대비 약 20%의 실장효율이 높다. 고속 DRAM에 사용되는 CSP패키지는 전기적 특성 향상을 위해 trace line이 짧아지고 패키지 외형 사이즈가 작아져, 외부단자 형성에 구조적으로 많은 제약을 갖게된다. 따라서 mother board에 실장 시 solder joint특성 확보가 필요하다.  $\mu$ Spring 패키지의 경우 외부 패키지 단자를 스프링 형태로 구성하므로 mother board에 실장 시 solder joint 신뢰성 특성이 우수하고 특히 반도체 칩 패드에서 패키지 외부단자까지를 wafer 상태에서 batch단위의 제조공정으로 처리한다. 이때 substrate trace는 수십  $\mu$ m의 선 폭을 갖는 metal line으로 구성을 하므로 생산성이 높다.

2.  $\mu$ Spring 패키지의 제조 공정과 모형

기존의  $\mu$ BGA패키지가 chip scale package로서 strip level process로 구성되어 있지만,  $\mu$ Spring 패키지는 chip size package로서 wafer level process이다. 제조된 웨이퍼상에 seed metal층을 형성하고, 여기에 wire bonding을 한 후 Ni이나 gold plating을 한 것이다. 이점이 이 두 기술의 패키지의 최종 크기와 제조비용의 차이를 유발하는 요인이다.

$\mu$ Spring 패키지는  $\mu$ BGA 패키지에 비하여 기판과의 간격을 넓게 할 수도 있다.

이는 칩의 열 방출에도 상당한 효과를 미치는 특성을 가지게 된다. 또한 별도의 epoxy 봉지과정을 거치지 않고 bare die가 직접 공기 중에 노출되므로 칩의 냉각에 상당한 효과가 있다. 열 방출과 관련하여  $\mu$ BGA 보다 훨씬 적은 열 저항을 가지게 되는 것이다.

전송선의 구조는  $\mu$ Spring이 substrate trace를 활용하는 반면에  $\mu$ BGA는 flexible circuit을 쓰고 있다. 수  $\mu$ m의 design rule을 갖는 metal 재배치 공정(대개 3rd metal layer)을 통하여 칩 패드에서 패키지 외부단자까지의 전송 선을 형성하게 된다. 패키지 외부단자는 spring형태의 gold wire를 wire bonding machine을 이용하여 shape을 형성한다. 다음에 이 bonding wire에 Ni/Au plating을 통하여 기계적 강도를 높이고, 공기

중에 노출된 경우에 부식에 대한 저항능력을 갖도록 한다. 이렇게 굵기가 커진 wire는 전기적인 특성이 우수해 지는데, 단면적의 증가에 따라 저항과 인덕턴스가 줄어들게 된다. wafer위에 패키지 외부단자가 형성된 상태에서 개별 패키지로 절단하여 최종 칩의 크기와 동일한 크기가 된다.

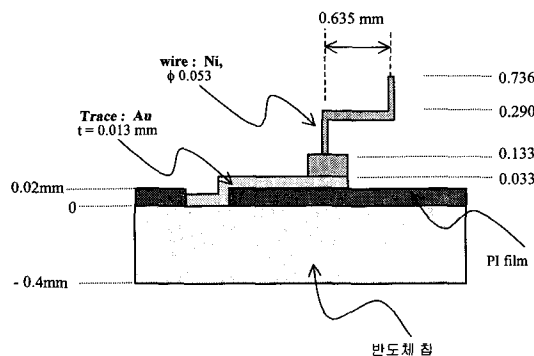


그림 2.  $\mu$ Spring CSP의 단면도  
Fig. 2. Cross sectional view of  $\mu$ Spring CSP.

이렇게 얻어진  $\mu$ Spring 구조의 단면이 그림 2에 제시되어 있다. 대략 400  $\mu$ m 두께의 silicon die위에 20  $\mu$ m 두께의 고분자 재료인 PI film을 coating후 13  $\mu$ m의 Au로 metal 재배치한 model로 구성하였다.  $\mu$ Spring은 실제 25  $\mu$ m의 gold wire에 Ni plating을 하였으나 skin effect를 고려하여 전기해석은 53  $\mu$ m의 지름을 갖는 Ni wire로 외부 패키지 단자를 형성하는 model로 가정하였다. 여기서 spring의 총 길이는 연결선의 배치에 따라 가변적이다. 이제 이 패키지의 실장 형태를 보기로 하자.

3.  $\mu$ Spring의 Rambus DRAM module 적용

그림 3에는  $\mu$ Spring CSP 패키지를 이용한 72Mbit Rambus DRAM을 module PCB에 surface mounting 기법을 이용하여 탑재한, 실제 제작된 module sample을 보여주고 있다. 여기에는 에러 정정 기능을 갖고있는 8개의 72Mbit(4Mbit\*18) RDRAM를 이용하여 총 64Mbyte module(8Mbit parity 별도)을 구성하였다.

이  $\mu$ Spring CSP 패키지는 RDRAM의 패키지뿐만 아니라 다른 종류의 칩의 실장에도 활용될 수 있다. 실제의 칩 사이즈와 동일한 크기를 가지므로 64Mbit SDRAM의 TSOP 패키지와 비교하여 볼 때, 2배 이상의 실장 집적 도를 갖고 있는 것이 확인되었다. 또한

서버급 컴퓨터에 사용되는 고집적의 memory module 구성에서도 chip의 stack 패키지와 동일한 2 배의 집적도 효과를 가질 수 있다.

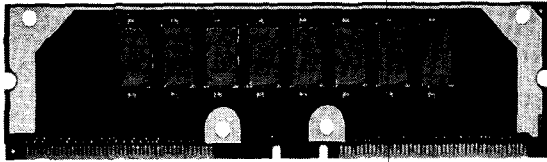


그림 3. Micro Spring Package의 64 Mbyte Rambus module  
Fig. 3. Mbyte Rambus module of Micro Spring Package.

비교 분석을 위하여 사용한  $\mu$ BGA의 특성은 다음과 같다. 패키지의 elastomer의 상대 유전율은  $\epsilon_r=3.0$ , encapsulant의 상대 유전율은  $\epsilon_r=3.8$ 로 하였다. 기타 재료의 물성은 표 1에서와 같이 상용 패키지에서 사용하는 값을 그대로 적용하였고 동작 주파수는 Rambus DRAM의 동작 주파수 400 MHz로 적용하였다.

표 1.  $\mu$ BGA와  $\mu$ Spring CSP의 제조 Cost와 신뢰성 비교표  
Table 1. Comparison of cost and reliability between  $\mu$ BGA and  $\mu$ Spring.

PKG Type	$\mu$ BGA	$\mu$ Spring
제조 cost	150~200%	100%
Pre-Condition	JEDEC Level 2	JEDEC Level 1
공정	Strip process	Wafer level process
T/C Condition	-40~+125,	-65~+125,
패키지 특성	Chip Scale 패키지 13.9mm*8.03mm flexible circuit 전송선 lead bonding solder ball 외부단자	Chip Size 패키지 12.9mm*7.1mm waferdnl metal 전송선 wire bonding+plating gold ball 외부단자
PI film( $\epsilon_r$ )	$\epsilon_r=3.8$	$\epsilon_r=3.2$
Trace	Cu, $\rho=1.72E-8.0m, t=0.018mm$	Ni, $\rho=6.9E-8.0m, \phi=0.053mm$ Au, $\rho=2.2E-8.0m, t=0.013mm$
Ball	solder ball $\rho=14.45E-8.0m, \phi=0.35mm$	gold ball $\phi=2.2E-8.0m$

### III. Rambus DRAM용 High Speed 패키지의 전기적 해석

현재 메인 메모리로 사용되는 SDRAM의 동작 주파수 100~133MHz에 비하여 Rambus DRAM용 패키지는 동작 주파수가 400MHz로서 3배 이상이다. 이러한 고주

파 특성을 얻기 위하여 패키지의 기생 성분의 조절이 필요하다. 연결선의 R, L, C 성분은 연결선의 구조에 따른 전기적 성능을 결정하게 된다. 이러한 R, L, C 성분은 고속 패키지의 전기적 특성을 좌우하는 crosstalk noise, reflection noise, ground bounce noise (delta-I 혹은 simultaneous switching noise) 에 절대적인 영향을 주게 된다.

#### 1. Rambus DRAM 실장 모형

Rambus 사양에서는 패키지의 parasitic parameter를 반도체 칩이 탑재되었을 때  $R_i = 4-15\Omega$ ,  $L_i = \max 4 nH$ ,  $C_i = 2-2.4 pF$  이하가 되도록 요구하고 있다[5]. 또한 CSP 패키지가 탑재되는 module PCB도 엄격한 impedance 기준이 요구되므로 모듈 PCB 특성에 영향을 미치는 패키지 외부단자 pitch도 제한을 받는다.

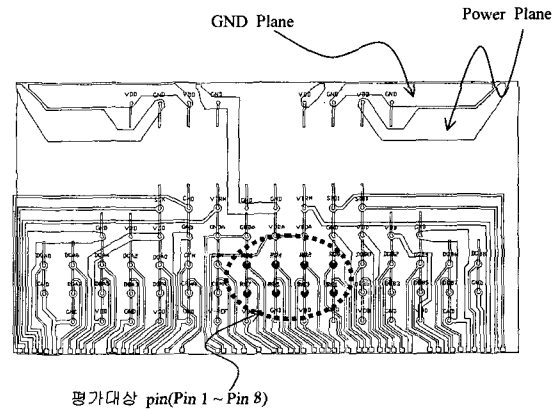


그림 4.  $\mu$ Spring CSP substrate 도면  
Fig. 4. Substrate design of  $\mu$ Spring CSP.

비교를 위하여,  $\mu$ BGA와  $\mu$ Spring 두 CSP 구조가 같은 substrate trace pattern을 가지도록 설계되었다. 그림 4에는 CSP 패키지의 substrate 상의 pattern을 보이고 있다. 여기서 패키지 center 부위에 있는 high speed signal pin중 8개를 선정하여 비교 평가에 사용하였다. 평가를 위하여 선택한 8개의 핀은 고속 신호가 지나는 trace중 길이가 가장 긴 4개와 가장 짧은 4개를 선택 한 것이다.

#### 2. Rambus DRAM Module의 Schematic

앞 절에서의 substrate pattern에 연결된 ball이나 spring은 궁극적으로 PCB에 연결된다. 그림 5는 Rambus DRAM이 탑재된 메모리 모듈의 연결선 모형을 보이고 있다. 메모리칩의 입출력 단자에는 약 4nH

이하의 인덕턴스가 허용된다. 이 값은 spring이 갖는 기생 인덕턴스 값을 포함한 값이다. 여기에 전체 system의 임피던스 matching을 고려한 칩의 substrate trace pattern 저항이 28Ω 정도가 직렬로 연결된다. 물론 이들 값은 선의 길이에 따라 달라진다. 이제 module 상의 trace의 전기적 특성 성분이 개입된다. 그림에서는 28/55Ω 정도의 임피던스를 제시하고 있다. 이 모형의 마지막 부분은 mother board insertion을 위한 컨넥터 저항이다.

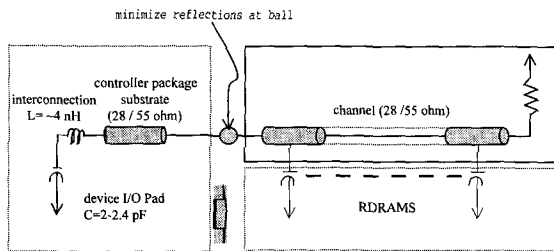


그림 5. Rambus DRAM module의 등가회로  
Fig. 5. Equivalent circuit of Rambus DRAM module.

Rambus DRAM 모듈의 전기적 특성 값을 보자. 이 시스템에서는 mother board <---> module PCB <---> 패키지간의 반사파 방지 등을 위하여 전체적인 28Ω ± 10%의 임피던스 정합을 요구하고 있다. 이러한 임피던스 정합을 위하여 칩의 입출력 pad의 capacitance 값이 2-2.4pF가 요구된다[5]. 모듈 PCB에서는 trace 폭을 0.35/0.1mm 두 가지로 나누어 패키지가 loading 되지 않는 unloaded 부와 패키지가 loading 되어 loading capacitance가 작용하는 loaded부에서 28Ω과 55Ω으로 조절 하고 있다[6].

일반적으로 메모리 패키지는 모듈 PCB 혹은 mother board에 직접 실장 되며, 이러한 MCM (혹은 PWB: printed circuit board) 설계는 PCB내에서 고속 디지털 및 아날로그 신호를 전달하는 전송선인 strip line과 micro strip line으로 구성되는데 이것은 적어도 1개 이상의 ground reference plane이 MCM(multi-chip module) board에 존재한다. 이러한 기생 성분에 의한 전송선 임피던스는 다음과 같이 계산된다. 집중형 모델에서 패키지의 lead 끝이 ground에 연결되어 있다면 그때의 등가 임피던스는 다음 식으로 계산한다.

$$Z_{eff} = R + \frac{Z_L Z_C}{Z_L + S_C} = R + \frac{j\omega L}{1 - \omega^2 LC}$$

(247)

여기서  $Z_L (= j\omega L)$  는 L에 의한 임피던스이며,  $Z_C (= \frac{1}{j\omega C})$  는 C 성분에 의한다.

등가 impedance는 network analyzers에 의해 패키지가 탑재된 PCB trace에서 측정 가능하며[3,4], 반사계수를 고려하면  $Z_{eff} = Z_0 * (1 + \rho) / (1 - \rho)$ 의 관계를 갖고 있다. 여기서  $Z_0$  는 reference 임피던스이며  $\rho$ 는 반사 계수이다.

이제 그림 6과 같이 여러 개의 핀이 같은 chip substrate에 연결되는 경우를 보기로 하자. 이때에는 핀 간의 capacitance와 간섭이 개재된다. 연결선을 갖는 패키지 부에 대한 상세 모델을 생각해 보면  $\mu$ Spring CSP패키지에서 연결선의 등가 model은 일반적인 집중형 모델을 적용할 수 있다. 각 핀별 출력 패드에서 저항값인 패키지 R 값은 실제적인 패키지에 의한 영향보다는 반도체 소자에 의한 영향이 매우 커서 소자의 저항 값이 95~99%를 차지하고 있다. 집중형 모델에서 저항 값은 무시할 수 있는데 고려 대상의 동작주파수 400MHz 대에서 순수 저항성분이 인덕턴스에 의한 임피던스 성분보다 훨씬 작기 때문에, 즉  $R \ll \omega L$  이기 때문이다. 따라서 저항 값을 무시한 LC 성분만으로 회로를 구성하여 그림 6과 같이 model을 구성하였다. 여기서  $L_i$ 는 각 핀별 출력 패드에서 substrate trace 및 spring의 인덕턴스이며  $C_p$ 는 핀간 캐패시턴스, C는 핀과 접지간의 캐패시턴스이다. 이 CSP상의 flexible circuit 혹은 wafer위의 재배치된 metal line은 수십  $\mu$ m 이상의 비교적 큰 단면을 가지기 때문에 무손실 전송선으로 볼 수 있다.

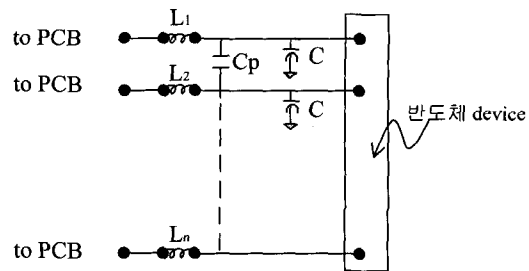


그림 6. CSP패키지의 lumped-element 등가 model  
Fig. 6. Lumped-element equivalent circuit model of CSP Package.

### 3. CSP 패키지의 Modeling과 변수추출

상기 패키지의 전기적 model을 기반으로 3D field solver 소프트웨어를 이용하여 그림 7과 같이 3차원 모

델 변수 추출을 실시하였다.  $\mu$ BGA와  $\mu$ Spring 모두에 대하여 일차적으로 C에 대한 해석을 위해 유전체가 포함된 상태에서 3차원 모형을 형성하였다. 또한 LR 해석을 위해서 유전체 부분을 삭제한 전 도체 부분만의 3차원 모형을 만들어 변수 추출을 하였다. 이 그림에서 진한 선은 분석의 대상이 되는 선이며, 나머지는 연한 선으로 그려져 있다. 특히  $\mu$ Spring의 경우 2 가지의 전도성 재료 Au와 Ni에 대하여 모형에 반영하였다.

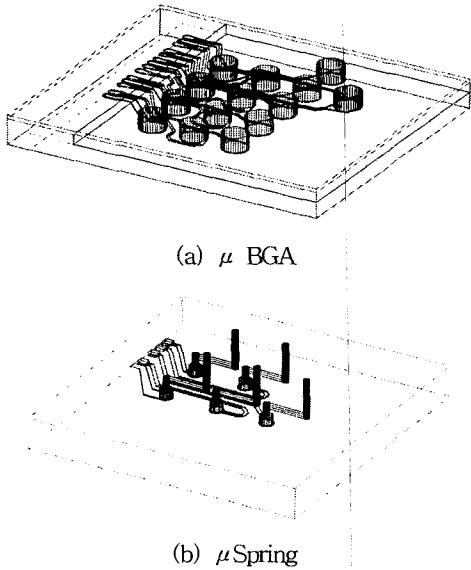


그림 7. CSP 패키지의 3차원 model : (a)  $\mu$ BGA ; (b)  $\mu$ Spring  
 Fig. 7. 3D model of CSP Package : (a)  $\mu$ BGA ; (b)  $\mu$ Spring.

위 모델에 대한 패키지 기생 parameter인 inductance 성분을 8개의 핀에 대하여 min-max 해석하고 추출한 값을 그림 8에 표시하였다.  $\mu$ Spring CSP의 경우 self-inductance인  $L_{11}$ 의 값은 8개 핀 전체의 평균치가

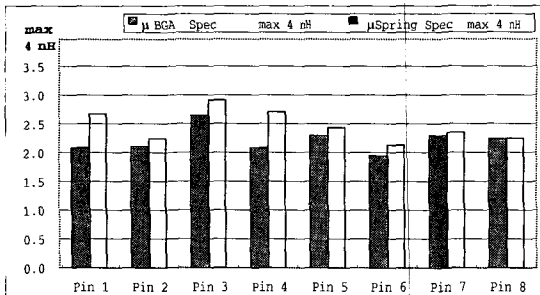


그림 8. CSP 패키지의 P in 별 Inductance 해석 값  
 Fig. 8. Result of simulated for 8 pins of CSP Package.

2.46nH 이고, 최고치가 2.91nH로 Rambus DRAM 규격 요구인 최대 4nH보다는 25% 정도 작은 값을 보여서 충분한 동작 margin을 보이고 있다. pin 3의 인덕턴스 값이 pin 6의 경우보다 약 0.7nH 정도 큰 것은 trace 길이가 상대적으로 더 길기 때문이다. 이는 trace pattern의 조정에 의하여 훨씬 개선된 값을 얻을 수 있음을 보이는 것이다.

또한  $\mu$ Spring의 inductance 의 평균값이  $\mu$ BGA보다 0.2nH정도 높은 것은  $\mu$ Spring 패키지가 개발 초기 단계로 공정개발과 더불어 패키지 trace인 metal 재배치 시 최적 설계 및 최적의 재질에 대한 보완 개발이 필요함을 보여 주고 있다. 이 실험에서 사용한 substrate trace pattern은 편의상  $\mu$ BGA를 위한 pattern을 변경 없이 사용한 때문이며 적절한 재 설계를 통한 개선의 가능성은 크다고 할 수 있다.

표 2. Rambus spec에  $\mu$ BGA,  $\mu$ CSP 의 Min-Max 해석 값

Table 2. Comparison of simulated Min-Max values between  $\mu$ BGA and  $\mu$ CSP.

Parameter	Rambus spec	$\mu$ BGA*	$\mu$ Spring*
Self L [nH]	max 4	1.94~2.64	1.92~2.91
delta Li [nH]	1.8	0.7	0.99
Loading C [pF]	2.0~2.4	0.28~0.34	0.17~0.19
delta Ci [pF]	0.06	0.06	0.02
Resistance [ $\Omega$ ]	4-15 $\Omega$	148~163m $\Omega$	180~194m $\Omega$

표 2에는 핀별 분석결과를 요약하여 제시하고 있다. Rambus 사양에서 요구하는 변수 값과  $\mu$ BGA 및  $\mu$ Spring 의 기생변수 값을 비교되었다.  $\mu$ Spring은  $\mu$ BGA에 비하여 인덕턴스 값은 비슷하게 보이나, 캐패시턴스 값은 작게 나타나 보인다. 또한 저항 값은 상당한 차이를 보이고 있다.  $\mu$ BGA는  $\mu$ Spring에 비하여 굵은 ball을 연결에 사용한 결과이다. 그러나, 저항 값은 반도체 device가 차지하는 부분이 95%이상이고 패키지에서 차지하는 값은 그 단위가 m $\Omega$ 이어서, 실제 고속 신호의 전달과정에서 큰 영향을 미치지 않을 것으로 보인다. 이 저항 값은 패키지와 반도체 device가 포함된 규격 제한 값에 5%에도 미치지 않는 것이다. 변수 추출결과 패키지만의 모든 기생변수 값들이 규격 제한 값에 비하여 상당히 낮은 값을 보여 주고있다.

4. CSP 패키지가 탑재된 module의 특성측정

이제 이들 패키지가 PCB상에서의 특성을 측정하여 비교하여보자. 그림 3의 메모리 module PCB에  $\mu$ BGA 및  $\mu$ Spring 패키지를 탑재시킨 샘플을 준비하였다.

Module PCB trace는 두 종류로 설계되었다. 외부 단자인 ball이 PCB trace 위에 실장 되지 않은 비 실장 영역의 trace 폭은 0.35mm로 구성 되어있으며, 또한 패키지의 부하 캐패시턴스가 개입된 실장 영역의 trace 폭은 0.1 mm이다.

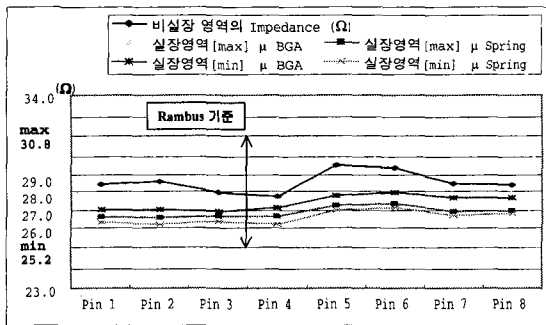


그림 9. CSP 패키지 실장, 비실장 영역의 Pin 별 impedance 측정값  
Fig. 9. Measured impedance for loaded and unloaded pins of CSP Package.

여기에 network analyzer를 이용 impedance, skew, attenuation을 측정하였다. 그림 9의 impedance 특성에 대한 측정 결과를 살펴보자. 실장영역에서는 반도체 칩의 영향을 고려하여 bare PCB 상태에서  $55\Omega \pm 10\%$ 로 제작된다. 반도체 칩의 동작 시 패키지 및 Device의 R.L.C 영향을 고려하여 1.8 V의 bias를 인가 후 측정된 측정 핀의 평균 임피던스 값은  $\mu$ BGA경우가  $27.4\Omega$ ,  $\mu$ Spring은  $26.7\Omega$ 을 보여주고 있다. 또한 비 실장 영

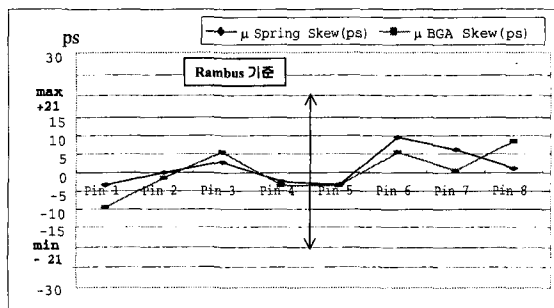


그림 10. CSP 패키지의 Pin 별 skew 측정값  
Fig. 10. Measured skew for 8 pins of CSP Package.

역의 핀 당 평균 임피던스의 값은  $28.6\Omega$ 이 측정되었다. 즉 모든 trace가 Rambus의 임피던스 기준  $28\Omega \pm 10\%$ ( $25.2 \sim 32.8\Omega$ )을 만족하고 있다.

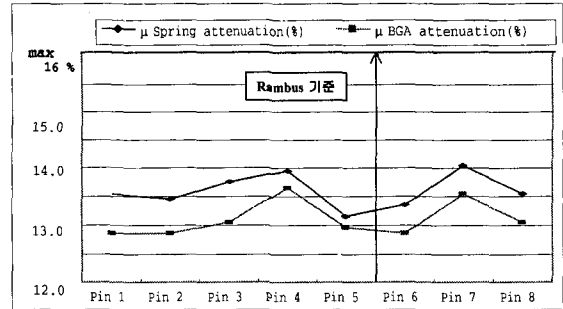


그림 11. CSP 패키지의 Pin 별 attenuation 측정값  
Fig. 11. Measured attenuation for 8 pins of CSP Package.

임피던스 특성과 더불어 고속 시스템에서 가장 문제가 되는 timing 특성인 skew와 attenuation에 대하여 살펴보기로 하자. 그림 10은 skew 특성을 비교하여 보여주고 있다  $\mu$ BGA경우가  $-10 \sim +8$  ps이며,  $\mu$ Spring은  $-3 \sim +10$  ps의 범위를 갖는다.  $\mu$ Spring이 약간 나은 특성을 보이고 있으며 Rambus의 skew 기준인  $-21 \sim +21$  ps를 만족하고 있다.

신호 감쇠 특성은 그림 11에 보이고 있다. 측정 결과는  $\mu$ BGA경우가 13.4%,  $\mu$ Spring은 13.8%로서 비슷해 보인다. 이들 모두 무리없이 Rambus의 attenuation 기준인 16%를 만족하고 있다.  $\mu$ Spring 패키지의 핀 중 가장 열악한 핀의 경우에도 impedance 32%의 동작 margin이 있으며, skew 47%, attenuation 12%의 margin을 보이고 있다.

IV. 결론

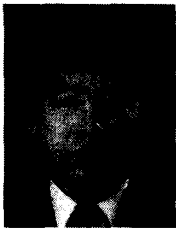
본 논문에서는  $\mu$ Spring 패키지의 구조와 제조공정을 소개하고, 전기적 특성을  $\mu$ BGA와 비교 평가하였다. 이들의 인덕턴스 값은 TSOP 패키지에 비하여 두 배 이상의 차이를 보이므로 월등한 고속 신호 전달 특성을 제공하며, Rambus DRAM module의 사양에서 요구하는 범위를 만족시키고 있다.  $\mu$ Spring CSP패키지의 경우 RDRAM을 채택하여 사용하는 시스템에서 요구하는 인덕턴스 상한 값 4nH에 비하여, 가장 긴 substrate trace를 가진 핀에서도 2.9nH 정도로서 약

25% 정도의 margin을 제공하며, 측정치가 이를 뒷받침한다. 가장 열악한 핀의 경우에도 impedance 32%, skew 47%, attenuation 12%의 margin을 보이고 있다. 또한  $\mu$ BGA의 약 50%의 제조 비용으로서 제조가 가능하며,  $\mu$ BGA가 만족시키지 못하는 JEDEC Level 1 규격을 충족시킬 뿐만 아니라 thermal cycle 1000회를 통과하는 높은 신뢰성을 가지고 있다<sup>[7,8]</sup>. 이 논문에서 제시하고 있는 전기적 특성 값은  $\mu$ Spring 패키지 substrate trace와 module PCB가  $\mu$ BGA를 위하여 설계된 것을 그대로 활용한 결과이며, 특별히  $\mu$ Spring의 특성에 맞도록 재 설계한다면 훨씬 개선된 결과를 기대할 수 있을 것이다.

### 참 고 문 헌

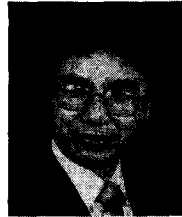
- [1] R. T. Crowley, T. W. Goodman and E. J. Vardaman, *Chip-Size Packaging Developments*, TechSearch Int'l, Inc., 1995.
- [2] R. R. Tummala and E. J. Rymaszewski, *Microelectronics Packaging Handbook*, Van Nostrand Reinhold, 1989.
- [3] C.-T. Tsai, "High-frequency inductance measurements and characterization of alloy 42 and copper package", *IEEE Proceedings*, 1993.
- [4] S. Rosenstark, *Transmission Lines in Computer Engineering*, McGraw-Hill, 1994.
- [5] Rambus Inc., *Rambus Developer Forum*, 1998
- [6] Rambus Inc., *RIMM design Training Class*, 1998
- [7] EIA/JEDEC Std., "Preconditioning of nonhermetic surface mount device prior to reliability testing." *EIA/JEDEC Std JESD22-A113-B*, Electronic Industries Alliance. March 1999.
- [8] IPC, *Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Device*, Joint Industry Standard, IPC/JEDEC J-STD-020A, April 1999.

### 저 자 소 개



金 振 聖(正會員)

1982년 03월~1986년 02월 : 중앙대학교 공과대학 기계공학과 (공학사).  
1986년 01월~1990년 08월 : 금성반도체 주식회사 연구원. 1990년 9월~1999년 7월 : LG 반도체 주식회사 책임 연구원. 1999년 08월~2000년 10월 : 현대반도체 주식회사 책임 연구원. 2000년 03월~현재 : 충북대학교 공과대학 정보통신공학과 석사과정. 주관심분야 : System Packaging 설계, High Speed PCB 설계



劉 泳 甲(正會員)

1968년 3월~1975년 8월 : 서강대학교 전자공학과 (공학사). 1979년 9월~1981년 8월 : 미시건대학교 전기 및 컴퓨터공학과(공학석사). 1981년 9월~1986년 4월 : 미시건대학교 전기 및 컴퓨터공학과(공학박사). 1975년 8월~1979년 8월 : 국방과학연구소 연구원. 1988년 10월~1989년 12월 : 주식회사 한국실리콘 기술고문. 1986년 2월~1988년 2월 : 금성반도체 주식회사 책임연구원. 1993년 8월~1995년 8월 : 미국 아리조나대학교 객원교수. 1988년 3월~현재 : 충북대학교 공과대학 정보통신공학과 교수. 주관심분야 : VLSI 집적회로 설계, 고속인쇄회로, Cryptography