

論文2001-38SD-3-7

# 새로운 감폭회로를 사용한 CMOS RFID 트랜스폰더 IC 설계

## (Design of a CMOS RFID Transponder IC Using a New Damping Circuit)

吳元錫\*, 李尙勳\*, 李康明\*, 朴鍾泰\*, 劉宗根\*

(Won-Seok Oh, Sang-Hoon Lee, Kang-Myung Lee, Jong-Tae Park, and Chong-Gun Yu)

### 요 약

본 논문에서는 RFID를 위한 읽기 전용 CMOS 트랜스폰더를 one-chip으로 설계하였다. 리더에서 공급되는 자기장으로부터 트랜스폰더 칩의 전원을 공급하기 위한 전파정류기를 NMOS 트랜지스터를 사용하여 설계하였으며, 데이터 저장 소자로는 64비트의 ROM을 사용하였다. 메모리에 저장되어 있는 ID 코드는 Manchester 코딩되어 front-end 임피던스 변조 방식으로 리더에 전송된다. 임피던스 변조를 위한 감폭회로는 리더와 트랜스폰더 사이의 거리가 변해도 일정한 감폭율을 갖는 새로운 감폭회로를 사용하였다. 설계된 회로는 0.65 $\mu\text{m}$  2-poly, 2-metal CMOS 공정을 사용하여 IC로 제작되었다. 칩 면적은 0.9mm $\times$ 0.4mm이다. 측정 결과 설계된 트랜스폰더 IC는 인식거리 내에서 약 20~25%의 일정한 감폭율을 보이며, 125kHz의 RF에 대해 3.9kbps의 데이터 전송속도를 보인다. 트랜스폰더 칩의 전력소모는 읽기 모드시 약 100 $\mu\text{W}$ 이다. 인식거리는 약 7cm이다.

### Abstract

This paper describes a read-only CMOS transponder IC for RFID applications. A full-wave rectifier implemented using NMOS transistors supplies the transponder with a dc supply voltage using the magnetic field generated from a reader. A 64-bit ROM has been designed for a data memory. Front-end impedance modulation and Manchester coding are used for transmitting the data from the transponder memory to the reader. A new damping circuit which has almost constant damping rate under the variations of the distance between the transponder and the reader has been employed for impedance modulation. The designed circuit has been fabricated using a 0.65 $\mu\text{m}$  2-poly, 2-metal CMOS process. Die area is 0.9mm $\times$ 0.4mm. Measurement results show that it has a constant damping rate of around 20~25% and a data transmission rate of 3.9kbps at a 125kHz RF carrier. The power required for reading operation is about 100 $\mu\text{W}$ . The measured reading distance is around 7cm.

\* 正會員, 仁川大學校 電子工學科

(University of Incheon, Department of Electronics Engineering)

※ 본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

接受日字:2000年8月31日, 수정완료일:2001年2月16日

### I. 서론

RFID(Radio Frequency Identification)는 바코드, 마그네틱(MSR), IC-CARD등과 같은 자동인식의 한 분야로서 초단파(MHz 또는 GHz)나 장파(kHz)를 이용하여 기록된 정보를 무선으로 인식하는 방식이다. 마그네틱 코일과 송수신 장치로 결합된 리더(reader)는 전자기장을

형성하고, 인식 범위 내에 도달한 코일과 micro-chip을 내장한 트랜스폰더(transponder)는 에너지를 유도하여 micro-chip을 구동시키고 메모리에 기록된 정보를 리더로 전송시킨다.

RFID는 주위 환경에 민감하지 않고 인식 속도가 빠르기 때문에, 이동 중에도 인식이 가능하며 투과력이 좋아 지갑 채 인식할 수 있다. 그리고 제조 과정에서 유일한 ID가 부여되므로 위조가 불가능하다. 이러한 장점으로 비접촉식 RFID 시스템은 현재 간단한 출입 통제와 같은 근거리, 저속용 시스템을 비롯하여 고속도로 통행료 자동 수납과 같은 장거리 고속의 시스템에 적용되고 있으며, 향후 화폐 수단을 대체하고, 더 나아가서는 전화카드, 현금카드, 신분증 등등이 하나로 통합되는 새로운 시스템에 적용될 것으로 기대된다.<sup>[1-3]</sup>

이러한 트랜스폰더 IC를 설계하기 위해서는 몇 가지 고려 할 사항이 있다. 첫째, 트랜스폰더 IC 내부에 배터리를 사용한다면 IC의 장기간 사용이 어렵다. 따라서 내장된 배터리가 없는 수동형(passive)의 트랜스폰더 IC의 설계가 요구된다. 이를 위해 자체 구동전원의 역할을 할 수 있는 회로의 설계와 전력소모가 적은 회로의 구현이 필수적이다. 둘째, RFID 시스템의 송수신 변조 방식을 달리 사용한다면 두 가지의 변복조 회로와 전달 주파수가 각각 필요하다. 따라서 데이터 통신을 위한 송수신 장치가 커지며 하드웨어 구현시 복잡도가 높아진다.

본 논문에서는 우선 front-end 임피던스 변조(impedance modulation) 방식을 사용하여 읽기 전용 수동형 트랜스폰더를 one-chip으로 설계 및 제작하였다. 회로의 복잡도를 최소화하여 작은 면적과 적은 전력소모 특성을 갖도록 설계하였으며, 데이터 저장 소자로는 64비트의 ROM을 사용하였다.

트랜스폰더에서 리더로 데이터를 전송하기 위해 가장 많이 사용하고 있는 방법이 front-end 임피던스 변조 방법이다. 이 변조 방법은 감폭(damping)회로를 사용하여 전송하고자하는 데이터에 따라 트랜스폰더 코일 양단의 임피던스를 변조시킨다. 기존의 감폭회로는 저항과 스위치로 구성된 간단한 switchable load 회로가 많이 사용되고 있다.<sup>[2,3]</sup> 이 감폭회로를 사용하는 경우는 리더와 트랜스폰더 사이의 거리에 따라 리더 코일과 트랜스폰더 코일 사이의 결합 정도가 달라지고, 따라서, 트랜스폰더 코일 전압의 감폭율(damping rate)이 변하게 된다. 이러한 감폭율의 변화는 트랜스폰더

IC에 공급되는 전원 전압의 변화율을 증가시키며, 결국에 가서는 RFID 시스템의 인식거리(reading distance)를 감소시키게 된다. 본 논문에서는 기존의 감폭회로가 가지고 있는 문제점을 해결하기 위해 새로운 감폭회로를 제안하였다. 제안된 감폭회로는 리더와 트랜스폰더 사이의 거리가 변하더라도 어느 정도 일정한 감폭율을 갖는다.

본 논문의 구성은 먼저 RFID 시스템의 구조와 동작 원리에 대해 II장에서 간단히 기술하고, III장에서 설계된 트랜스폰더 IC의 구성 블록 및 제안된 감폭회로에 대해 자세히 언급한다. IV장에서는 설계된 트랜스폰더 회로의 모의실험 결과에 대해 알아보고, V장에서 제작된 IC의 측정 결과에 대해 언급한 후, VI장에서 결론을 맺는다.

## II. RFID 시스템

RFID 시스템은 그림 1에서와 같이 기본적으로 리더와 트랜스폰더로 구성된다. 리더는 안테나 코일을 통해 트랜스폰더에 자기장을 공급하고 트랜스폰더와 데이터를 주고받는다. 트랜스폰더는 off-chip의 LC tank부와 on-chip의 트랜스폰더 IC로 구성되며, 리더에서 공급되는 자기장으로부터 트랜스폰더 IC의 회로를 구동시키기 위한 전원을 발생시키며 리더와 데이터를 송·수신한다.

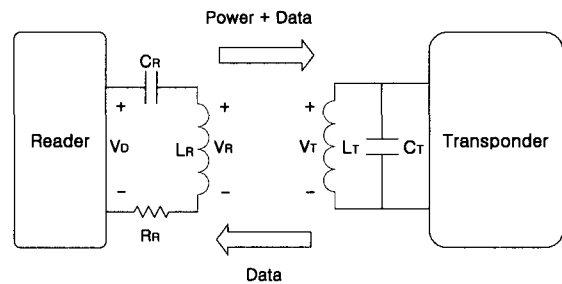


그림 1. RFID 시스템 구성도  
Fig. 1. Block Diagram of a RFID System.

리더부는 리더 안테나 코일에 작은 전압으로도 충분한 에너지를 공급할 수 있도록 RLC 직렬 공진회로로 구성된다. 이 공진회로의 공진 주파수  $f_0$ 와 대역폭(BW: bandwidth)  $f_B$ 는 다음과 같다.

$$f_o = \frac{1}{2\pi\sqrt{L_R C_R}}, \quad f_B = \frac{f_o}{Q_R} \quad (1)$$

여기서  $Q_R$ 은 리더 코일의 Q factor 이다.

$$Q_R = \frac{2\pi f_o L_R}{R_R} \quad (2)$$

따라서 리더 코일을 구동하기 위한 신호  $V_D$ 의 주파수는 공진주파수  $f_o$ 와 같아야 한다. 공진시 리더 코일 양단의 전압은  $V_R = V_D Q_R$ 이다.  $Q_R$ 이 너무 작아지면 리더 코일 전압  $V_R$ 이 감소하여 트랜스폰더에 전달되는 에너지가 감소하고, 따라서 인식거리가 짧아진다. 반면,  $Q_R$ 이 너무 커지면 공진회로의 대역폭이 감소하여 주파수 변화에 더욱 민감해진다. 따라서  $Q_R$  선택시 이러한 점들이 고려되어야 한다.

트랜스폰더 안테나 코일에 유도되는 전압  $V_T$ 는 두 코일간의 결합계수(coupling coefficient)  $k$ 에 의해 가장 큰 영향을 받는다.

$$V_T = k Q_T \sqrt{\frac{L_T}{L_R}} V_R \quad (3)$$

여기서  $Q_T$ 는 트랜스폰더 코일의 Q factor 이다. 트랜스폰더는 코일에 유도된 신호로부터 내부회로를 구동하는데 필요한 전원( $V_{DD}$ )을 만들어 사용하기 때문에, 트랜스폰더 코일 전압  $V_T$ 는  $V_{DD}$ 보다 커야 한다. 리더와 트랜스폰더 사이의 거리가 증가하면,  $k$ 가 감소하게 되고 결국에는  $V_T$ 가  $V_{DD}$ 보다 작아져서 트랜스폰더가 동작하지 않게 된다.

트랜스폰더에 저장되어 있는 데이터를 리더로 전송하기 위해 감폭회로를 사용하여 전송하고자 하는 데이터에 따라 트랜스폰더 코일 양단의 임피던스를 변조시킨다. 따라서 트랜스폰더 코일 양단의 전압이 변하게 되고, 이는 리더 안테나의 임피던스 변화를 유도한다. 이에 따른 리더 코일 양단의 전압 변화를 리더부에서 검출하게 된다. 감폭에 의한 트랜스폰더 코일전압 변화  $\Delta V_T$ 와 이에 따른 리더 코일전압 변화  $\Delta V_R$  사이에는 다음 관계식을 만족한다.

$$\Delta V_R = k Q_R \sqrt{\frac{L_R}{L_T}} \Delta V_T \quad (4)$$

$\Delta V_R$  역시 결합계수  $k$ 에 의해 영향을 받으며, 리더부

에서 신뢰성있는 검출을 할 수 있는 정도의 크기를 가져야 한다.

### III. 트랜스폰더 IC

본 논문에서 설계된 트랜스폰더 IC의 전체 블록 다이어그램을 그림 2에 보였다. 전파정류기(FWR: Full Wave Rectifier)는 리더에서 공급되는 자기장으로부터 트랜스폰더 IC의 회로를 구동시키기 위한 전원을 발생시키며, 클럭발생기(clock generator)는 디지털 회로의 동작에 필요한 클럭을 발생시킨다. 메모리(memory)에 저장되어 있는 데이터는 변조기(modulator)를 거쳐서 감폭회로에 전달되어 트랜스폰더 코일 양단의 임피던스를 변조시킨다.

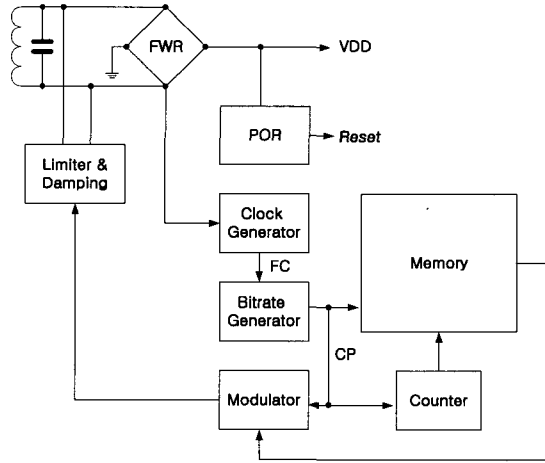


그림 2. 설계된 트랜스폰더 IC의 블록다이어그램  
Fig. 2. Block diagram of the designed transponder IC.

#### 1. 전파정류기(FWR)

리더에서 공급되는 자기장으로부터 유도된 트랜스폰더 코일전압  $V_T$ 를 사용하여 트랜스폰더 IC 내부회로에 전원 전압  $V_{DD}$ 를 공급하기 위해서는 FWR과 전원 커패시터(power capacitor)  $C_p$ 가 필요하다. FWR은 그림 3에서와 같이 다이오드 역할을 하는 4개의 NMOS 트랜지스터로 구현하였다. M1~M4의 크기는  $W=30\mu m$ ,  $L=2\mu m$ 이다. 트랜스폰더 IC 내의 회로를 등가적으로 나타낸 저항이  $R_L$ 일 때, 발생된 전원 전압  $V_{DD}$ 는 대략 다음 식으로 주어진다.

$$V_{DD} \approx (V_i - 2V_{TH}) \left( 1 - \frac{1}{4fR_L C_P} \right) \quad (5)$$

여기서  $V_{TH}$ 는 NMOS 트랜지스터의 문턱전압(threshold voltage) 이고,  $V_i$ 와  $f$ 는 각각  $V_T$ 의 진폭과 주파수이다.  $fR_L C_P$ 가 1보다는 훨씬 커야 안정된  $V_{DD}$  공급이 가능하다.

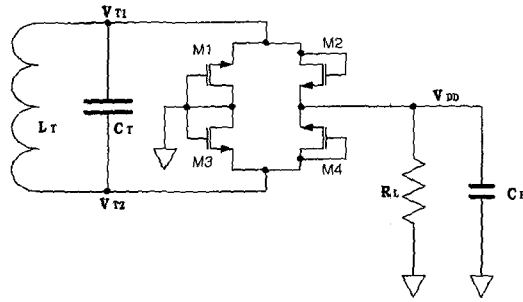


그림 3. 전파정류회로와 전원 커패시터  
Fig. 3. Full-wave rectifier and power capacitor.

2. POR (Power-On Reset) 회로

그림 3의 FWR로부터  $V_{DD}$ 가 발생되면 트랜스폰더 IC의 디지털 회로를 동작시키기 위한 start 또는 reset 신호가 필요하다. 이러한 reset 신호를 발생하기 위한 POR 회로는 그림 4와 같이 hysteresis 특성을 갖는 schmitt trigger를 사용하여 구현하였다. Schmitt trigger의 입력으로 사용되는 커패시터  $C_{POR}$  양단의 전압  $V_{POR}$ 은  $V_{DD}$ 보다 늦게 상승하게 된다. 따라서,  $V_{POR}$ 이 다음 식으로 주어지는 천이점(switching point)  $V_{SP}$ 에 도달했을 때 reset 신호는 'low'에서 'high'로 변하게 된다.

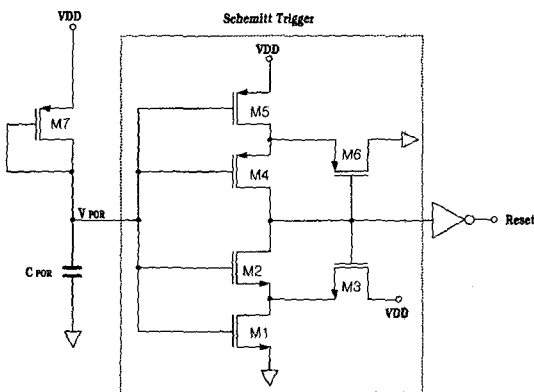


그림 4. POR(Power-On Reset) 회로  
Fig. 4. POR(Power-On Reset) Circuit.

$$V_{SP} = \frac{V_{DD} + V_{THn} \sqrt{\beta_1/\beta_3}}{1 + \sqrt{\beta_1/\beta_3}} \quad (6)$$

여기서  $\beta_1 = \mu_n C_{ox} \frac{W_1}{L_1}$ ,  $\beta_3 = \mu_n C_{ox} \frac{W_3}{L_3}$  이고  $V_{THn}$ 은 M1의 문턱전압이다.  $C_{POR}$ 은 NMOS 트랜지스터를 사용하여 구현하였다.

3. Clock/Bitrate 발생기

클럭 발생기는 그림 4의 POR 회로에서와 같이 schmitt trigger로 구현하였으며, 트랜스폰더 코일에 유도된 정현파 신호(그림 3의  $V_{T2}$ )를 입력받아서 구형파의 FC(field clock)를 발생시킨다. Bitrate 발생기는 클럭 발생기로부터 발생된 FC로부터 트랜스폰더 IC에 필요한 데이터 클럭 CP를 만들어 준다. 카운터를 사용하여 FC의 32주기가 한 주기가 되는 CP를 발생시켜서 디지털 회로의 클럭으로 사용하도록 하였다. 따라서 bitrate는 FC/32가 된다.

4. 메모리 (Memory)

사용자의 ID 또는 정보를 보관하기 위한 메모리로는 우선 테스트의 목적으로 64-bit의 mask-ROM으로 구현하였으나, 궁극적으로 읽기 및 쓰기가 자유로운 EEPROM으로 대체되어야 할 것이다. Reset 신호가 발생하면 6-bit 카운터가 counting을 시작하고 디코더(decoder)를 통해 ROM에 저장되어 있는 데이터가 한 bit씩 순서대로 출력되어 변조기로 전달된다. 이 과정은 트랜스폰더에 전원이 공급되는 동안은 계속적으로 반복된다.

5. 변조기 (Modulator)

간단한 2-input XNOR Gate를 사용하여 변조기를 구성하였다. 메모리로부터 출력된 데이터는 클럭 신호에 의해 변조기에서 Manchester 코딩된 후 감폭회로로 입력된다.

6. 리미터와 감폭회로 (Limiter & Damping)

리더와 트랜스폰더와의 거리가 가까워지면 트랜스폰더 코일에 과전압(크게는 수백 볼트)이 유도되고 이 과전압이 트랜스폰더 IC의 회로들을 손상시키게 된다. 따라서 트랜스폰더 코일에 유도되는 전압을 원하는 값으로 제한하기 위해 그림 5(b)와 같은 과전압 리미터(overvoltage limiter)의 사용이 필수적이다.

기존의 감폭회로는 그림 5(a)와 같이 저항과 스위치로 구성된 간단한 switchable load 회로가 많이 사용

되고 있다.<sup>12,3)</sup> 스위치로는 보통 MOS 트랜지스터가 사용되며, 전송하고자하는 데이터에 따라 MOS 트랜지스터가 on 또는 off 되어 트랜스폰더 코일 양단의 임피던스가 변하게 된다. 감폭시, 즉 data가 'low'일 때, 스위치로 사용되는 NMOS가 on이 되어 저항 R이 Tcoil에 연결된다. 따라서, 트랜스폰더의 Q-factor가 현저히 감소하게 되고, Tcoil에 유도되는 전압이 감소하게 되어 리미터는 동작하지 않게 된다. 스위치로 사용되는 NMOS의 on 저항을 무시하면 대부분의 코일 전압이 저항 R에 인가되고, 따라서 유도되는 코일전압은 리더와 트랜스폰더 사이의 거리에 따라 변하게 된다. data가 'high'일 때는 리미터만 동작하고 거리에 따른 코일 전압 변화는 아주 작다. 따라서, 감폭율은 거리에 따라서 변하게 되고, 트랜스폰더 IC에 공급되는 전원 전압의 변화율이 증가하며, 결국에 가서는 인식거리가 감소하게 된다.

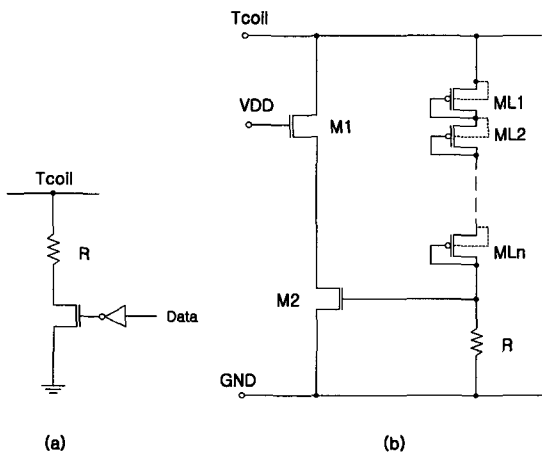


그림 5. 기존의 감폭회로 및 과전압 리미터  
Fig. 5. Conventional damping circuit and overvoltage limiter.

본 논문에서는 그림 6과 같이 리미터와 유사한 구조를 갖도록 감폭회로를 설계하여 리미터와 함께 동작시킴으로써 일정한 감폭율을 얻고자 하였다. 이 회로에서 리미터는 MOS 트랜지스터 M1, M2, ML1~MLn와 저항 R로 구성되며, 감폭회로는 M1, M2, M3, MP1~MPm, R 그리고 인버터(inverter)로 구성된다. 여기서 M1, M2, R이 리미터와 감폭회로에 공통으로 사용된다. 감폭을 위해서는 리미터 회로에 직렬로 연결된 PMOS 트랜지스터의 개수 n 보다 감폭회로에 직렬로 연결된 트랜지스터의 개수 m이 더 작아야 한다.

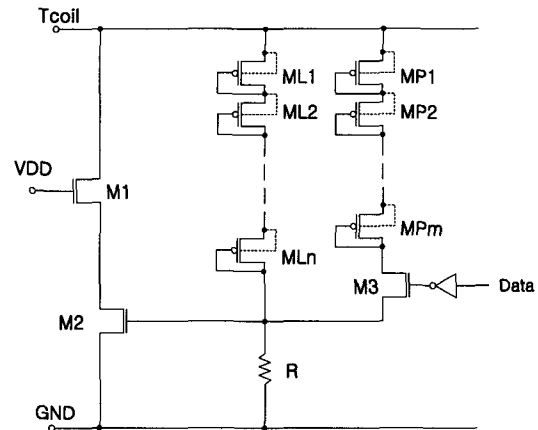


그림 6. 제안된 감폭회로  
Fig. 6. Proposed Damping Circuit.

인버터의 입력이 'high'가 되면, M3가 off가 되고, MP1~MPm로 구성된 전류 path는 개방되어 감폭회로는 동작하지 않는다. 이 때는 리미터만 동작하게 된다. 만약 코일의 전압이 다이오드로 사용되고 있는 PMOS 트랜지스터 ML1~MLn의 문턱전압의 함보다 커지면, 저항 R에 전류가 흐르게 된다. 저항 R에 걸리는 전압이 M2의 문턱전압보다 커지면 M2가 on이 되고 대부분의 코일 전류는 M1과 M2를 통해 흐르게 된다. 따라서 코일의 전압은

$$V_{coil-L} = n|V_{Tp}| + V_{R-L} \quad (7)$$

으로 제한된다. 여기서  $|V_{Tp}|$ 는 PMOS 트랜지스터의 문턱전압이고  $V_{R-L}$ 은 리미터만 동작할 때 저항 R에 걸리는 전압이다. 트랜지스터 M1과 M2는 충분한 전류를 소화할 수 있도록 충분히 크게 설계해야 한다.

인버터의 입력이 'low'가 되면, M3가 on이 되어 감폭회로가 동작을 하게 된다. m이 n보다 작기 때문에, MP1~MPm으로 구성된 전류 path는 on이 되고 ML1~MLn으로 구성된 전류 path는 off가 된다. 감폭회로가 동작시 코일의 전압은

$$V_{coil-D} = m|V_{Tp}| + V_{R-D} \quad (8)$$

이 된다. 여기서  $V_{R-D}$ 는 감폭회로가 동작할 때 저항 R에 걸리는 전압이다. 따라서, 트랜스폰더 코일 전압의 감폭율(DR: Damping Rate)은

$$DR = \frac{V_{coil-L} - V_{coil-D}}{V_{coil-L}} \times 100(\%)$$

$$= \frac{(n-m)|V_{Tp}| + (V_{R-L} - V_{R-D})}{n|V_{Tp}| + V_{R-L}} \times 100(\%) \quad (9)$$

이 된다.

트랜스폰더와 리더 사이의 거리 변화는 두 코일간의 결합계수  $k$ 에 직접적인 영향을 주며,  $k$ 가 변하면 트랜스폰더 코일에 유도되는 전류 양도 변하게 된다. 그러나, 식 (9)에서 알 수 있듯이, 코일 전류의 변화에 의한 저항  $R$ 에 걸리는 전압의 변화량이 코일 전압에 비해 상당히 작은 편이므로, 제안된 감폭회로에서는  $k$ 가 변해도 상당히 일정한 감폭율을 얻을 수 있다는 장점이 있다. 또한, 리미터 회로와 감폭회로에서 직렬로 연결된 트랜지스터들의 개 수  $m$ 과  $n$ 을 조정함으로써, 감폭율을 변화시킬 수 있다. 본 설계에서는  $n=6, m=4$ 를 선택하였다. 만약, 감폭이 있을 때와 없을 때의 저항에 걸리는 전압 차이를 무시하고,  $V_{R-L} = V_{R-D} = |V_{Tp}|$ 를 만족한다고 가정하면, 식 (9)로부터 감폭율은 약 30%가 된다.

IV. 모의실험 결과

설계된 트랜스폰더 IC의 성능을 검증하기 위해 그림 7의 테스트 회로를 사용하여 HSPICE 모의실험을 하였다. 리더부는 리더 안테나 코일에 작은 전압으로도 충분한 에너지를 공급할 수 있도록 RLC 공진회로로 구성하였으며, 공진주파수는 125kHz를 사용하였다. 공진회로의 Q factor는 약 12이고, 리더 코일 Rcoil과 트랜스폰더 코일 Tcoil의 Q factor는 약 30이다. 리더 코일과 트랜스폰더 코일 사이의 결합계수  $k$ 가 0.03일 때 각 부의 시뮬레이션 결과를 그림 8에 보였다.

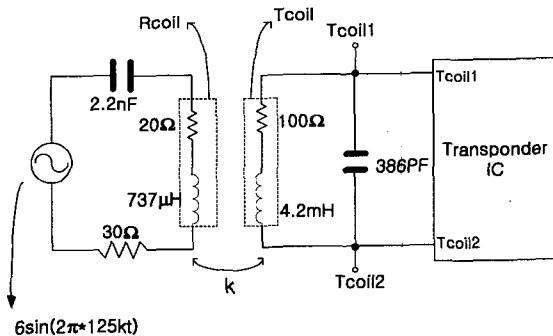


그림 7. 테스트 회로  
Fig. 7. Circuit for testing.

FWR에서 발생된  $V_{DD}$ 는 3.5V에서 5.5V사이의 값을 가지며, 125kHz의 FC와 3.9kHz의 CP가 제대로 발생됨을 확인할 수 있다. 메모리에 저장되어 있던 데이터 11001101...가 순차적으로 출력되고 변조기에서 Manchester 코딩되는 것을 그림 8의 (d)와 (e)에서 각각 확인할 수 있다. 그림 8의 (f)는 리미터에 의해 트랜스폰더 코일 양단의 전압이 10V 이하로 제한되고, 감폭회로에 의해 트랜스폰더 코일 양단의 전압이 약 30% 감폭되는 것을 보여준다. 또한 트랜스폰더 코일 전압 변화에 대응되는 리더 코일 전압의 변화를 그림 8의 (g)에서 확인할 수 있으며, 이 데이터를 리더 시스템에서 추출하게 된다.

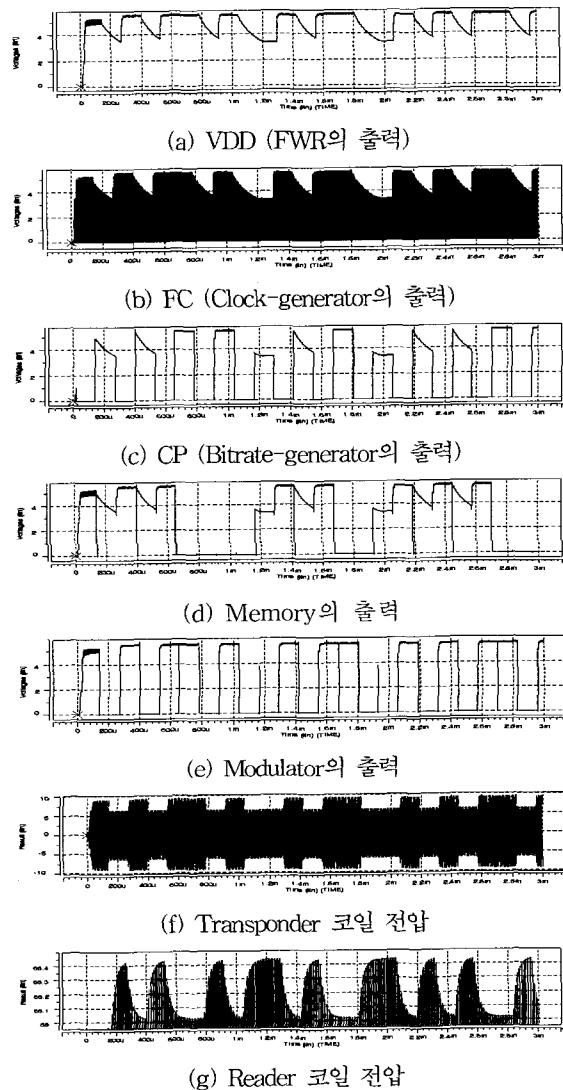
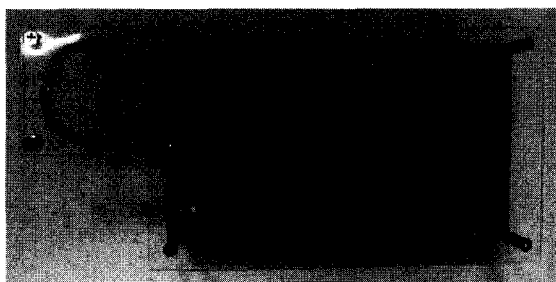


그림 8. HSPICE 모의실험 결과  
Fig. 8. HSPICE simulation results.

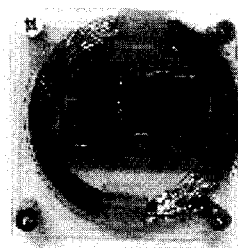
V. 측정 결과

설계된 회로는 0.65 $\mu$ m n-well, 2-poly, 2-metal CMOS 공정으로 IC 제작되었으며, 칩 면적은 0.9mm $\times$ 0.4mm이다. 제작된 IC의 칩 사진을 그림 9에 보였다.

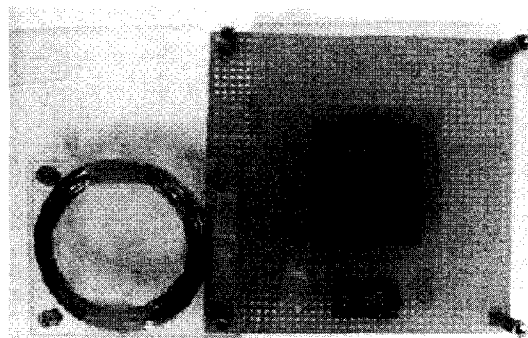
제작된 트랜스폰더 IC의 성능을 검증하기 위해 리더 보드를 구성하였다. 구현된 RFID 시스템을 그림 10에 보였다. 그림 10의 (a)는 구현된 리더 보드와 리더 코일 안테나 사진이고 그림 10의 (b)는 제작된 트랜스폰더 IC와 안테나 코일로 구성된 트랜스폰더이다. 이 트랜스폰더는 궁극적으로 휴대성을 고려하여 신용카드처럼 IC 카드화 될 예정이다. 그림 10의 (c)는 트랜스폰더의 특성 측정을 편리하게 하기 위해 구성된 회로이다.



(a)



(b)



(c)

그림 10. 구현된 RFID 시스템 사진

(a) 리더 보드 (b) 트랜스폰더 (c) 측정용 트랜스폰더

Fig. 10. Photographs of the implemented RFID system.

(a) Reader board (b) Transponder (c) Transponder for testing

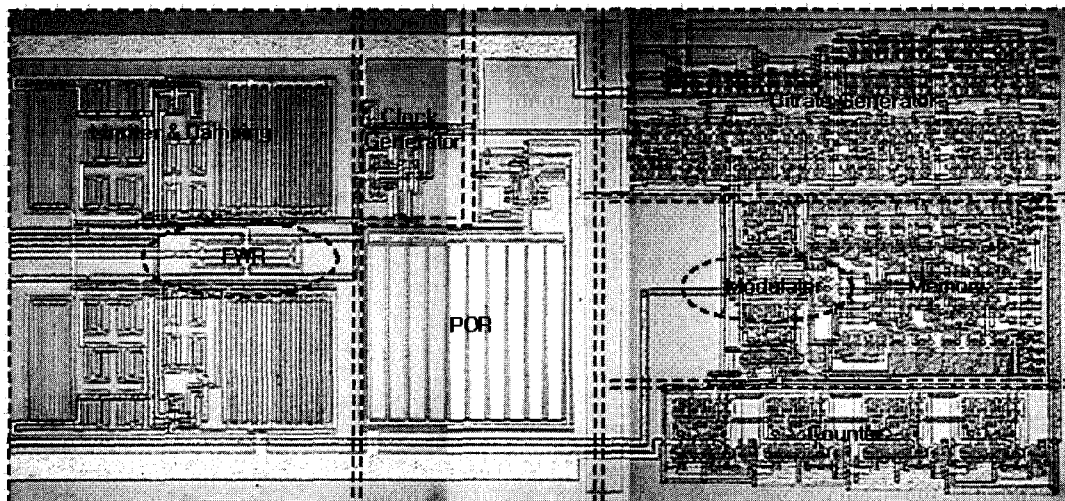


그림 9. 제작된 트랜스폰더 IC의 칩 사진

Fig. 9. Chip photograph of the fabricated transponder IC.

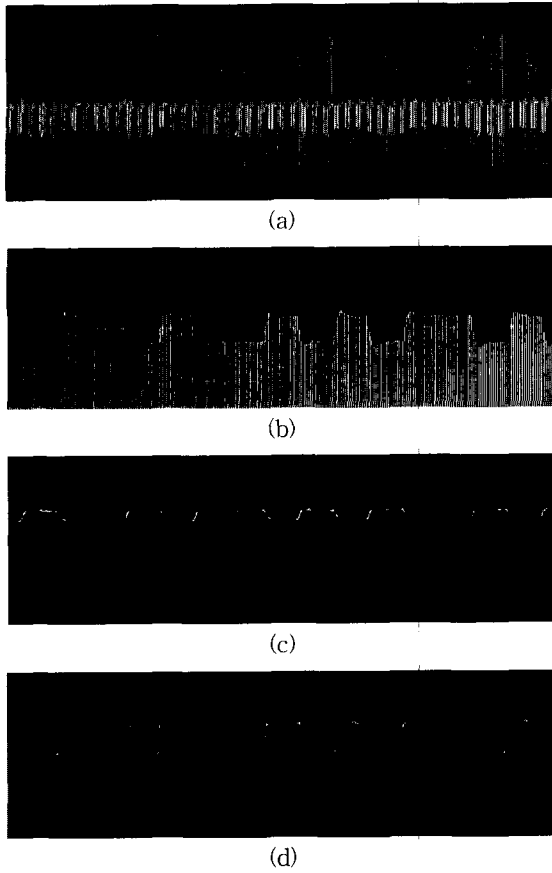


그림 11. 측정 결과

- (a) 트랜스폰더 코일전압 (5V/Div)
- (b) 리더 코일전압 (1V/Div, Offset=80V)
- (c) 트랜스폰더의 내부 전원전압 (5V/Div)
- (d) 추출된 데이터 (5V/Div)

Fig. 11. Measurement results.

- (a) Transponder coil voltage (5V/Div)
- (b) Reader coil voltage (1V/Div, Offset=80V)
- (c) Internal supply voltage (5V/Div)
- (d) Extracted data (5V/Div)

리더와 트랜스폰더 사이의 거리가 3cm 일 때의 측정 결과를 그림 11에 보였다. 그림의 파형은 메모리에 저장되어 있는 64 bit의 데이터 중에서 '01100011'의 데이터 블록에 해당하는 파형이다. 그림 11의 (a)는 트랜스폰더 코일 양단의 전압 파형으로 감폭율은 약 25%이며, 유도된 전압이 리미터에 의해 약 10V로 제한되는 것을 볼 수 있다. 그림 11의 (b)는 리더 코일 양단의 전압 파형으로 크기는 160Vp-p이고, 트랜스폰더 코일 전압과 비교시 위상이 반전된 것을 확인할 수 있다. 그림 11의 (c)는 FWR에 의해 발생된 트랜스폰더 IC의

내부 전원 전압으로 감폭이 있을 때는 3.5V이며, 감폭이 없을 때는 5.5V이다. 그림 3의 FWR회로에서 전원 커패시터  $C_p$ 는 측정의 편리상 이번 설계에서는 칩 안에 포함시키지는 않았다. 칩 외부에서  $C_p$ 의 값을 0에서 2nF까지 바꾸어 가면서 측정을 해본 결과 칩이 동작하는데는 문제가 없었으며, 단지  $C_p$ 가 너무 작을 때는 인식거리가 감소하였다. 대략 100pF 이상이면 거의 같은 특성을 보였다. 간단한 복조회로를 사용하여 리더 코일 전압으로부터 추출한 데이터 파형을 그림 11의 (d)에 보였다. 추출된 데이터가 Manchester 코딩되어 있는 것을 확인할 수 있다.

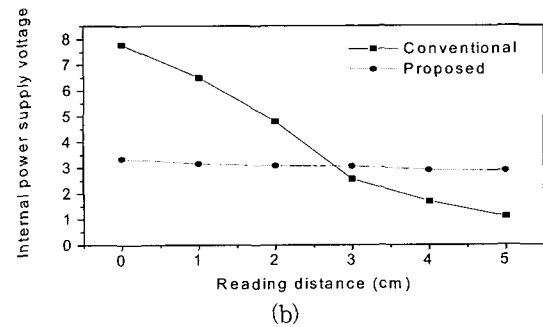
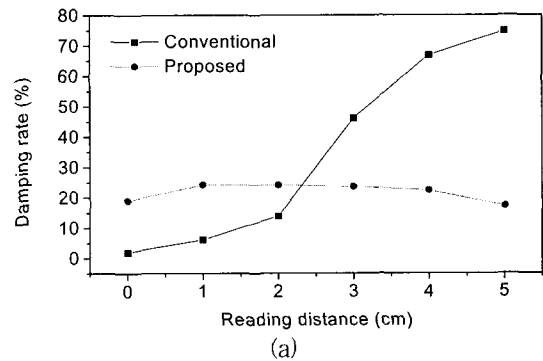


그림 12. 측정결과

- (a) 거리에 따른 트랜스폰더 코일 전압의 감폭율
- (b) 거리에 따른 트랜스폰더 IC에 유도된 전원전압

Fig. 12. Measurement Results.

- (a) Damping rate versus reading distance
- (b) Internal power supply voltage versus reading distance

그림 12는 거리에 따른 트랜스폰더 코일 전압의 감폭율과, 감폭이 있을 때 트랜스폰더에 유도된 전원전압을 측정한 결과이다. 기존의 감폭회로를 사용한 경우는 5cm까지 감폭율이 2~75%로 크게 변하며, 전원전압 또한 1~8V로 변화가 심하다. 그러나 제안된 감폭회로



의 경우는 감폭율이 20~25%로 일정하며, 전원전압 또한 3~3.5V로 변화가 작은 것을 알 수 있다. 따라서, 안정된 전원전압의 공급이 가능하며, 인식거리가 향상된다. 데이터 전송율은 125kHz의 RF 주파수에 대해 3.9kbps이며, 전력소모는 100μW이다. 리더코일과 트랜스폰더 코일 사이의 거리가 7cm 이내에서는 데이터 검출율이 100%이고, 7.5cm와 8cm에서는 각각 7%와 10%로 감소하였다. 따라서 인식거리는 약 7cm임을 알 수 있다. 설계된 트랜스폰더 IC의 특성을 표 1에 정리하였다.

표 1. 설계된 트랜스폰더 IC의 특성  
Table 1. Features of the designed transponder IC.

유형	읽기 전용
RF	125kHz
전송율	3.9kbps
메모리	64-bit ROM
변조방식	임피던스 변조
코딩방식	Manchester
전력소모	100μW
내부 전원전압	3.5V ~ 5.5V
인식거리	7cm
칩 면적	0.9mm×0.4mm
공정	0.65μm CMOS

VI. 결 론

RFID를 위한 읽기 전용 CMOS 트랜스폰더를 one-

chip으로 설계 및 제작하고 성능을 검증하였다. 기존의 감폭회로가 가지고 있었던 문제점인 거리에 따른 감폭율의 변화를 해결하기 위해 새로운 감폭회로를 제안하였다. 성능을 측정한 결과 제안된 회로의 감폭율은 20~25%로 기존의 감폭회로의 감폭율 2~75%에 비해 크게 향상된 것을 확인할 수 있었다. 따라서, 제안된 감폭회로를 사용하면 트랜스폰더 IC에 안정된 전원의 공급이 가능하며, 궁극적으로는 RFID 시스템의 동작이 안정되며 인식거리가 향상된다. 설계된 트랜스폰더 IC는 안정된 동작 특성과 작은 면적(0.9mm×0.4mm), 적은 전력소모(100μW) 특성을 갖기 때문에 저속의 다양한 비접촉식 RFID 응용분야에 활용될 수 있다.

참 고 문 헌

[1] U. Kaiser and W. Steinhagen, "A Low-Power Transponder IC for High-Performance Identification Systems", IEEE J. Solid-State Circuits, Vol. 30, pp. 306-310, Mar. 1995.  
[2] D. Friedman, H. Heinrich, D-W. Duan, "A Low-Power CMOS Integrated Circuit for Field-Powered Radio Frequency Identification Tags," ISSCC97, pp. 294-295, 1997.  
[3] J. Bouvier, et al., "A Smart Card CMOS Circuit with Magnetic Power and Communications Interface," ISSCC97, pp. 296-297, 1997.

저 자 소 개



吳元錫(正會員)  
1973년 10월 24일생. 1999년 2월 인천대학교 전자공학과 (학사). 2001년 2월 인천대학교 전자공학과 (석사). 2000년 12월~현재 전자부품연구원 연구원. 주관심분야는 혼성모드 아날로그/디지털 집적회로설계



李康明(正會員)  
1972년 10월 22일생. 1999년 2월 인천대학교 전자공학과 (학사). 2001년 2월 인천대학교 전자공학과 (석사). 2000년 12월~현재 (주)서두로 지 연구원. 주관심분야는 혼성모드 아날로그/디지털 집적회로설계



李尙勳(正會員)  
1972년 8월 12일생. 1999년 2월 인천대학교 전자공학과 (학사). 2001년 2월 인천대학교 전자공학과 (석사). 2001년 1월~현재 (주) FCI 연구원. 주관심분야는 RFIC 설계

朴鍾泰(正會員) 第 34卷 D編 第 12號 參照  
현재 인천대학교 전자공학과 정교수

劉宗根(正會員) 第 32卷 A編 第 1號 參照  
현재 인천대학교 전자공학과 부교수