

論文2001-38SD-2-1

고집적 DRAM 셀에 대한 소프트 에러율 (Soft Error Rate for High Density DRAM Cell)

李京虎*, 申炯淳**
(Kyungho Lee and Hyungsoon Shin)

요 약

DRAM에서 셀 캐패시터의 누설 전류 영향을 고려하여 소프트 에러율을 예측하였다. DRAM의 동작 과정에서 누설 전류의 영향으로 셀 캐패시터는 전하량이 감소하고, 이에 따른 소프트 에러율을 DRAM의 각 동작 모드에 대하여 계산하였다. 누설 전류가 작을 경우에는 /bit mode가 소프트 에러에 취약했지만, 누설 전류가 커질수록 memory 모드가 소프트 에러에 가장 취약함을 보였다. 실제 256M급 DRAM의 구조에 적용하여, 셀 캐패시턴스, bit line 캐패시턴스, sense amplifier의 입력 전압 감도들이 변화할 때 소프트 에러에 미치는 영향을 예측하였고, 이 결과들은 차세대 DRAM 연구의 최적 셀 설계에 이용될 수 있다.

Abstract

A soft error rate for DRAM was predicted in connection with the leakage current in cell capacitor. The charge in cell capacitor was decreased during the DRAM operation, and soft error rates due to the leakage current were calculated in various operation mode of DRAM. It was found that the soft error rate of the /bit mode was dominant with small leakage current, but as increasing the leakage current memory mode shown the dominant effect on soft error rate. Using the 256M grade DRAM structure it was predicted that the soft error rate was influenced by the change of the cell capacitance, bit line capacitance, and the input voltage sensitivity of sense amplifier, and these results can be used to the design of the optimum cells in the next generation DRAM development.

I. 서 론

DRAM의 발전 방향은, 고집적도의 추구하고 더불어 성능 향상을 추구하여 왔다. DRAM의 성능 향상의 문제는 새로운 동작 기능의 추가와 고속화 그리고 저 전

력화로 요약될 수 있고, 이러한 요구는 필연적으로 전원 전압의 감소를 요구한다. 감소된 전원 전압에 의하여, DRAM 셀 내에 만들어진 캐패시터가 저장한 전하량은 감소하게 되고, 이것은 외부의 알파 입자에 의한 소프트 에러의 증가로 DRAM 동작에 치명적인 제약 요건으로 되고 있다.^[1]

알파 입자에 의한 소프트 에러의 원인은 전하 수집에 있어 funneling과 diffusion 현상으로^[2,3] 설명되어 연구가 진행되어 왔고, 최근에는 간략화된 모델에 의한 시뮬레이터의 개발로, 입사된 알파 입자가 발생시키는 전자-정공 쌍과 셀 접합에서의 전하 수집에 대한 결과가 발표되었다.^[4] 그러나 수집된 전하량과 DRAM에서 발생하는 소프트 에러의 관계를 밝히기 위하여는 실제적인 DRAM의 셀 구조와 인가 전압을 사용해야 하며, 또한 DRAM 셀 동작 조건도 함께 고려해야 한다.

본 연구에서는 실제 DRAM의 셀 캐패시터의 누설

* 正會員, 弘益大學校, 科學技術大學, 電子電氣컴퓨터工學部

(Department of Electronic, Electrical, and Computer Engineering, Hongik University)

** 正會員, 梨花女子大學校, 電子工學科

(Department of Electronics, Ewha Womans University)

※ 본 연구는 두뇌 한국21 사업의 연구비 지원에 의한 결과임.

接受日字: 2000年 8月7日, 수정완료일: 2001年 1月18日

전류를 고려하여, DRAM의 동작 과정에서 발생하는 셀 캐패시터 전하량의 감소를 모델링 하고, 누설 전류에 따른 소프트 에러율의 변화를 256M급 DRAM의 구조에 적용하여 셀 파라미터-셀 캐패시턴스, bit line 캐패시턴스, sense amplifier의 입력 전압 감도-들이 변화할 때 소프트 에러에 대한 영향을 밝힘으로, 앞으로 차세대 DRAM의 셀 구조 설계에 최적의 방향을 제시하고자 한다.

II. DRAM의 데이터 retention time

셀 캐패시터 양단에 인가된 전압에 의하여 누설 전류가 발생하며, 캐패시터가 보유하는 전하의 양은 시간이 지남에 따라 감소하게 된다. 결국 DRAM 셀의 데이터는 캐패시터의 누설 전류에 의하여 어느 정도의 시간이 경과하면 손실되게 되어 있으며, 이러한 데이터의 손실을 보완하기 위하여, 각각의 DRAM은 집적도가 증가하는 때 세대마다 그림 1과 같은 규격으로, refresh time을 설정하고 이 시간이 경과하면 모든 DRAM의 셀 데이터를 다시 써 줌으로 누설 전류에 의한 전하량의 손실을 보충해 주도록 회로가 구성되어 있다.

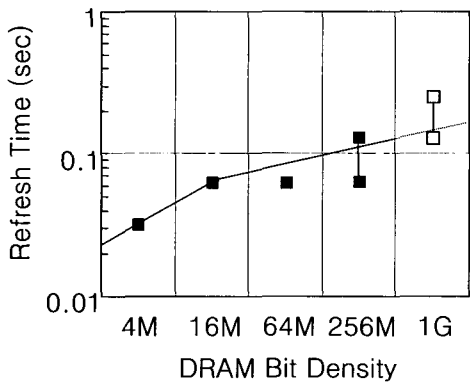


그림 1. 각 DRAM 세대에 대한 refresh time의 변화
Fig. 1. The change of refresh time for each DRAM generation.

실제의 DRAM 셀 캐패시터는, 스위칭 트랜지스터의 한쪽 접합에 의한 pn 접합 캐패시터 C_J 와 유전체 물질에 의한 dielectric 캐패시터 C_{die} 의 병렬로 이루어져 있고, 각각의 캐패시터에는 고유한 누설 전류가 흐르게 된다. pn 접합 캐패시터는 역방향 전압에 대하여 공핍층내의 전자정광쌍의 생성으로 누설 전류가 흐르고,

dielectric 캐패시터는 Fowler-Nordheim tunneling에 의한 누설 전류가 관찰되며, 이러한 캐패시터들과 누설 전류의 양은 캐패시터 양단의 전압에 대한 함수이고, 그림 2(a)의 등가 회로와 같이 접합 캐패시터 및 dielectric 캐패시터 각각의 누설 전류를 전류 전원 I_{LJ} 와 I_{Ldie} 로 치환한 누설 전류원으로 대체할 수 있다. 정보 1이 저장된 셀 캐패시터의 전하량은 누설 전류에 의하여 다음과 같이 시간에 대한 함수 $Q_s(t)$ 로 표현할 수 있다.

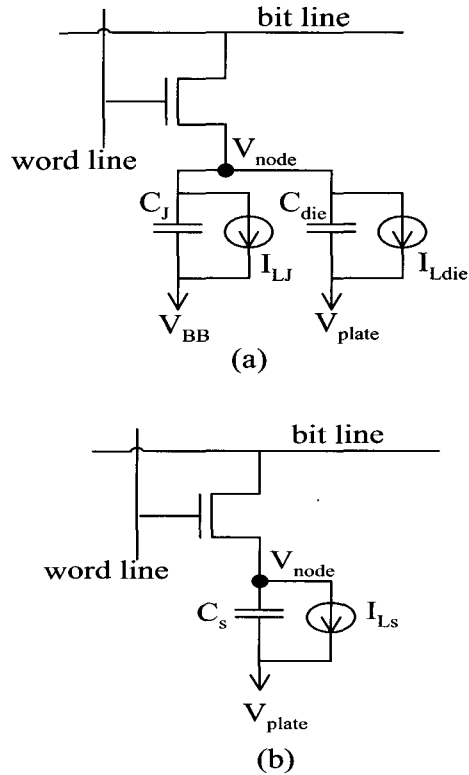


그림 2. 누설 전류원을 첨가한 DRAM 셀 캐패시터와 인가 전압 (a) full 캐패시터 모델 (b) simplified 캐패시터 모델

Fig. 2. DRAM cell capacitor and bias voltage with leakage current source. (a) full capacitor model (b) simplified capacitor model

$$\begin{aligned}
 Q_s(t) &= C_{die}(V_{cell} - V_{plate}) - I_{Ldie}t \\
 &\quad + C_J(V_{cell} - V_{BB}) - I_{LJ}t \\
 &= C_s(V_{cell} - V_{plate}) - I_{Ls}t \\
 &= C_s(V_{node}(t) - V_{plate})
 \end{aligned}
 \tag{1}$$

여기서 V_{BB} 는 셀 동작 특성의 개선을 위하여 셀이 위

치한 well에 인가해 주는 기관 전압이고, C_s 와 I_{Ls} 는 셀 캐패시터의 등가 캐패시턴스와 등가 누설 전류이며, $V_{node}(t)$ 는 셀 캐패시터 node의 전압으로 $Q_s(t)$ 의 감소에 따라 같이 감소하게 된다. C_s , I_{Ls} 및 $V_{node}(t)$ 각각은 다음과 같이 계산되며, 이러한 등가 파라미터를 이용하여 셀 캐패시터는 그림 2(b)와 같은 simplified 캐패시터 모델로 표현할 수 있다.

$$C_s = C_{die} + C_f \frac{V_{cell} - V_{BB}}{V_{cell} - V_{plate}} \quad (2)$$

$$I_{Ls} = I_{Ldie} + I_{LJ} \quad (3)$$

$$V_{node}(t) = V_{cell} - \frac{I_{Ls}}{C_s} t \quad (4)$$

정보 1($V_{node}(t=0) = V_{cell}$)이 저장되어 있을 때, 셀 데이터의 sensing 후에 얻어지는 bit line 전압 V_H 는 셀 캐패시터의 누설 전류를 고려하면 다음과 같다.

$$(C_B + C_s) V_H = C_B V_{bit} + C_s V_{node}(t) \quad (5)$$

여기서 V_{bit} 는 sensing 이전에 bit line 전압으로, 보통 $V_{cell}/2$ 로 precharge되어 있다. 그리고 sense amplifier의 입력 전압은 bit line 전압과 /bit line간의 전압 차이로써 얻어지고, 이것은 식 5에서 구한 V_H 와 $V_{cell}/2$ 로 precharge된 /bit line의 전압 차이이므로 ΔV_{bb} 는 다음과 같다.

$$\Delta V_{bb} = \frac{C_s}{C_B + C_s} \left\{ V_{node}(t) - \frac{V_{cell}}{2} \right\} \quad (6)$$

bit line의 접합에서도 누설 전류에 의한 전압 강하가 발생되지만, ΔV_{bb} 를 얻는 과정에서 /bit line 접합에서 발생하는 동일한 크기의 누설 전류에 의한 영향과 상쇄되므로, 결국 ΔV_{bb} 의 값에는 영향을 미치지 않는다. 그리고 식 6의 ΔV_{bb} 는 sense amplifier가 오류 없이 증폭할 수 있는 최소 입력 전압 감도 ΔV_{sen} 보다 커야하며, 위의 식으로부터 셀 캐패시터의 node 전압은 다음과 같이 계산된다.

$$V_{node}(t) \geq \frac{V_{cell}}{2} + \frac{C_B + C_s}{C_s} \Delta V_{sen} \quad (7)$$

만약 셀 캐패시터의 node 전압이 refresh time 이내에 식 7의 조건을 만족하지 못하면 정보 1의 데이터는 손실된 것으로 생각할 수 있다.

정보 0에 대하여는, V_{node} 가 초기에 0 V로 되어 있

으므로 셀 캐패시터에 인가된 전압들과의 관계에 의하여, I_{LJ} 와 I_{Ldie} 의 전류 방향이 서로 반대가 되기 때문에, 이때 셀 캐패시터의 누설 전류 I_{Ls} 는 정보 1인 경우보다 적다. 그러므로 셀 캐패시터의 누설 전류에 의한 V_{node} 의 변화는 정보 1인 경우가 더 크게 영향을 받는다.

III. 반도체 내의 알파 입자

DRAM의 소프트 에러율을 계산하기 위하여 각각의 알파 입자의 입사 조건(입사 에너지, 입사 각도, 입사 점)에 따른 전자의 수집량을 funneling과 diffusion을 고려하여 계산하고 이때 수집되는 총 전하량 Q 는

$$Q = Q_f + Q_d \\ = q \int_0^{L'} N(r) dr + q \int_{L'}^{L''} D(r) N(r) dr \quad (8)$$

여기서 Q_f 는 funneling에 의한 수집 전하량, Q_d 는 diffusion에 의한 수집 전하량, L' 는 알파 입자의 궤적 상에서 funneling 길이, L'' 는 알파 입자 궤적의 길이, $N(r)$ 은 궤적 상에서 μm 당 생성된 전자-정공 쌍의 수, $D(r)$ 은 궤적 상에서의 위치에 따른 diffusion에 의한 전하 수집율이다. 그리고 알파 소오스로부터 방출된 입자가 DRAM내의 셀 접합에 입사되는 조건인 입사 에너지(E_0), 입사 각도(θ, ϕ), 입사 지점(X_i, Y_i)들은 각각의 분포함수를 갖고 있으므로, 알파 입자의 입사 조건에 따른 분포 함수는 다음과 같이 나타낼 수 있다.^[8]

$$F(E_0, \theta, \phi, X_i, Y_i) = F_1(E_0) \cdot F_2(\theta) \cdot F_3(\phi) \cdot F_4(X_i) \cdot F_5(Y_i) \quad (9)$$

여기서 $F_1(E_0)$, $F_2(\theta)$, $F_3(\phi)$, $F_4(X_i)$, $F_5(Y_i)$ 는 각각 E_0 , θ , ϕ , X_i , Y_i 의 분포 함수들로 E_0 , θ 는 알파 source의 종류와 chip의 상대적인 위치에 따라 non-uniform한 분포 특성을 갖고, ϕ , X_i , Y_i 는 입사 조건에 대하여 uniform한 특성을 갖는다. 따라서 셀 접합에 수집되는 전하량 Q_0 의 값이 Q_0 와 $Q_0 + \Delta Q_0$ 사이의 값을 가질 확률은 다음과 같이 표현할 수 있다.

$$P(Q)\Delta Q = \int_0^\infty dE_0 \int_0^{\pi/2} d\theta \int_0^{2\pi} d\phi \int_{X_0}^{X_1} dX_i \int_{Y_0}^{Y_1} dY_i \cdot F(E_0, \theta, \phi, X_i, Y_i) \\ Q_0 < Q(E_0, \theta, \phi, X_i, Y_i) < Q_0 + \Delta Q \quad (10)$$

여기서 $P(Q)$ 는 확률 밀도 함수이며, DRAM 셀이 소프트 에러를 발생하는 최소의 전하량을 critical 전하량 Q_C 라 하면, 알파 입자의 입사에 의하여 셀 접합에 수집되는 전하량이 Q_C 이상인 경우에 소프트 에러가 발생된다고 할 수 있다. Q_C 의 값은 실제로 셀 내부의 정보의 종류와 각 node의 전압들에 의하여 다른 값을 가지며, 이것은 다음절에서 상세히 다루겠다. 식 10에서 계산한 수집 전하량의 확률 밀도 함수 $P(Q)$ 를 Q_C 보다 큰 부분에 대하여 적분하게 되면 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률(ϵ)을 계산할 수 있다.

$$\epsilon = \int_{Q_C}^{\infty} P(Q) dQ \quad (11)$$

IV. 소프트 에러율의 계산

셀 내에 있는 캐패시터에 전하량의 형태로 저장된 정보는 알파 입자의 입사에 의하여 정보의 내용이 바뀔 수 있고, chip의 동작 형태에 의하여 memory mode, bit mode, 및 /bit mode를 고려함으로 알파 입자의 영향을 계산할 수 있다.^[8] 여기서는 셀 캐패시터를 그림 2(b)와 같이 누설 전류원을 갖는 모델로 보고, V_{node} 전압이 시간에 따라 변화할 때를 고려하여 소프트 에러율을 계산하고자 한다.

1. Memory Mode

캐패시터의 node 전압이, 초기에 V_{cell} 로 되어 정보 1이 저장되어 있을 때, 어떤 시간에 알파 입자가 입사되면 전자-정공 쌍을 발생시킨다. 먼저 funneling에 의한 전자의 수집과, 이어서 diffusion에 의한 전자의 수집을 고려하여 수집된 전하량이 Q_M 이라 하면, sensing 구간에서 bit line 접합과 셀 캐패시터 사이에 전하 재분배에 의하여, sensing 후의 bit line 전압 V_H 는 다음과 같이 계산된다.

$$(C_B + C_s) V_H = C_B V_{bit} + C_s V_{node}(t) - Q_M \quad (12)$$

sensing 이전에 bit line과 /bit line은 $V_{cell}/2$ 로 precharge 되어 있으므로, sense amplifier의 입력 전압인 ΔV_{bb} 는

$$\Delta V_{bb} = V_H - V_{bit}$$

$$= \frac{C_s}{C_B + C_s} \left\{ V_{node}(t) - \frac{V_{cell}}{2} \right\} - \frac{Q_M}{C_B + C_s} \quad (13)$$

위의 식과 같이 Q_M 에 의하여 ΔV_{bb} 가 감소되며, 이 값이 sense amplifier가 요구하는 최소의 전압차 ΔV_{sen} 보다 작게 되면, 저장된 정보가 손실되는 소프트 에러가 발생된다. 이때의 Q_M 값이 memory mode의 critical 전하량 Q_{MC} 에 해당된다. 따라서 식에 의하여 $\Delta V_{bb} = \Delta V_{sen}$, $Q_M = Q_{MC}$ 를 대입하여 Q_{MC} 를 구할 수 있다.

$$Q_{MC} = C_s \left\{ V_{node}(t) - \frac{V_{cell}}{2} \right\} - (C_B + C_s) \Delta V_{sen} \quad (14)$$

한편 셀에 정보 0이 저장되어 있을 때는, 알파 입자에 의한 전자의 수집으로 storage node의 전압이 더 낮아지므로, 이 때 bit line의 전압 V_L 은 더 낮아지고, 더 큰 ΔV_{bb} 가 얻어지므로, 소프트 에러가 발생할 확률은 정보 1인 경우보다 훨씬 작게 된다.

위의 식 14로부터 계산된 Q_{MC} 와 식 11에 의하여, 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률(ϵ_M)을 구하고, 다음 식과 같이 소프트 에러율 SER_M 을 계산할 수 있다.

$$SER_M = \frac{1}{2} \cdot \phi_a \cdot N_M \cdot A \cdot \epsilon_M \cdot 10^9 \quad (15)$$

여기서 SER_M 은 memory mode의 소프트 에러율(단위: FIT)이 되고, ϕ_a 는 알파 입자의 flux(단위: $\text{cm}^{-2} \text{h}^{-1}$), N_M 은 chip의 storage node 개수, A 는 셀 접합 당 전하 수집 면적(단위: cm^2)이다. 앞에서 설명된 바와 같이 memory mode의 소프트 에러는 셀의 정보가 1인 경우만 고려하면 되고, 셀의 데이터는 평균적으로 정보 1인 경우가 1/2 이므로 이것이 식 15에 반영되어 있다.

2. Bit Mode

bit line과 /bit line이 $V_{cell}/2$ 로 precharge된 후에 셀의 정보를 sensing하기 이전 구간에 대하여, bit line과 연결된 여러 bit line 접합에 알파 입자가 입사한 경우, bit line의 전압은 $V_{cell}/2$ 로 precharge된 전압보다 감소하며, 이때 bit line에 수집된 전하량이 Q_B 라 하면 sensing 후의 bit line 전압 V_H 는 다음과 같이 계산된다.

$$(C_B + C_s) V_H = (C_B V_{bit} - Q_B) + C_s V_{node}(t) \quad (16)$$

위의 식은 memory mode의 식 12와 동일한 형태이므로 bit mode의 critical 전하량 Q_{BC} 는 Q_{MC} 와 동일하다. 그리고 bit mode의 소프트 에러율 SER_B 는 다음과 같다.

$$SER_B = \frac{1}{2} \cdot \frac{t_f}{t_{RC}} \cdot \Phi_a \cdot N_B \cdot A \cdot \epsilon_B \cdot 10^9 \quad (17)$$

여기서 t_f 는 bit line의 floating time, t_{RC} 는 chip의 cycle time, N_B 는 chip의 bit 접합수($=0.5 \times N_M$)이다. 또한 ϵ_B 는 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률로 $Q_{BC} = Q_{MC}$ 이므로 ϵ_M 과 같은 값을 갖는다.

3./Bit Mode

/bit line에 알파 입자가 입사되어, /bit line의 전압 V_{bit} 가 precharge 전압 $V_{cell}/2$ 보다 작아지고, sensing 때 bit line과 연결된 정보 0인 셀을 읽는 조건에서 소프트 에러가 발생할 수 있다. 이 경우의 전하 재분배 식은 다음과 같이 계산된다.

$$(C_B + C_s) V_L = C_B V_{bit} \quad (18)$$

$$V_{bit} = \frac{1}{2} V_{cell} - \frac{Q_{BB}}{C_B} \quad (19)$$

여기서 Q_{BB} 는 /bit line에서 수집한 전하량이다. 이 때 sense amplifier의 입력 전압 ΔV_{bb} 는 다음과 같이 계산된다.

$$\begin{aligned} \Delta V_{bb} &= V_{bit} - V_L \\ &= \frac{C_s}{C_B + C_s} \frac{V_{cell}}{2} - \frac{Q_{BB}}{C_B} \end{aligned} \quad (20)$$

$$\begin{aligned} Q_{BBC} &= \frac{C_B C_s}{C_B + C_s} \frac{V_{cell}}{2} - C_B \Delta V_{sen} \\ &= \frac{C_B}{C_B + C_s} [Q_{MC} + C_s \{V_{cell} - V_{node}(t)\}] \end{aligned} \quad (21)$$

위의 식과 같이 셀 캐패시터의 누설 전류가 없다면 $V_{node}(t) = V_{cell}$ 이 되어 Q_{BBC} 는 Q_{MC} 보다 작은 값이 되므로 DRAM의 소프트 에러 발생 mode 가운데 가장 취약한 mode가 되지만, 셀 캐패시터의 누설 전류가 있는 환경에서는 일반적으로 Q_{MC} 가 Q_{BBC} 보다 작은 값이 되어 소프트 에러의 관점에서 memory mode가 가장 취약하게 된다. 식 11에 의하여 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률 ϵ_{BB} 를 구한

다음 소프트 에러율 SER_{BB} 를 계산하면

$$SER_{BB} = \frac{1}{2} \cdot \frac{t_f}{t_{RC}} \cdot \Phi_a \cdot N_B \cdot A \cdot \epsilon_{BB} \cdot 10^9 \quad (22)$$

위의 식은 bit mode일 때의 식 17과 비교하여 ϵ_{BB} 만을 제외하고 동일하다.

마지막으로 식 15, 17, 그리고 22에 의하여 계산된 세 가지 DRAM 동작 mode의 소프트 에러율로부터 chip의 소프트 에러율 SER 은 다음과 같이 계산된다.

$$SER = SER_M + SER_B + SER_{BB} \quad (23)$$

V. 시뮬레이션 결과

앞 절까지의 소프트 에러 현상에 대한 이해를 실제 256M DRAM의 셀 구조에 적용하여, 소프트 에러율을 예측하였다. 표 1에는 이번 절에서 시뮬레이션 데이터로 사용한 256M급 DRAM의 셀 구조와 인가 전압을 보였다.

표 1. 시뮬레이션에 사용된 256M급 DRAM의 셀 구조 및 인가 전압

Table 1. Cell structure and bias voltage of 256M grade DRAM used for simulation

well 구조	Triple-well
셀 면적	$0.32 \times 0.58 \mu\text{m}^2$
셀 캐패시터 접합 면적	$0.18 \times 0.18 \mu\text{m}^2$
셀 접합 깊이/ V_{cell}	$0.13 \mu\text{m} / 2.0 \text{ V}$
p-well 깊이/ V_{BB}	$1.0 \mu\text{m} / -1.0 \text{ V}$
n-well 깊이/전압	$4.5 \mu\text{m} / 3.6 \text{ V}$
Trench isolation 너비/깊이	$0.15 \mu\text{m} / 0.3 \mu\text{m}$
V_{plate}	1.0 V
bit line 접합 캐패시턴스(C_B)	180 fF
셀 캐패시턴스(C_s)	25 fF
ΔV_{sen}	80 mV

정보 1이 저장된 경우 셀 캐패시터에 누설 전류가 흐를 때 캐패시터의 $V_{node}(t)$ 는 감소하며, 그림 3에는 표 1의 DRAM의 셀에 대하여 시간의 경과에 따른 $V_{node}(t)$ 의 변화를 누설 전류의 크기에 따라 보인 것으로, 수백 msec의 시간대에서 식 7의 관계식의 만족이 쉽지 않음이 보여지고 있다. 그림 4에는 256M급 DRAM의 refresh time인 256 msec에서 $V_{node}(t)$ 값들

을 여러 셀 캐패시턴스의 값에 대하여 계산한 값이다. 셀의 누설 전류가 10-14A/cell 이상일 때는 V_{node} 가 초기의 V_{cell} 보다 0.1V 이상 감소하는 것을 볼 수 있다.

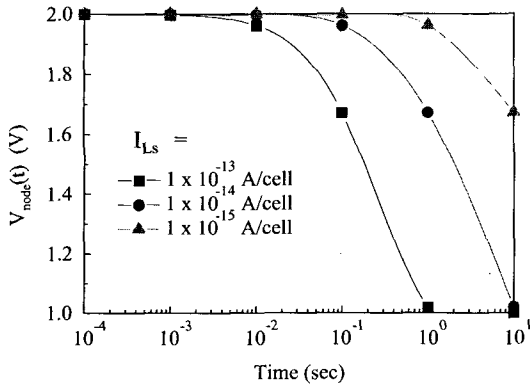


그림 3. 누설 전류에 따른 셀 node 전압의 변화
Fig. 3. The change of cell node voltage with leakage current.

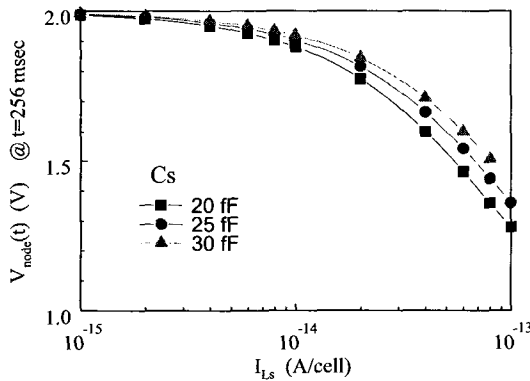


그림 4. 셀 캐패시턴스에 따른 refresh time 동안에 node 전압의 변화
Fig. 4. node voltage change at refresh time for various cell capacitance.

표 1의 셀 구조 및 인가 전압의 파라미터를 사용하여 알파 입자 한 개가 셀 영역으로 입사한 경우, 셀 접합에 수집되는 각각의 전하량에 대한 확률인 P(Q) vs. 수집 전하량의 데이터가 시뮬레이션에 의하여 그림 5와 같이 계산되었다. 그림에서 볼 수 있듯이 수집 전하량 Q는 0.5-4fC까지는 비슷한 확률의 크기로 수집되고, 4fC 이상의 전하량은 지수 함수로 줄어드는 확률로 수집됨을 알 수 있다. DRAM의 각 mode들에 대하여 critical 전하량(Q_{MC} , Q_{BC} , Q_{BBC})이 셀 캐패시터의 누설 전류 크기 I_{Ls} 에 따라 식 14, 21에 의하여, 그림 6

과 같이 계산되었다. 이 때 사용된 $V_{node}(t)$ 는 chip의 refresh time인 $t=256msec$ 일 때의 값이다. 각각의 C_s 의 값에 대하여 누설 전류가 작을 때는 Q_{BBC} 가 Q_{MC} 보다 적으므로 소프트 에러 측면에서 /bit mode가 더 취약하지만, 누설 전류가 커지면서 Q_{MC} 가 Q_{BBC} 보다 더 작은 값을 가지므로 이 때에는 memory mode에 의하여 소프트 에러율이 결정됨을 알 수 있다.

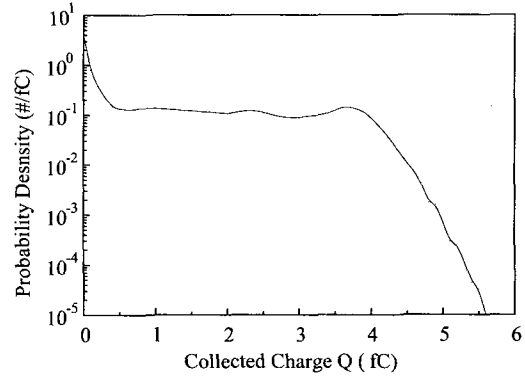


그림 5. 표 1의 256M DRAM 셀에 대한 P(Q) vs. Q
Fig. 5. P(Q) vs. Q for 256M DRAM cell in table 1.

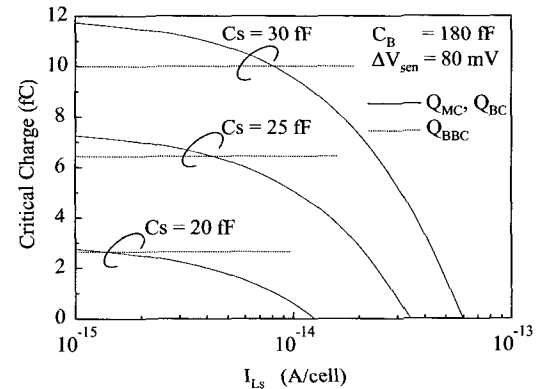


그림 6. 셀 캐패시턴스의 변화에 따른 P(Q) vs. Q. critical 전하량
Fig. 6. Critical charges for various cell capacitance.

이와 같이 얻어진 critical 전하량에 의하여 각각의 동작 mode에 대한 소프트 에러율을 구하고, 식 23에 의하여 전체 chip의 소프트 에러율 SER을 그림 7에 보였다. 소프트 에러율의 계산에 적용한 조건은, 256M DRAM에서 사용하는 $t_{RC} = 60nsec$, $t_r = 30nsec$ 이며, 알파 입자의 입사 flux는 $\Phi_a = 0.001$ 로^[9] 이는 패키지에서 발생하는 알파 입자 flux의 대표적인 값에 해당한다. 그림 7에서 사용한 typical 파라미터는 $C_s = 25fF$,

CB = 180fF, $\Delta V_{sen} = 80mV$ 이며, 그림 7의 (a), (b), (c)에서는 typical 파라미터를 중심으로 C_s , C_B , ΔV_{sen} 을 변화시켰을 때 소프트 에러율이 누설 전류에 대하여 어떻게 변화하는가를 보였다. 그림 7(a)는 셀 캐패시턴스 C_s 에 대하여 소프트 에러율을 계산한 데이터이다. 그래프의 점선은 일반적으로 DRAM 소프트 에러율의 허용치인 1000FIT를 나타내는데, 그래프에서 보이는 바와 같이 C_s 가 20fF일 때는 거의 모든 영역의 누설 전류 양에 대하여 1000FIT이하의 spec.을 만족하지 못하고 있다. 그림 7(b)는 bit line 캐패시턴스 C_B 들에 대하여 계산된 소프트 에러율로서 C_B 가 200fF 이하일 때는 누설 전류가 $10^{-14}A/cell$ 보다 작으면 1000 FIT 이하의 spec.을 만족하고 있다. 마지막으로 그림 7(c)는 sense amplifier의 최소 입력 전압 감도 ΔV_{sen} 에 대하여 계산한 소프트 에러율로서, sense amplifier의 입력 전압의 감도가 100mV이상일 때는 1000FIT의 spec.을 만족시키기 어려움을 보이고 있다.

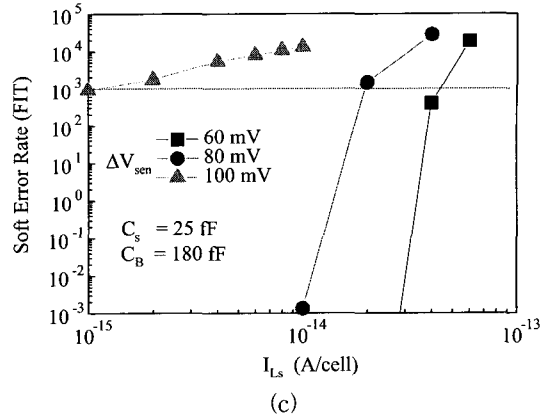
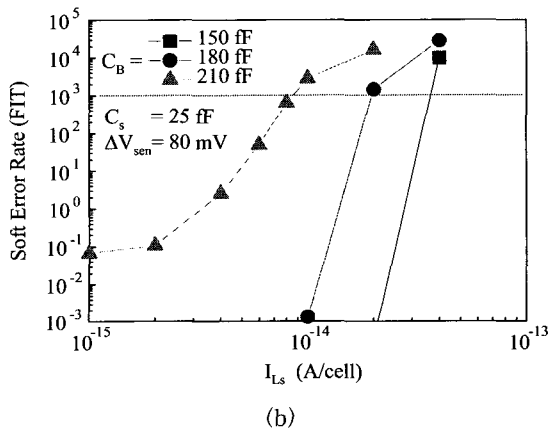
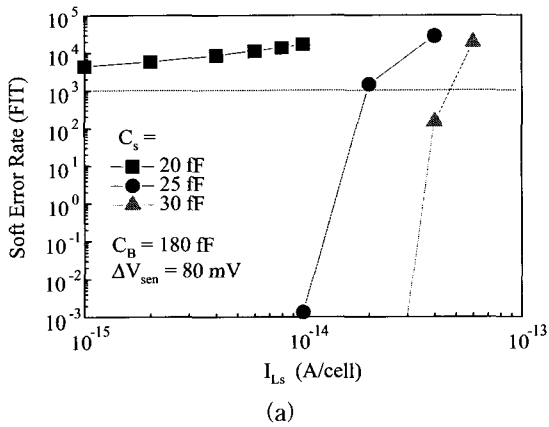


그림 7. 셀 파라미터들의 변화에 대한 소프트 에러율 (a) 셀 캐패시턴스, (b) bit line 캐패시턴스, (c) sense amplifier 입력 전압 감도의 변화에 대한 소프트 에러율

Fig. 7. SER for various cell parameter. (a) cell capacitance, (b) bit line capacitance, (c) sensitivity of sense amplifier input voltage



VI. 결론

본 연구에서는 DRAM의 셀 캐패시턴스에 누설 전류가 있을 때, 여러 DRAM 동작 mode들에 대한 소프트 에러율을 계산하였다. 기존의 누설 전류가 없을 때의 소프트 에러율보다 더 큰 값의 소프트 에러율을 보였고, 누설 전류가 작을 경우에는 /bit mode가 소프트 에러에 가장 취약했지만, 셀 캐패시터가 누설 전류에 의하여 전하량이 감소될 경우에는 memory mode의 critical 전하량이 가장 작고, 소프트 에러에 있어 가장 취약함을 보였다. 그리고 여러 셀 파라미터들의 변화에 대한 소프트 에러율을 계산하였고, 256M급의 DRAM에 있어서는 셀 캐패시터의 누설 전류가 $10^{-14}A/cell$ 정도일 때 셀 캐패시턴스는 25fF 이상, bit line 캐패시턴스는 180fF 이하, 그리고 sense amplifier의 입력 전압 감도는 80mV 이하에서 소프트 에러율이 1000FIT 이하가 됨을 보였다. 이상의 결과들은 차세대 DRAM의 셀 개발에 있어 소프트 에러의 관점에서 최적의 셀 파라미터를 찾는 연구에 활용될 수 있다.

참고 문헌

[1] T. May and M. H. Woods, "Alpha-particle-induced soft errors in dynamic memories,"

- IEEE Trans. Electron Devices, vol. 26, pp. 2-9, 1979.
- [2] S. Kirkpatrick, "Modeling diffusion and collection of charge from ionizing radiation in silicon devices," IEEE Trans. Electron Devices, vol. 26, pp. 1742-1753, 1979.
- [3] C. M. Hsieh, P. C. Murley, and R. R. O'Brien, "A field-funnelin effect on the collection of alpha-particle-generated carriers in silicon devices," IEEE Electron Device Lett., vol. 2, pp. 103-106, 1981.
- [4] 申炯淳, "알파 입자에 의한 전하 수집량에 대한 통합 모델," 電子工學會論文誌-D, 第26卷 第1號, pp. 83-89, 1999
- [5] Steven A. Przybylski, "New DRAM Technologies" Microdesign Resources, Sebastopol, USA.
- [6] Ashok K. Sharma, "Semiconductor memories," IEEE Press, Piscataway, USA.
- [7] R. H. Fowler and L. W. Nordheim, "Electron emission in intense electric fields," Proc. R. Soc. A, vol. 119, pp. 173-181, 1928.
- [8] H. Shin, "Modeling of alpha-particle-induced soft error rate in DRAM," IEEE Trans. Electron Devices, vol. 46, 1999.
- [9] Y. Tosaka, S. Satoh, T. Itakura, K. Suzuki, T. Sugii, H. Ehara, and G. A. Woffinden, "Cosmic ray neutron-induced soft errors in sub-half micron CMOS circuits," IEEE Electron Device Lett., vol. 18, pp. 99-101, 1997.

 저 자 소 개

李京虎(正會員)

1961년 12월 1일생. 1984년 2월 서울대학교 전자공학과 졸업. 1990년 10월 University of Minnesota대 Electrical Engineering 석사. 1993년 5월 University of Minnesota대 Electrical Engineering 박사. 1984년 1월-1988년 8월 및 1993년 6월-2000년 2월 LG반도체 근무. 2000년 3월~현재 홍익대학교 전자전기컴퓨터공학부 교수. 주관심 분야는 반도체 소자 및 집적회로 설계 등임

申炯淳(正會員) 第35卷 D編 第8號 參照