

배선 기술 동향

김기범*, 차국헌**, 김재정**, 주영창*

서울대학교 재료공학부*, 서울대학교 응용화학부**

I. 서 언

지난 40여 년 간의 반도체 소자의 발전 역사는 반도체라는 재료의 발전 역사로 보기보다는 집적 공정의 발전 역사였다고 보는 것이 타당할 것이다. 즉, 초창기 Kilby에 의하여 집적 공정에 대한 개념이 정립된 이후, 지난 40여 년 간의 반도체 발전 역사를 사용하는 재료의 관점에서 보면 Si와 Al(재미있는 것은 Si와 Al이 지구상에 첫 번째와 두 번째로 많은 물질이라는 점이다), 그리고 Si와 O₂ 또는 N₂의 결합인 SiO₂ 그리고 Si₃N₄가 주요한 물질을 구성하고 있으며(역시 같은 맥락으로 N₂와 O₂는 지구상의 공기의 대부분을 이루는 풍부한 원소라는 점이다), 이러한 점은 40여년이 지난 오늘에도 변함이 없다. 물론 반도체의 특성을 좌우하는 주요한 원소는 doping으로 사용되는 P와 As(n-type dopant), 그리고 B(p-type dopant)이다. 재미있는 것은 이러한 원소는 매우 조금의 양으로 반도체 소자의 특성을 좌우하게 되는 데, 이러한 원소를 이용하는 매체인 PH₃, AsH₃, 그리고 B₂H₆ 등은 인체에 매우 위험한 물질로 다량으로 사용하는 것은 매우 위험한 일이다. 이러한 점을 생각하면 재료의 관점에서 인류에 필요한 물질은 이미 배분되어 있다는 생각을 갖게 되는 것도 무리가 아닐 것이다.

초창기의 소자 단면도(1970년대의 1Kbit의 집적도)와 지금의 소자 단면도(2000년대의 1Gbit)를 비교하여 보았을 때, 재료의 관점에서 새로운 물질의 도입은 기껏해야, contacting 물

질로 사용되는 Ti과 via contact에 사용되는 W이 있을 뿐이다 (TiSi₂, TiN, 그리고 WSi₂는 Ti과 W이 앞서 이야기한 Si 그리고 N의 결합으로 생각하자.). 이러한 물질도 그것을 반도체 공정에 도입하기 위하여 인류가 얼마나 많은 노력을 들였는가를 생각해 보면, 반도체 집적 공정의 발달에 있어서 새로운 물질이 도입되는 것의 어려움을 인지할 수 있다. 이러한 맥락에서, 반도체 집적 공정의 미래를 진단해 보면, 우리 앞에 산적해 있는 문제가 보통이 아님을 알게 된다. 수년 전까지만 하여도, 반도체의 큰 두 축을 이루는 논리소자와 기억소자의 두 영역에 있어서 사용하는 물질과 공정은 같았으며, 설계상의 차이만을 뿐이었다. 하지만, 차세대 소자형성에 있어서는 논리소자와 기억소자에 사용되는 물질에 있어서도 현저한 차이가 예상된다. 즉, 논리소자에 있어서는 interconnection에 의한 signal delay의 문제를 해결하는 과제가 필수적인 요소로 대두되었으며, 기억소자에 있어서는 한정된 영역에 capacitance를 향상시키기 위한 memory nodule을 개발하는 것이 시급한 과제로 대두되었으며, 더욱 중요한 것은 이 각각의 영역에 있어서 새로운 물질의 도입이 요구된다는 점이다. 즉, 논리소자분야에서는 Cu interconnection과 이에 따른 Ta 또는 TaN의 확산 방지막 도입, 또한 low-k 절연물질의 개발 및 도입이 필수적인 과제로 대두되었으며, 기억소자의 영역에 있어서는 Ta₂O₅, BST 등의 high-k dielectric 물질과 이에 따른 새로운 전극 물질인 Pt, Ru, 그리고 RuO₂ 등의 물질이 도입되어야만 하는 실정에 있다. 이러한 동향은 자연스럽게 연구비와 연구

〈표 1〉 2000 ITRS roadmap

Year Technology Node	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 35nm
Total interconnect length(m) - active wiring only	10836	18624	31659	51730	91532	148835
FITs/m×10E-3	0.46	0.27	0.16	0.10	0.05	0.03
Jmax (A/cm ²) -wire(at 105°C)	5.8E5	9.6E5	1.4E6	2.1E6	3.7E6	4.6E6
I _{max} (mA) -via(at 105°C)	0.36	0.32	0.24	0.18	0.16	0.11
Local wiring pitch(nm)	500	365	265	185	130	95
Cu local dishing (nm), 5%×height	18	14	11	9	7	5
Intermediate wiring pitch(nm)	640	465	340	240	165	115
Minimum global wiring pitch(nm)	1050	765	560	390	275	190
Global wiring dual damascene A/R (Cu wire/via)	2.2/2.4	2.5/2.7	2.7/2.8	2.8/2.9	2.9/3.0	3.0/3.1
Cu global wiring dishing(nm), 15 micron wide wire, 10%×height	116	95	76	55	38	29
Conductor effective resistivity (μΩ-cm) Cu wiring	2.2	2.2	2.2	2.2	<1.8	<1.8
Barrier/cladding thickness(nm)	17	13	10	0	0	0
Interlevel metal insulator - effective dielectric constant(k)	3.5-4.0	2.9-3.5	1.6-2.2	1.5	<1.5	<1.5

□ - Solutions exist □ - Solutions being pursued ■ - No known solutions

인력의 분산을 갖고 오게 되며, 또한 한번에 새로운 물질들의 도입을 필요로 한다는 점에서 우리 앞에 놓여 있는 문제의 어려움을 쉽게 예상할 수 있을 것이다.

본 논고에서는 이러한 배경 하에, 현재 진행되고 있는 배선 기술의 동향을 크게 나누어 interconnection 기술(Al과 Cu 중심), 확산 방지막 기술(TiN과 Ta, 그리고 TaN), ILD(interlevel dielectric) 기술, 그리고 배선의 reliability 기술 관점에서 서술하고자 한다. 각각의 기술에 있어서의 동향을 크게, 기억소자의 영역과 논리소자의 영역으로 나누어 서술하고자 하며, 특히 각 기술에 있어서의 소재의 개발과 공정의 개발의 관점에서 정리를 하고자 한다. 참고로 배선 기술에 관한 SIA road map을 〈도표 1〉에 실었다.

II. 본 론

1. 배선용 금속기술의 동향

배선 중 배선용 금속의 동향을 사용하는 금속 물질과 그 증착 공정을 위주로 살펴보기로 한다. 배선 공정에 현재 사용되는 금속의 종류는 via 및 contact용의 W(tungsten)과 interconnection용의 Al(aluminum)과 Cu(copper)이다. 여기에서 Cu는 주로 차세대용의 논리소자 배선 물질로 개발되고 있다.

이러한 금속재료의 조합으로 형성된 배선의 층 수는 기억소자에 있어서는 비트 라인(bit line)을 제외하고 현재까지는 2개 층이 그리고 논리소자의 분야에서는 6-7층까지 다층 구조를 보이고

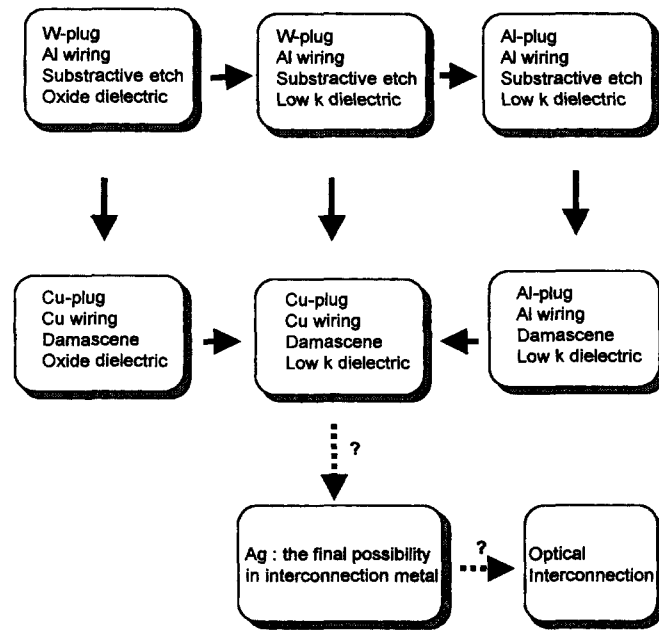
있다. 금속 배선 층수는 트랜지스터의 동작 속도와 배선을 통한 전류 도달속도(access time)와의 관계로 결정되는데, 상대적으로 느린 동작 속도를 보이는 기억소자의 배선은 256 Mbit까지의 집적도에서는 2층 금속 배선으로 구성되며, 1 Gbit에서 현재의 Al인 경우는 3층까지, 또는 Cu를 채용할 경우 2층으로 하는 설계가 예상된다. 논리소자에서는 0.25 μ m CMOS에서는 5~6층이 그리고, 0.18 μ m CMOS의 경우에는 6~7층의 금속 배선이 사용될 것으로 예상된다. 이것은 트랜지스터의 길이가 작아질수록 그에 부합되는 빠른 전류 전달속도를 얻기 위해 더 많은 금속 배선 층수가 필요하게 되기 때문이다.

금속 배선을 위해 사용할 수 있는 금속 중 현재까지 가장 폭 넓게 사용되고 있는 재료는 Al이다. Al은 2.66 $\mu\Omega$ cm의 비교적 낮은 비저항을 갖고, 박막형성, 저온 공정, 접착성, 플라즈마 식각 공정, 내열성 등이 가능한 금속으로, 재료 및 공정 개발을 통해 전기적 이동(electro migration)에 대한 저항성, 내부식성, 화학적 내구성 등이 향상되었고 또한 우수한 피복성(step coverage)을 갖추게 되었다. Al의 공정 능력은 화학 기상 증착(chemical vapor deposition : CVD)과 스퍼터링 증착(physical vapor deposition : PVD)의 조합으로 애스펙 비(aspect ratio : AR)가 10이며 직경이 0.18 μ m 이하의 홀을 완벽하게 채우는 정도로 개발되어 있어 Al의 한계는 매립 공정에서보다는 패터닝 공정, 전기적 이동과 스트레스 이동(stress migration)에 의해 다가올 것으로 보인다. 앞으로의 Al을 사용하는 공정에 있어서는 상감공정(damascene process)의 도입에 의해 그 동안 문제점으로 제시되어 온 플라즈마 식각에서의 낮은 선택비에 기인한 패터닝 공정 기술의 한계와 단가의 문제를 동시에 구현할 수 있는 방향이 있으나, 이에 따른 화학적 기계적 연마(chemical mechanical polishing : CMP)의 슬러리(slurry) 최적화, Al과 TiN 계면에서의 갈바닉 부식(galvanic corrosion) 최소화, 그리고 CMP 후 연마제 제거를 위한 후세정 공정 개발 등이 선결 과제로

남아 있다.

배선 공정에 있어서의 상감공정(damascene process)은 비활성 반응물에 의해 상온에서 플라즈마 식각공정이 불가능하였던 Cu의 배선 금속으로서의 도입을 가능케 했으며, 박막 형성에 있어 현재까지 PVD나 CVD 같은 건식 방법에서 전기 화학적 방법에 기초를 둔 전기 도금(electro-plating : EP) 공정과 무전해 도금(electroless plating : ELP) 공정과 같은 습식 증착 방법으로서의 전이가 일어나게 되었다. 박막 증착에 있어서, 기존에 사용되어 온 PVD 방법은 높은 AR에서의 피복성 문제를 해결하는 것이 주요 문제이며, CVD는 화학적 및 열적으로 안정하며, 200nm/min 정도의 증착 속도를 갖는 전구체의 개발이 필요하다. 최근 CVD 증착 중에 화학 주기율표 7족 화합물을 촉매제로 첨가하여 우수한 증착 특성을 갖는 연구가 활발히 진행되고 있다.^[1] 이에 비하면, 습식 방법에 의한 Cu 증착은 건식증착 보다 낮은 1.8 $\mu\Omega$ cm 정도의 비저항과 200nm/min 이상의 높은 증착 속도를 얻을 수 있으며, 전해액 내에 유기 첨가제의 도입으로 홀을 완전히 매립하는 하부 선증착(bottom-up filling) 방식이 가능하여, 현재 가장 일반적인 Cu의 증착 방식으로 대두되고 있다. EP의 주요 기술은 초기 증착 단계에서 박막의 특성이 결정됨에 따라 계면의 처리 기술과, 평탄제(leveler), 가속제(accelerator), 저속제(suppressor), 고광제(brightener) 등 유기물의 최적 조합^[2], 그리고 전류 및 전압의 인가 방식 등이다. EP에 의한 Cu 증착에서는 웨이퍼 표면에 시드층(seed layer)이 필요하며, 이러한 시드층 Cu는 PVD, CVD 혹은 ELP로 형성된다. ELP Cu 박막은 산소 결함에 의한 비저항 증가가 해결 과제이다.

배선에서의 RC 지연에서 R을 줄이기 위하여 Cu 이후의 후보로 Ag(silver)에 대한 연구도 가시화되고 있다. Cu는 Al처럼 표면 산화막에 의한 passivation 효과가 크지 않아 산화막 생성이 계속되는 것으로 알려져 있으며, Si 또는 SiO₂내의 확산계수가 보통의 금속에 비하여 2 오



〈그림 1〉 Interconnection trend.

더(order)가 클수록 400°C 열처리에서 소자의 파괴를 막기 위해서는 확산방지용 박막의 개발이 필수적이다. 이에 산화에 대한 저항성이 크고, 실리콘이이드가 형성되지 않아 확산방지용 박막의 부담이 상대적으로 작으며, 비저항이 가장 낮은 Ag가 배선용 금속으로서의 최종 연구 대상이 될 것으로 예측된다. Ag는 상온에서 금속 중 가장 낮은 $1.59\mu\Omega\text{cm}$ 의 비저항을 갖는다. CVD에 의한 Ag의 증착을 위하여 현재 개발되고 있는 전구체의 경우 유기 화합물과 무기 화합물로 나뉘어진다. $[\text{AgC}(\text{CF}_3)=\text{CF}(\text{CF}_3)]_n$ 나 $[\text{Ag}(\text{n-C}_5\text{H}_5)(\text{PR}_3)_3]_n$ 와 같은 유기 화합물의 경우 공기 중에 수분과의 반응을 통해 매우 불안정한 상태로 존재하며, 무기화합물 전구체는 휘발성이 매우 낮아 공정조건을 잡는데 어려움을 안고 있다. CVD를 통해 얻어지는 Ag의 비저항값은 $2.5\mu\Omega\text{cm}$ 이상으로 bulk값 보다 매우 높은 차이를 나타내고 있다. PVD를 통한 Ag의 증착 방법은 CVD와 비교에서 상대적으로 낮은 비저항 값을 갖고 있지만 피복성 문제를 해결하는 데는 많은 어려움을 갖고 있으며 공정변수가 많다

는 단점을 안고 있다. EP나 ELP기술은 PVD보다 공정변수가 적고 작업이 간단하며 무엇보다 void와 seam의 문제를 해결할 수 있다는 점에서 큰 장점을 갖고 있다. 또한 증착된 막의 비저항값도 약 $1.6\mu\Omega\text{cm}$ 로 가장 낮은 수치를 얻을 수 있다. 그러나, 아직은 Ag에 대한 연구는 초기 단계에 그치고 있다. 금속의 박막 증착 방식에는 상기에 언급된 방법 이외 최근, 금속을 용점이 낮은 나노 크기의 입자로 만들어 분산상에서 증착하는 spin-on-metal 방식의 개발도 관심있게 지켜볼 필요가 있다. 이상의 금속 배선 재료와 공정을 요약하면 〈그림 1〉과 같이 나타낼 수 있다.

2. 확산 방지막 기술의 동향

앞서 살펴 본대로 논리 소자에 비해 상대적으로 느린 동작 속도를 가져도 되는 기억소자의 경우 현재의 배선 재료인 Al이 1Gbit에서 3층의 배선을 사용하여 그대로 쓰일 수 있다고 생각할 수 있다. 기존의 Al 배선 공정의 확산 방지막은 TiN으로 열적 안정성이 우수하고(용점: $\sim 3220^\circ\text{C}$), 비저항이 작아서($\sim 20\mu\Omega\text{-cm}$), 오래 전부

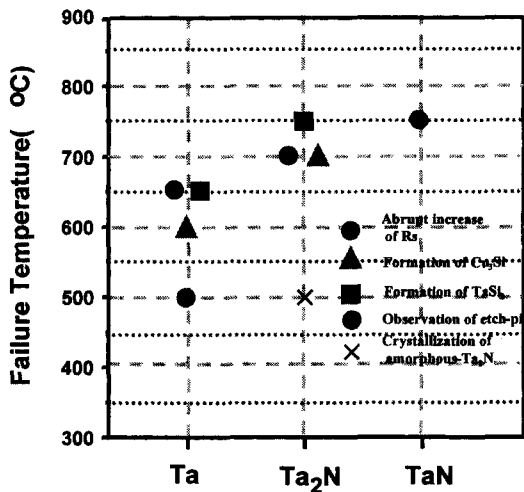
터 배선인 알루미늄 합금과 기판인 실리콘 사이의 확산 방지막으로 널리 쓰여왔다. 현재 알루미늄 배선 공정에서 쓰이는 대부분의 TiN 박막은 반응성 스퍼터링(reactive sputtering)법에 의해서 증착 되는데, 증착 온도가 낮기 때문에 TiN 박막은 주상정(columnar) 구조로 자란다. 이 때, 주상정 사이의 결정립계(grain boundary)를 통한 확산은 결정립 내부에서의 확산보다 훨씬 빠르므로, 이러한 결정립계를 통한 확산을 방지하는 것이 중요하다. TiN 박막의 경우에는 이를 증착한 다음 질소 분위기에서 열처리하면, 알루미늄 배선 공정에서 확산 방지막 성능이 크게 향상된다고 알려져 있다. 이는 Kattelus와 Nicolet에^[9] 의해 제시된 대로 결정립계를 질소나 산소같은 불순물로 충전(stuffing)시키거나 충전처리에 의해 결정립계에 형성된 화합물들에 의해서 Al의 TiN을 통한 확산이 억제되었기 때문이다.

소자의 집적도 증가에 따른 에스팩비의 증가는 TiN의 증착 방법에 있어서 CVD나 ALD(Atomic Layer Deposition)의 도입을 가져올 것으로 보여진다. CVD-TiN 공정은 TDMAT(Tetrakis DiMethyl Amido Titanium)과 TDEAT(Tetrakis DiEthyl Amido Titanium)과 같은 유기화합물을 이용하는 것과 TiCl₄와 TiI₄ 같은 무기화합물을 암모니아와 반응시키는 것으로 나눌 수 있다. 유기화합물을 이용하는 경우는 증착 온도를 낮출 수 있다 (<300°C)는 장점을 제공하지만 막 내에 C이나 O와 같은 많은 불순물이 존재하고 미세구조가 치밀하지 못하며 이에 따라 비저항이 높은 (>1000 $\mu\Omega$ -cm) 단점이 있다. 반면 무기 화합물을 이용하는 경우 계단도포성이 우수하며 비저항이 낮은 (~200 $\mu\Omega$ -cm) 장점이 있으나 우수한 막 성질을 얻기 위해서는 증착 온도가 높아야 된다는 단점이 있다. 최근예, 소스 가스와 반응 가스를 동시에 공급해주는 기존의 CVD법과는 달리 소스 가스와 반응 가스를 분리하여 공급하는 ALD를 이용하여 TiN 박막을 형성하려는 연구가 활발히 진행되고 있다. ALD 공정은 소스 가스의 화학적 흡착

(chemisorption)과 탈착(desorption) 특성에 크게 의존하는 것으로 화학적 흡착에 의한 self-limiting mechanism이 적용되는 구간에서는 소스가 공급되는 동안 cycle당 단위자층이 성장하게 되며 이 구간에서는 온도 변화에 관계없이 cycle당 증착되는 박막의 두께가 일정하게 된다^[4]. 또한 이러한 self-limiting mechanism에 의해 계단도포성이 매우 우수하고 비저항 또한 낮은 TiN 박막을 기존의 CVD 공정을 이용하는 것보다 낮은 온도에서 얻을 수 있게 된다. 유일한 단점은 증착 속도가 기존의 CVD 공정에 비해 낮다는 것인데, 초고집적 소자에서 적용되는 확산 방지막의 얇은 두께를 고려해 볼때 차세대 확산 방지막 증착 방법의 주요한 것으로 고려될 수가 있을 것이다.

상대적으로 소자의 동작 속도가 중요 시 되는 논리 소자의 경우 Cu를 배선 재료로 사용하는 노력이 가속화되고 있다. 그런데, Cu는 실리콘 내에서 확산계수가 가장 크고 (알루미늄보다는 대략 10⁶배 정도 크며) 실리콘 내부로 확산한 구리는 밴드 갭(band gap) 사이에 깊은 에너지 준위(deep level)를 형성하는 것으로 알려져 있다. 아울러, 구리는 SiO₂ 내에서 확산계수도 큰 것으로 알려져 있는데, 이는 구리 배선 사이의 절연 특성을 감소시킬 것이다. 결국 구리의 실리콘이나 SiO₂ 내에서 큰 확산계수는 소자의 신뢰성을 크게 저해할 것이다. 따라서, 구리 배선공정에서 소자의 신뢰성을 확보하기 위해서는, 구리의 실리콘 및 SiO₂의(아울러, 저유전상수 층간절연막) 빠른 확산을 방지할 확산 방지막에 대한 연구, 개발이 필수적이다. 먼저, 기존의 알루미늄에 대한 확산 방지막으로 널리 쓰이고 있는 물질인 TiN을 구리 배선에 대해 재 적용할 수 있는 가능성에 대해 많은 연구가 많이 진행되었는데, 지금까지의 연구 결과를 고려해보면, TiN이 구리 배선을 위한 확산 방지막으로는 적합하지 않은 물질이라는 결론을 내릴 수 있게 해준다. 이는 주상정 구조를 가진 TiN 박막을 충전 처리를 함으로써, 알루미늄에 대한 확산 방지막 성능 향상을 시키는 것이 가능한 반면에, 구리의 경우는 이러

한 충전 처리가 확산 방지막 성능 향상에 큰 효과가 없다는 사실에 기인한다. 다시 말하면, 구리는 알루미늄과는 달리 충전 처리에 의해 TiN 내에 존재하는 산소와의 반응성이 약하기 때문에 충전 효과가 크지 않은 것이며 따라서, 구리에 대해 우수한 확산 방지막이 되기 위해서는 갓 증착한 박막의 미세구조가 매우 치밀해야만 한다는 것을 의미한다. 이러한 관점에서, Ta과 Ta-based Nitride들을 구리에 대한 확산 방지막으로 새롭게 고려되고 있는 물질들이다. Ta과 그것의 Nitride들인 Ta₂N과 TaN은 높은 용점(각각 2996, 2050, 3087°C)을 가지며 Cu에 대해 열역학적으로 안정하다. 또한, porous한 주상정 구조로 증착되는 TiN과는 달리 치밀한 미세구조로 증착이 되어 구리에 대해 보다 우수한 확산 방지막 특성을 보여준다. Ta과 TaN_x는 스퍼터링에 의해 증착될 수 있는데, Ti-N system과는 달리 비저항이 높은 β-Ta과 비저항이 낮은 α-Ta으로 증착될 수 있으며, 막내에 질소 양이 증가함에 따라 hcp-Ta₂N, 비정질 Ta₂N, fcc-TaN이 형성되는 등, 복잡한 상변화 양상을 보여준다. <그림 2>는 Ta과 Ta₂N, TaN의 구리에 대한 확산 방지막 성능을 보여준다^[5]. 그림을 보면 알



<그림 2> Summary of the barrier test results of the Ta, Ta₂N, TaN films after annealing in H₂ ambient for 1 hr. Thickness of barrier: 50nm^[5].

수 있듯이 Ta역시 우수한 확산방지막 특성을 보여주지만 N을 첨가시킨 화합물들이 더욱 우수한 확산방지막 성능을 나타내고 있다는 것을 알 수 있다. 하지만 이들의 확산 방지막 성능이 모두 뛰어나기 때문에 구리에 대한 확산 방지막으로 어떤 물질이 채택될지는 증착시의 파티클 문제나 전공정, 후속 공정간의 적합성 문제 등을 고려, 각 chip 제조회사의 선택에 달려 있다고 보여진다.

더 우수한 계단 도포성 확보를 위한 CVD-TaN 공정 역시 앞서 언급한 CVD-TiN 공정과 유사하게 유기화합물[PDEAT(Pentakis DiEthyl Amido Tantalum), PDMAT(Pentakis DiMethyl Amido Tantalum)]이나 무기 화합물[TaCl₅, TaBr₅]등을 이용 활발히 연구가 되어 왔으나 PVD로 증착된 물질에서 보여지는 구리에 대한 우수한 확산 방지막 특성을 보여주지 못하는 실정이다. 이는 PVD법에 의해 얻어지는 치밀한 미세구조를 CVD법에 의해 구현하는 것이 어렵기 때문이라고 보여진다. 따라서, CVD 측면에서 구리 배선의 확산 방지막으로 TaN가 TiN에 비해 그리 큰 장점을 제공하지는 않는 것으로 생각된다. 이러한 관점에서 최근에 보고된, Al을 이용 TiN을 충전 처리하려는 시도는 흥미롭다^[6]. 제안된 새로운 확산 방지막은 5nm의 TiN 사이에 2nm 두께의 알루미늄을 삽입하여 열처리 중 알루미늄이 TiN내로 확산해 들어가 TiN내의 산소와 반응 TiN의 결정립계에서 Al₂O₃를 형성함으로써 결정립계를 충전 구리에 대한 확산 방지막 성능 향상을 유도하는 구조이다. 보고된 결과에 따르면, 전체 10nm 두께의 TiN의 경우, 알루미늄 중간층 2nm를 삽입할 경우, Al 중간층이 없는 경우에 비해 250°C 이상의 확산 방지막 성능 향상을 보여 주었다. 여러 가지의 집적 공정 사이의 고려 사항들이-예를 들어 얇은 두께 Al의 conformal한 증착과 접촉 저항 문제-존재하지만 이 구조는 기존의 확산 방지막 물질인 TiN을 그대로 사용한다는 것과 Cu 배선의 확산 방지막에서 요구되는 얇은 두께일 경우에도 우수한 확산 방지막 성능을 제공한다는 점에서, 앞서 언

급한 ALD 공정 등의 도입에 의해 구리에 대한 확산 방지막의 새로운 구조로 고려될 수 있을 것으로 생각된다. 요약하면, 구리에 대한 확산 방지막으로 어떠한 물질이나 공정이 선택될지는 아직 열린 문제라 생각되지만 앞으로의 확산 방지막에서 요구되는 얇은 두께나 우수한 계단 도포성을 고려해 볼때 ALD 공정의 도입은 불가피할 것으로 보여진다.

3. ILD의 기술 동향

DRAM과 같은 기억 소자에 사용되는 층간절연물은 gap fill 특성이 우수한 재료(tetraethoxysilane(TEOS), Hydridosilsesquioxane(HSQ))를 많이 사용하였고, 향후 1GB DRAM까지도 기존의 3개 층 이내의 알루미늄 배선이 사용될 가능성이 있기 때문에 층간절연물로서 저유전 특성이 우수한 새로운 물질로 대체할 확률은 적다고 볼 수 있다. 그러나 680MHz 이상의 신호 처리 속도가 매우 중요한 로직칩에서는 구리배선 및 유전상수가 2.5 이하인 저유전 층간절연물질의 사용이 반드시 필요하게 된다.

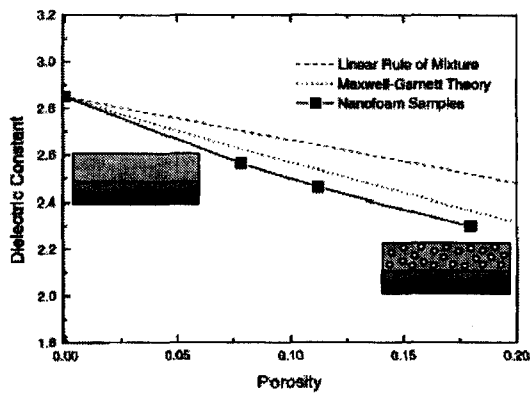
1) 반도체용 저유전물질의 요구물성

반도체용 저유전 층간절연물질의 요구물성은 반도체의 배선구조 및 적용분야에 따라 달라지기 때문에 특정 표준이 확정되어 있지는 않지만, 일반적으로는 다음과 같은 전기적, 화학적, 기계적 및 열적 특성 등을 고려해 볼 수 있다^[7]. 즉 배선 밀도 증가 및 신호지연을 감소하기 위한 저유전율, 배선설계 및 공정의 용이성을 위한 전기적 성질의 등방성, 금속배선 물질과의 저반응성 및 낮은 이온전이성, CMP 등의 공정에 견딜 수 있는 충분한 기계적 강도, 박리 또는 유전율 상승을 방지할 수 있는 저흡습율, 공정 가공온도를 이길 수 있는 내열성(AI: >450°C, Cu: >400°C), 저유전체/금속계면에서 발생될 수 있는 각종 응력 및 박리를 최소화하는 접착력, 낮은 스트레스, 크랙에 대한 높은 저항성, 최적의 열팽창계수, 낮은 고온기체 발생성 등 다양한 요구조건이 있으며, 이들 어느 것 하나라도 만족되지 않으면 반도체

재료로 사용하기 곤란하다.

그간의 많은 연구노력에도 불구하고 아직까지 많은 저유전 층간절연재료 후보들 중에서 그 후보가 명확히 결정되지 못하고 있었던 이유도 바로 물성에 대한 다양한 요구조건을 동시에 충족시키는데 많은 어려움이 있기 때문이다. 특히, 전기적으로 저유전성을 유지하면서 동시에 우수한 열적, 기계적 물성을 확보하기 위해서는 물질구조에 대한 정확한 이해와 그에 따른 정확한 분자구조적 설계와 합성이 뒤따라야한다. 즉, 열적, 기계적으로 우수한 물질들은 일반적으로 강하고 안정된 분자결합과 높은 분자결합 밀도를 가지고 있다. 그러나, 강한 결합과 큰 결합밀도는 대부분 편극화도(polarizability)를 증가시키며 이는 바로 유전상수의 증가와 연결된다. 최근 많이 시도되는 유기 고분자계 저유전재료의 경우에는 특히 기계적, 열적 안정성을 높이기 위해서 이중, 삼중 결합들이 많이 도입되는데 이러한 것들은 물질의 유전상수를 높이는 역할을 한다. 앞에서 언급한 바와 같이 유전상수에 영향을 주는 두가지, 편극화도와 결합 밀도를 낮추는 동시에 결합 엔탈피를 높일 수 있는 분자구조를 설계하거나 그러한 기능기들을 분자사슬 내에 도입하는 것이 중요하다. 예를 들어 전기음성도(electronegativity)가 큰 불소 원자들을 물질 내에 도입하면 전자들에 대한 결합력(binding force)이 커져서 결과적으로 편극화도와 유전상수를 낮출 수 있다. 또한, 수소나 메틸기를 도입하면 자유부피(free volume)를 증가시켜 물질 밀도를 낮출 수 있는 효과가 크므로 유전상수를 낮추는 방법으로 많이 시도된다.

이와 같은 분자수준의 물질설계와 함께 유전상수를 낮추는 방법으로는 기공(유전율(k) 1.0)을 박막 내에 도입하는 것이다. 특히, 유전율 2.0 이하의 초저유전 층간절연재료의 경우에는 기공을 도입하는 것이 필수적이다. 기공이 도입되면서 기계적 물성이 저하되는 것을 최소화하기 위해서 기공의 크기를 나노미터 크기의 닫힌 기공의 형태를 요구하는 이유는 열린 기공의 경우에는 반도체 공정에서 다른 물질에 의한 오염, 특히 금속



〈그림 3〉 Change in dielectric constant as a function of porosity.

원자의 침투에 의한 전기적인 문제, 즉, 절연과파 전압(breakdown voltage)의 저하나 손실전류(leakage current)의 증가가 발생할 수 있으며, 기계적 물성의 저하가 심각해질 수 있기 때문이다. 그 외에도 열린 기공에 의해서 많은 문제가 발생할 수 있으므로 닫힌 기공의 형태로 만드는 것이 중요하다. 닫힌 기공으로 만들 수 있는 나노기공(nanopore) 형성 기술에 대한 연구가 활발히 진행되고 있다. 일반적으로 공극율(porosity)이 증가하면 어느 이상에서는 닫힌 기공들이 연결되기 시작하므로 도입할 수 있는 공극율은 제한되어 있다. 그러므로, 기공이 없는 상태의 초기 유전상수가 2.5 이하는 되어야만 닫힌 기공의 형태로 2.0 이하의 초저유전 층간절연재료를 구현할 수 있다는 것이 일반적이다. 따라서, 기공을 가진 저유전 층간절연재료의 경우에도 낮은 초기 유전상수를 지니는 것이 중요하다. 〈그림 3〉에 공극율에 따른 유전상수의 감소를 나타내었다.

2) 개발된 저유전 재료의 종류와 특성^[7,8]

반도체 소자용 저유전물은 크게 층간박막으로 도포(deposition)하는 방법에 따라 회전코팅(spun-on) 방법과 화학기상증착(chemical vapor deposition; CVD) 방법의 두 종류로 나눌 수 있으며, 또한 각각의 방법은 유기 저유전물과 무기 저유전물 그리고 최근의 유·무기 혼성체(hybrid)로 나눌 수 있다. 회전코팅법(spun-on

type)의 경우 피막 생성속도가 기상증착에 비해 빠르고, 스펀코팅 장치를 사용하여 간단하게 피막을 형성할 수 있다는 장점이 있는 반면, 기상증착에 비해 용매의 제거에 필요한 부차적인 공정이 있다는 단점이 있다. 그러나, 유전율 2.0 이하의 초저유전재료를 만들기 위해서는 현재까지는 회전코팅법에 의한 방법들이 보다 유리한 것으로 알려져 있으며, CVD 방식의 저유전 층간절연재료를 개발하는 측에서도 나노기공을 박막 내 도입하기 위한 가능성을 계속 연구하고 있는 것으로 알려져 있다.

현재 반도체 소자용 층간절연물로는 기존의 SiO_2 ($k=3.9\sim 4.2$)에서 fluorinated silicon oxyfluoride (FSG : SiOF $k=3.4\sim 3.6$)와 hydrogen silsesquioxane (HSSQ : $k=2.9$)를 거쳐서, 보다 낮은 유전상수를 가지는 다양한 유·무기물질이 사용 또는 개발 중에 있다. 이미 미국의 Allied Signal, Applied Materials, Dow Corning, 일본의 JSR, Sumitomo, Asahi Glass 등과 같은 세계적인 회사들은 반도체용 저유전 층간절연물을 생산하여 시장에 내놓고 있으며, 반도체 공정에서 요구하는 높은 기준을 만족시키는 저유전 층간절연물을 개발하기 위하여 연구개발에 막대한 투자를 하고 있다.

지난 1997년 IBM이 구리배선과 함께 저유전 층간절연물을 반도체에 도입하기로 발표한 이후, 많은 연구가 진행되어 2000년 4월, IBM이 Dow Chemical의 SiLK™를 사용하여 최초로 구리배선과의 integration에 성공하였음을 발표하였다. 최근 2001년 1월에는 대만의 Taiwan Semiconductor Manufacturing Co. (TSMC)가, 그리고, 한달 후인 2월에는 Motorola와 Advanced Micro Devices Inc. (AMD)가 Applied Materials Inc.의 Black Diamond™를 자사의 구리배선공정의 저유전 층간절연물로 선택했음을 발표하였다. 곧이어 올 2001년 3월에는 Dow Chemical이 spun-on 방식의 유전율 2.0 이하의 초저유전(ultra-low-k) 재료로서 기공을 함유한 새로운 SiLK™를 개발하는데 성공하였음을 발표하였다. 이처럼 숨가쁜 저유전 층간

절연재료 개발경쟁이 현재에도 전세계에서 치열하게 벌어지고 있으며, 이에 대한 관심과 연구개발에 대한 노력은 더욱더 증대될 것으로 보여진다.

4. 배선의 reliability 기술 동향

알루미늄과 SiO₂ 대신 구리와 저유전물질 같은 새로운 물질의 도입과 더불어 상감법과 같은 새로운 공정의 사용으로 배선의 신뢰성에 새로운 문제들이 제시되고 있다. 초기에는 구리배선이 electromigration 문제를 해결할 것이라 기대했으나 실제로는 표면확산이라는 문제로 인하여 계속 공정상의 문제가 되고 있으며 구리 확산이라는 기존에 없었던 새로운 issue들이 생기고 있다. 또한 SiO₂에 비해 열전도도와 기계적 성질이 떨어지는 저유전막에서도 여러 신뢰성 문제가 발생한다. 다음은 이들 문제를 나누어 살펴보고자 한다.

1) 구리배선의 문제

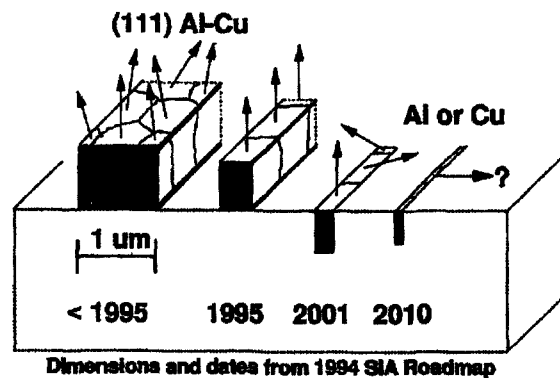
(1) electromigration 문제

구리는 이론적으로 알루미늄에 대해서 electromigration에 대한 내성이 훨씬 강한 것으로 보고되고 있다. 또한 구리는 비저항을 비롯한 거의 모든 전기적 성질에서 알루미늄보다 우수한 특성을 갖고 있기도 하다. 그러나, 이러한 전기적 물성에서의 구리의 우수성을 알루미늄배선에 대한 구리배선의 신뢰성 면에서의 우위로 단정하는

것에는 문제가 있는데, 이는 구리와 알루미늄배선이 그 제조공정이 상이하기 때문에 배선 자체의 구조적 물성을 단순히 재료의 차이로만 간주할 수 없는 데서 기인한다.

기존의 알루미늄배선에서와는 달리, 구리배선은 알루미늄과 달리 안정한 산화물이 특별히 존재하지 않는다. 따라서 electromigration에 의한 확산이 알루미늄배선처럼 결정입계를 따라 일어나지 않고 배선의 계면을 따라 일어나게 된다. 따라서 계면의 조절이 electromigration에 의한 신뢰성에 중요한 역할을 하게된다. trench의 양 측면과 바닥면은 확산방지막인 Ta계의 재료와 계면을 이루기 때문에 낮은 확산계수를 가지나 상부면은 SiN₃과 계면을 이루기 때문에 이 계면을 따른 확산이 쉽게 생긴다. 따라서 이 계면의 확산을 억제시켜야만 알루미늄보다 우수한 electromigration 성질을 얻을 수 있다.

또한 구리배선은(<그림 4>에서 보듯이) 알루미늄과 달리 상감법, 즉 trench라는 3차원 구조체에 액상의 구리도금액이 유입되는 방식으로 채워지면서 진행되기 때문에, trench의 양 측면과 바닥면에서 거의 동시에 구리결정의 성장이 이루어진다. 이 경우 3방향에서 동시에 성장한 구리결정조직이 trench의 폭 내지는 선폭에 미달한 상태로 성장을 중지하는 이른바 seam과 같은 결함이 발생하는 문제점이 있으며, 이러한 seam이 존재할 경우 electromigration 성질의 저하를 가져온다. 또한 선폭에 비례하여 결정립



<그림 4> Effect of dimension on microstructure of interconnect materials

의 크기 역시 줄어드는 때문에 2차원의 알루미늄 배선에서 일반적인 bamboo 구조도 거의 형성되기 힘들다⁹⁾. 알루미늄배선구조에서는 텅스텐이 via를 이루기 때문에 via에서의 electromigration은 생기지 않는 반면 구리배선의 경우 via와 배선이 동일한 구리로 구성되므로 구리배선에서는 via의 electromigration 취약성이 중요해진다. 따라서 via의 electromigration을 고려한 설계가 요구된다.

(2) 구리이온의 확산

알루미늄 대신 구리가 이용되기 시작하면서 새로운 문제로 대두된 것이 구리의 절연재료 내부로의 확산현상이다. 실제로 배선공정이 진행되는 450°C 이하의 온도구간에서는 구리의 산화물내열확산 문제가 무시할 수 있는 정도이지만, 구리이온(Cu⁺)의 경우에는 상온에 가까운 온도에서도 산화물 내로 쉽게 확산, 침투가 발생하는 것이 알려져 있다. 특히, 전기장이 주어지는 통상의 반도체소자의 경우에는 산화물 내부로도 구리의 확산이 더욱 가속화 된다. 절연체 내부로의 Cu⁺ 이동현상은 신뢰성 문제와 밀접한 관계를 가지고 있다. ILD 내부로 침투한 Cu⁺는 기생 트랜지스터의 문턱 전압을 변화시키고, 소자 절연성을 저하시킬 가능성도 있다. 즉, Cu⁺의 침투는 결과적으로 ILD의 파손을 초래한다¹⁰⁾. 또한, Cu⁺의 침투가 실리콘 기판을 통해서까지도 계속적으로 진행된다면 높은 접합 누설 전류(junction leakage current) 까지 발생한다.

따라서, 이를 차단하기 위해서 Ta, TaN와 같은 확산방지막의 완벽성이 매우 필수적이다. 또한, 집적회로의 집적도가 증가하는 경우, 확산방지막이 차지하는 부피비를 일정하게 유지하여 배선의 비저항 증가를 억제하기 위해서는 확산방지막의 두께 역시 집적도 증가와 더불어 더욱 얇아져야 한다. 따라서 완벽한 또는 이상적인 확산방지막으로서의 역할을 차세대 이상급의 집적회로에서 얻기 위해서는 새로운 증착방법의 개발과 함께 확산을 최소화 내지는 어느 정도까지는 억제할 수 있는 저유전절연박막의 개발이나 구리에

Mg같은 다른 합금원소를 첨가시켜 자체적으로 확산방지기능을 가지게 하는 방법등의 개발이 중요하다. 이를 달성하기 위하여 절연체에서의 구리확산에 대한 이해 및 평가기술의 확립도 함께 진행되어야 할 것이다.

2) 저유전막의 신뢰성 문제

구리배선공정에서 CMP시 단단한 패드와 실리카 슬러리의 기계적인 마찰과 화학적인 반응이 절연막에 가해진다. 이와같은 가혹한 조건에서도 견딜 수 있도록 저유전막은 우수한 기계적 물성을 지니고 있어야 한다. 실제 반도체공정에서는 저유전 절연박막의 취약한 기계적 물성을 보완해 주기 위해 박막의 상부와 하부에 단단한 SiO₂ 캡 레이어(cap layer)를 만들어 주지만 CMP 공정에서는 이 캡 레이어의 일부분도 손상을 받는다. 따라서 저유전재료 자체의 기계적 물성의 향상과 정확한 신뢰성 평가가 반드시 요구된다. 반도체 회로의 집적도 증가에 따라 회로의 다층구조가 필수적이므로 저유전재료는 박막의 다층적재에 따른 응력 증가와 반복적인 thermal cycle 공정을 거친다. 특히, 기판 및 이웃한 박막과의 열팽창계수 차이에 의한 열응력(thermal stress)의 증가는 반도체 제조 공정 중에 저유전재료에 균열 등의 손상을 가져올 수 있다. 일반적으로 저유전재료의 기계적 물성은 기존의 SiO₂에 비해 상당히 취약하며 또한 유전율을 낮추기 위하여 물질에 기공을 첨가시킬 경우 기계적성질이 더 떨어지게 된다. 또한 기공의 크기나 분포에 따라 기계적 물성이 변하므로 이에 관련된 체계적이고 일관된 신뢰성 평가가 필요하다.

계면에서 일어나는 파괴거동은 구리칩의 신뢰성에 중요한 요인이 된다. 또한 CMP 공정은 저유전재료 내에 균열을 발생시키는 동시에 저유전재료와 접착되어 있는 캡 레이어(SiO₂)나 각종 확산 방지막들(Ta, TaN 등) 사이의 계면에 균열을 개시 및 성장시켜 결국 박리(delamination)이나 파괴(fracture)거동을 일으킬 수 있다. 그러므로, 저유전재료의 계면접착력의 측정과 그 신뢰성 평가는 매우 중요하며 계면접착력을 향상

시키는 것은 저유전재료의 중요한 연구과제이다.

저유전재료는 SiO₂에 비해 열전도성이 좋지 않기 때문에 CMP 패드에 의해서 발생하는 마찰 열에 의해 국부적인 응력의 증가와 캡 레이어와의 접착 손상이 촉진될 수 있다. 물론 반복적인 thermal cycle에 따른 구성재료들의 열팽창계수의 차이에 의한 열응력도 계면의 접착 손상의 주요한 원인이 된다. 또한, 저유전막의 열전도가 좋지 않기 때문에 배선에서 생긴 주열을 기관으로 전달하는 능력이 떨어지게 되고 이는 배선의 온도상승과 함께 신뢰성 저하로 이어지게 된다. 이러한 주열은 상층부의 배선층으로 갈수록 발열이 심해지며, 따라서 전기적 부하로 인해서 배선이 파손될 가능성이 높다. 이러한 발열현상에 의한 신뢰성 감소는 앞으로 electromigration에 의한 파손 못지 않게 중요해 질 전망이다. 이를 막을 수 있도록 회로 설계 시 최적화 및 배선 시스템의 열전달에 대한 정확한 평가, 그리고 열전도도가 좋은 저유전막의 개발 등이 중요시 된다.

III. 결 언

이상으로 배선기술의 동향을 배선, 확산 방지막, ILD, 그리고 신뢰성의 영역으로 나누어 정리하였다. 서언에서도 밝힌 것과 같이, 배선기술에 있어서 대두되는 새로운 물질의 도입, 그리고 이에 따른 새로운 공정 기술의 도입(상감법과 습식 박막증착) 등은 기존의 반도체 집적 공정의 개발 동향과 비교하여 볼 때, 가히 혁명적인 기술 개발의 발전사이다. 국내에서도 논리 소자의 분야가 점차 중요하게 대두되는 상황에서, 이러한 배선 기술의 발전은 우리가 더 이상 간과해서는 안 되는 분야로 대두되었다. 특히, 앞으로도 이 분야의 발달이 전체적인 반도체 소자의 발달을 주도할 것으로 예상되며, 이에 따른 우리의 기술 개발 전략의 마련이 시급하다.

참 고 문 헌

- [1] E.-S. Hwang and J.-H. Lee, *Electrochemical Solid-State Letters* 3, 133 (2000).
- [2] J.-J. Kim and S.-K. Kim, *J. Electrochem. Soc.* (submitted).
- [3] H. Kattelus and M.-A. Nicolet, in *Diffusion Phenomena in Thin Films and Microelectronics Materials*, edited by D. Gupta and P. S. Ho (Noyes, Park Ridge, NJ, 1988), pp. 432-498.
- [4] T. Suntola, *Handbook of Crystal Growth* Vol. 3 edited by D. T. J. Hurle, Elsevier Science B. V. (1994).
- [5] K.-H. Min, G.-C. Jun, and K.-B. Kim, *J. Vac. Sci. Tech. B*, 14, 3263 (1996).
- [6] K.T. Nam, A. Datta, S.-H. Kim, and K.-B. Kim, *Appl. Phys. Lett.* (accepted).
- [7] W. W. Lee and P. S. Ho, *MRS Bulletin*, 22(10), (1997).
- [8] As general references : a) C. Case, P. Kohl, T. K. Kikkawa, and W. W. Lee, Eds. *Mat. Res. Soc. Symp. Proc.*, 476, (1997)., b) L. Peters, *Semiconductor International*, p.64, Sept. (1998)., c) H. J. Cha, *Polymer Sci. and Tech. (Korea)*, 7, 12 (1996).
- [9] L. Vanasupa, Y.-C. Joo, P. R. Besser, and S. Pramanick, *J. Appl. Phys.* 85 p. 2583 (1999).
- [10] G. Minamihaba, T. Iijima, Y. Shimooka, H. Tamura, T. Kawanoue, H. Hirabayashi, N. Sakurai, H. Ohkawa, T. Ohbarr, H. Egawa, T. Idaka, T. Kubota, T. Shimizu, M. Koyama, J. Ooshima, and K. Suguro, *Jap. J. Appl. Phys.* 35, p.1107 (1996).

저자 소개



김기범

1956년 7월 16일생, 1980년 2월 서울대학교 금속공학과 학사, 1983년 2월 서울대학교 금속공학과 석사, 1988년 6월 미국, Stanford University, Ph. D., 1988년~1991년 Philips Res.

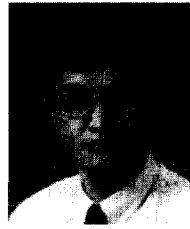
Lab, 연구원, 1991년~1992년 Applied Materials Inc, 연구원, 1992년~현재: 서울대학교 재료공학부 교수, <주관심 분야: ULSI 배선 공정 확산 방지막, Quantum Dot Formation, Nanolithography>



차국현

서울대학교 화학공학과 1981 학사, Korea Advanced Institute of Science and Technology, 화학공학과, 1983, 석사, Stanford University, 1989, Ph. D., Visiting Scientist, March

1989~March 1990, IBM Almaden Research Center, San Jose, California, U.S.A., Assistant Professor, February 1991~March 1995, Seoul National University, Seoul, Korea., Visiting Professor, September 1997~August 1998, Cornell University, Ithaca, N.Y., U.S.A., Associate Professor, April 1995~present, Seoul National University, Seoul, Korea, <주관심 분야: Nanopatterned Thin Films Using Block Copolymer Microphase Separation, Sol-gel Synthesis of Nanoporous Organosilicas By Using Block Copolymers, Ultrathin Multilayers Using Nano Technique, Low Dielectric Thin Films for Cu Chip, Intelligent Biopolymer, Polyurethanes Being Used in Artificial Organs, Macromolecular Dynamics at Interface>



김재정

1983년 서울대학교 화학공학과 학사, 1985년 서울대학교 화학공학과 석사, 1990년 Carnegie Mellon University, Ph. D., 1990~1991: 미국 Florida대학 Post Doc., 1991~1993: LG

선임연구원, 1993~1999: LG 반도체 중앙연구소 책임연구원 (선행공정개발실장), <주관심 분야: Metal interconnection for chip wiring, Capacitor electrode material, Development of CMP Slurries.>



朱永烈

1965년 1월 8일생, 1987년 2월 서울대학교 금속공학과 학사, 1989년 2월 서울대학교 금속공학과 석사, 1995년 2월 미국, MIT, Ph. D, 1995년 2월~1997년 12월: 독일, Stuttgart, Max-

Planck-Institute fur Metallforschung, 연구원, 1997년 12월~1999년 7월: 미국, San Jose, AMD, Sr. Engineer, 1999년 9월~현재: 서울대학교 재료공학부 조교수, <주관심 분야: USLI 배선 신뢰성 및 공정, Electronic Packaging, MEMS>