

특 집

Technology Trend of Ion Implantation Applications in CMOS Fabrication

심규하, 김용길
한국베리안(주)

I. 서 론

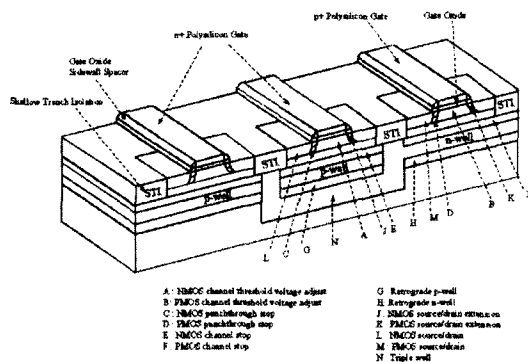
이온 주입 공정은 원하는 도판트 이온을 선택하여 웨이퍼 내 일정 깊이, 요구되는 양을 균일하게 넣어주는 공정이다. 이러한 이온 주입 공정은 반도체소자 제조 역사에서 고유의 정밀도와 고진공에서 진행되는 고정정, 저온 공정이라는 이점을 안고 대체 공정 없이, 최신 소자의 요구조건을 만족시키며 확고한 자리를 지켜왔다.

실리콘 반도체 CMOS 제조 기술에서 기본적인 이온주입공정은 다음과 같이 크게 4개의 영역으로 구분될 수 있다. <그림 1>

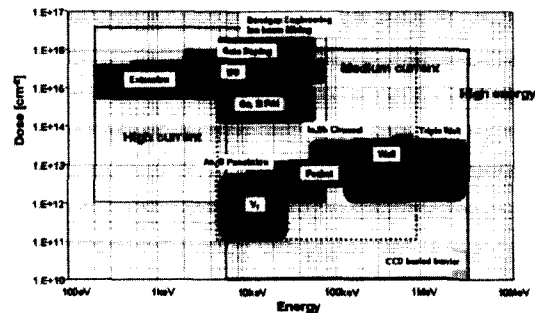
각 트랜지스터 절연을 위한 “Well” 공정
소자특성(문턱전압) 제어를 위한 “Channel” 도핑

Deep Source/Drain 및 Source Drain Extension

게이트 전극을 위한 “Polysilicon” 도핑



<그림 1> Implanted regions in advanced devices



<그림 2> Ion implanter classification and process applications

위 네 가지 영역을 형성하기 위해 사용되는 이온 주입기는 고 에너지 이온 주입기 (high energy implanter), 중 전류 이온 주입기 (medium current implanter), 고 전류 이온 주입기 (high current implanter) 등이 있다. <그림 2>

반도체 소자는 더 높은 집적도와 우수한 성능을 위해 크기와 동작전압의 scaling이 필수적으로 진행되어 오고 있는데, 이러한 요구 조건을 만족시키기 위해 각각의 이온 주입 공정은 발맞춰 조정 및 개발되어 왔다.

II. 본 론

1. Well Implants

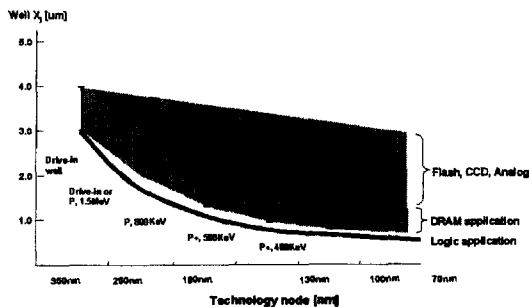
NMOS와 PMOS 트랜지스터는 반대의 전도성을 갖는 “Well”에 의해 절연된다. 초기 well 영역은 웨이퍼 표면 부분에 이온 주입한 뒤 1000 °C 이상의 고온 튜브에서 12시간에서 24시간 가

량 열확산 시키는 방식으로 형성되었으나(Diffused Well), 소자가 scale down 되면서 well 공정의 절연특성을 향상시키기 위해 고에너지 이온 주입기(high energy implanter)를 이용하여 소자간 측면 확산을 억제 시키고 깊이 방향으로 접합 형태가 가파른 “Retrograde well”기술이 사용되고 있다.

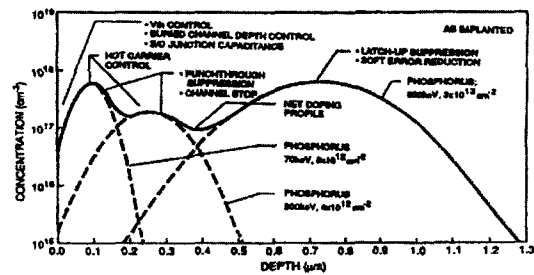
Retrograde well을 위한 이온 주입 조건은 소자에 따라 에너지에 차이가 있지만, MeV 정도의 높은 에너지가 요구된다.

플래쉬 메모리 소자, CCD 소자처럼 기생 트랜지스터에 의한 Latch-up 현상을 억제하기 위해 형성하는 buried layer의 경우, 수 MeV의 에너지로 이온 주입된다. 고 에너지 이온 주입기로 형성한 buried layer는 epitaxial 웨이퍼를 사용할 때 보다 latch up 현상을 개선시켰고, punchthrough를 억제 효과가 있으며, 비용 측면에서 저렴한 장점이 있다. Buried layer의 또 다른 장점은 고 에너지 이온 주입 동안 형성된 damage가 소자 구동 영역(channel region)에 존재하는 결함이나 불순물을 후속 열공정에서 제거시키는 “gettering sites”로 역할을 한다는 것이다.

빠른 스피드가 요구되는 MPU의 경우, 고 에너지 주입 기술은 두 가지 측면에서 한계가 있다. 즉 고 에너지로 주입된 웨이퍼에 발생된 damage는 소자 특성을 열화시키며, epitaxial 웨이퍼에 비해 웨이퍼 표면 특성이 열등한 단점이 있다. 이를 극복하기 위해 damage측면에서는 후속 RTP(rapid thermal process) 처리 방법



〈그림 3〉 Well junction trend



〈그림 4〉 Multiple Implanted Doping Profile of N-well

혹은 1E15 이상의 이온을 주입하는 방법이 제시되고 있으며, 웨이퍼 표면 특성 향상을 위해서는 수소 열처리와 low COP(crystal-oriented pits) type의 CZ 웨이퍼 사용 방법이 제시되고 있다.

하지만 생산 비용의 절감과 고집도를 통한 높은 수율이 주 과제인 DRAM 제조 과정에서 고 에너지 주입 기술은 매우 적합하여 대다수 DRAM 생산라인에서 고 에너지 이온 주입기 사용이 증가 추세에 있다. 특히, 트랜지스터간 절연을 위해 field oxide 혹은 STI(shallow trench isolation)에 의한 산화막이 형성되는데, 바로 아래 Si/SiO₂ 계면 근처의 well 농도를 높여 주기 위해 사용되는 “field isolation” 혹은 “channel stop” 주입 공정은 well 공정에서 주입되는 이온과 동일하고 에너지만 다소 낮기 때문에 고 에너지 이온 주입기(high energy implanter)에서 “chain process”에 의해 진공 파괴 없이 연속 공정으로 진행되고 있어, 고 에너지 이온 주입기의 수요는 증대되고 있다.〈그림 4〉 한편, 집적도를 높이는 과정에서 소자간 측면 절연 두께가 좁혀지고 있는데, 고에너지 이온 주입 공정 조건 중 tilt 각은 포토레지스트에 의한 “shadow effect”를 줄이기 위해 기존 5~7도에서 0도로 전환되고 있다. 이러한 관점에서 이온 주입기의 성능에서 입사각 조절 기술 및 평행한 이온빔을 형성할 수 있는 기술은 매우 중요하다.

2. Channel doping

MOS 트랜지스터에서 가장 중요한 인자인 문

턱전압(Threshold voltage, V_t)의 정의는 다음과 같다. 트랜지스터에서 입력은 게이트 전압(V_g)이고, 출력은 드레인 전류(I_d)인데, 게이트 전압에 따라 트랜지스터는 On/Off 동작을 하도록 설계되어 있다. 이러한 On/Off의 문턱이 되는 게이트 전압을 문턱전압이라 한다. 다시 말하면, 전류가 채널 영역을 지나, 신호를 전달하게 되는 초기 시점을 의미한다.

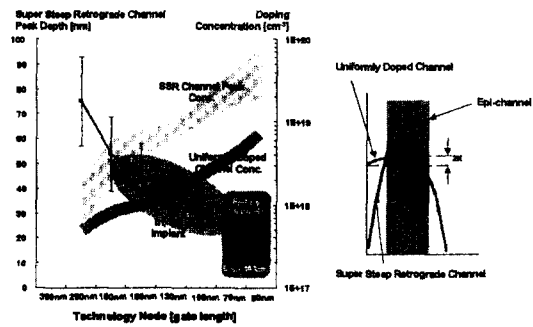
DRAM에서의 CMOS는 도핑 방법이 용이하고 공정이 단순한, n-type의 폴리실리콘을 게이트 전극으로 사용하고 있다. 그런데 n-type 폴리실리콘과 p-well, n-well 간의 일함수(work function)의 차이로 인해 NMOS와 PMOS 소자간 문턱전압의 비대칭이 발생하기 때문에, 이를 조절하기 위해 붕소(Boron)를 두 소자의 채널 영역에 이온 주입한다. 결과적으로, NMOS는 실리콘과 산화막 계면에 전하의 흐름이 발생하는 채널이 형성되며(surface channel), PMOS는 계면 아래 붕소가 주입되는 위치에 채널(buried channel)이 형성된다.

공정 단순화 측면과 채널 mobility 측면에서 PMOS의 buried channel은 이점이 있지만, 소자가 집적화 되어 채널 길이가 짧아짐에 따라 V_t 가 낮아지는 현상(short channel effect, V_t role-off)이 나타난다.

최신 고성능, 고속 메모리 소자 및 MPU의 p-MOSFET은 p-type 폴리실리콘을 사용함으로써 surface channel이 형성되었으며, 결과적으로 short channel effect가 완화되었다.

일반적으로 채널 도핑, 즉 V_t 조절을 위한 이온 주입 공정은 소자가 집적화됨에 따라 채널 공핍 영역의 scaling을 위해 중전류 이온 주입기(Medium Current Implanter)에서 이온의 에너지를 낮게, 채널 영역의 도핑 농도를 증가시키는 방향으로 진행되고 있다.<그림 5>

일부 초고속 MPU 소자의 경우 V_t 조절을 위해, NMOS 경우 Boron, BF_2 대신에 질량이 큰 Indium 이온을, PMOS의 경우 Phosphorus 대신에 Arsenic, 혹은 Antimony 이온을 주입한다. 이때 형성되는 채널 도핑 형태를 “SSR

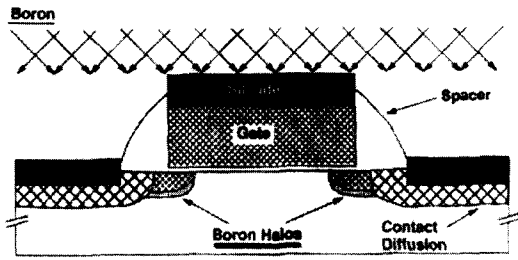


<그림 5> Channel doping trend

(super steep retrograde) channel”이라 한다. SSR 채널은 Si/SiO₂ 계면 아래 쪽에 매우 높은 도핑 농도를 갖고, 후속 열처리 공정동안 확산이 일어나지 않기 때문에 채널 지역에서 전자의 이동속도는 극대화 되고, short channel effect와 DIBL(drain induced barrier lowering) 현상이 상당히 개선된다. 하지만, 낮은 고체 고용도 및 낮은 활성화 효율 문제로 인해 고질량 이온 주입 방법은 일부 소자에 국한되어 적용되고 있다.

100nm 이하 소자에서는 질량이 매우 큰 이온 주입에 의한 단점을 극복하고, SSR 채널을 극대화 시키는 방법의 하나로 Epi 채널에 대한 연구가 진행 중이다.

V_t 조절을 위한 이온 주입 공정 외에 채널 영역에는 punchthrough stop 혹은 halo 이온 주입 공정이 중전류 이온 주입기(medium current implanter)에서 진행된다. 소자 동작 시 드레인 공핍 영역이 채널 영역으로 확장하게 되면 실제 채널 길이가 짧아지는 현상 때문에 문턱전압 아래에서(subthreshold) 누설전류가 증가하는 문제가 발생한다. (DIBL) 이를 억제하기 위해 NMOS에 Boron이나 Indium을, PMOS에 Phosphorus, Arsenic, 혹은 Antimony를 활성 채널 바로 아래, 소스 드레인 근접 위치에 이온을 주입한다. 반대 급부로, punchthrough stop 이온 주입은 소자의 전류 흐름을 억제하고, 열전자에 취약하게 만들 수 있기 때문에, 높은 각($10^\circ \sim 45^\circ$)으로 이온 주입하여 도판트를 게이



〈그림 6〉 Large tilt ion implantation process

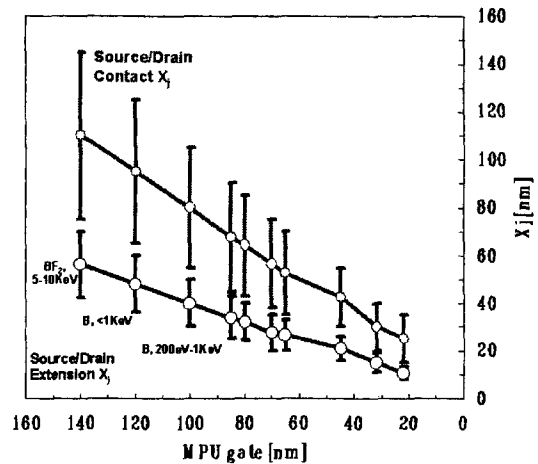
트 끝단 바로 아래에 위치시키는 방법이 개발되었다. 이를 “Halo”, “Pocket” 혹은 LATIPS (large angle tilt implanted punchthrough stopper) 공정이라 한다.

LADTIPS 공정은 소자의 비대칭을 막기 위해 중전류 이온 주입기 (medium current implanter)에서 bi-mode 혹은 quad-mode로 진행된다.〈그림 6〉

3. Deep source/drain 및 shallow extension implant

반도체 소자의 집적도가 급속하게 진행됨에 따라 야기되는 short channel effect를 최소화 하고, 고성능 소자를 제작하기 위해서, deep 소스와 드레인 및 extension 영역은 shallow junction을 형성과 정확한 gate overlap이 요구되고 있다.

Ultra shallow junction 측면에서 이온 주입 에너지는 급속하게 낮아지고 있으며-심지어 1 keV 이하까지-, 후속 열처리에 의한 확산을 억제하기 위해 열처리 조건의 최적화가 필수적이다.〈그림 7〉 PMOS 소스/드레인 extension을 형성하는데 있어서 이온빔은 주입에너지의 이점이 있는 BF₂에서 Boron으로 대체되고 있다. 이유는, 소스/드레인 extension 공정은 일반적으로 실리콘 폴리게이트 형성 뒤 진행되는데, 이때 실리콘 폴리게이트에 Fluorine이 주입되게 되면 Boron의 확산을 채널 영역으로 가속화시키는 역할을 하여 게이트의 전하 공핍, 채널 V_t 변화 등 예측하지 못하는 소자 특성 변화를 가져오기 때문이다.



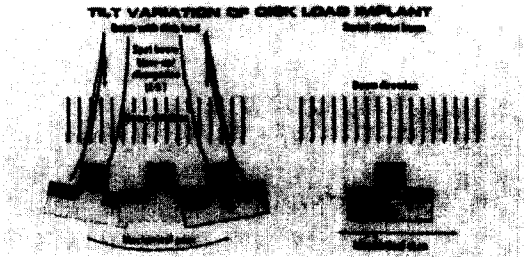
〈그림 7〉 Junction depth trend of deep source drain & source drain extension

Ultra low 에너지로 주입된 Boron 이온의 전기적 활성화는 확산을 억제하기 위해 1000°C~1100°C 영역에서 급속하게 진행되는 spike annealing 방법이 적용되고 있다.

Boron 이온 주입 전에 Ge 혹은 Si 이온을 1 E14도즈 이상 주입하여 실리콘 표면을 비정질화시킨 후, Boron을 1keV 이상의 에너지로 이온 주입하여, 보다 저온인 550°C~800°C 영역에서 진행되는 SPE (solid phase epitaxial) 재결정 방법은 도판트 확산을 억제할 수 있다는 점에서 우수한 공정이지만 실제 소자를 제작하는데 있어 후속 고온 공정의 수정이 불가피한 단점이 있다.

일반적인 이온 주입기에서 Ultra low energy는 이온빔의 물리적 특성상 200eV 이하로 진행하기에 한계가 있기 때문에 70nm 소자 이하의 요구 조건을 만족시키기 어렵다. 플라즈마 도핑 기술은 (PLAD 혹은 PIII) 35nm 소자의 요구 조건인 junction 10nm, Rs 100~400 ohm/sq를 충족시킬 수 있을 것으로 연구 중에 있다.

정확한 gate overlap 측면에서 소스/드레인 형성 시 포토레지스트의 shadowing을 최소화하기 위해 이온 주입 각은 0도로 전환되고 있다. 이는 Well 공정에서 논의되었던 것처럼, 이온주입기의 성능에서 입사각 조절 기술 및 평행한 이온빔을 형성할 수 있는 기술은 매우 중요하다. 특



〈그림 8〉 Parallel beam vs. beam blow-up at 0 degree tilt

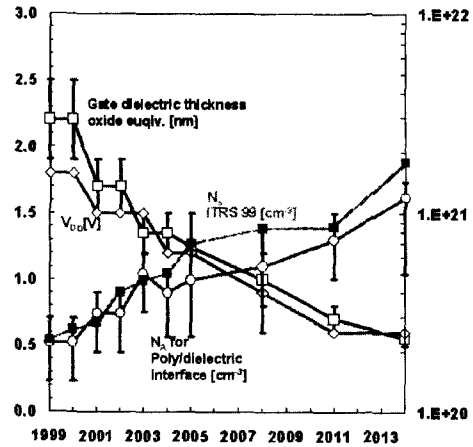
히, 소스/드레인 공정은 이온빔의 에너지가 낮기 때문에, 이온빔 자체의 blow-up 현상에 의한 입사각의 변화와 이온 주입기 자체가 갖는 tilt/twist variation은 gate overlap 관점에서 소스/드레인은 비대칭 현상을 유발할 수 있고 따라서 반도체 소자의 특성 열화 및 생산성 저하를 초래하게 된다. 이러한 관점에서 소스/드레인 공정을 진행하는 고 전류 이온주입기 (high current implanter)는 웨이퍼를 여러 장 진행하는 Batch 형식에서 한 장씩 진행하는 Single type으로 전환되고 있다.〈그림 8〉

4. Gate electrode doping

CMOS 트랜지스터의 게이트 전극은 폴리실리콘 막을 증착하여 형성되는데, 초기 증착 상태의 폴리실리콘은 저항이 커서 소자를 구동하기에 적합하지 않다. 따라서, 게이트 전극으로서 충분히 낮은 저항값을 갖도록 하기 위해 추가적인 도판트를 도핑한다. 이를 위해 기존의 고온 로 (furnace)에서 화학적으로 도핑하던 기술은 게이트 전극과 산화막의 경계면 근처에서 도판트 공핍현상에 의한 게이트 산화막의 effective thickness 증가 현상을 억제할 수 없기 때문에 이온 주입 방법으로 전환되고 있다.

게이트 도핑은 일반적으로 PMOS, NMOS 소스/드레인 공정 시 고 전류 이온 주입기 (high current implanter)에서 동시에 이루어지는데, 게이트 산화막의 지속적인 scale down으로 인해 도핑 농도는 증가 추세에 있다.〈그림 9〉

최신 소자의 경우, 소스/드레인의 ultra shal-



〈그림 9〉 Gate doping trend

low junction 요구 또한 만족시키기 위해 게이트 도핑은 독립적으로 진행되는 경향이 있다.

최종적으로 폴리실리콘의 도판트 고용한계 및 경계면에서의 도판트 공핍 현상의 한계에 대한 대처안으로 금속 전극에 대한 연구가 진행되고 있다.

III. 결 론

이온 주입 기술은 solid state 소자를 제작하는데 있어 필수적이다. 소자가 scale down되고 고집적화 되면서 직면하게 되는 문제들로 인해 새로운 공정 방법이 연구되어 도입되고 있는 현재, 이온 주입 기술은 공정 용이성, 타 공정과의 양립성 및 양산 적용 시 cost 측면에서 효과적인 장점을 지니고 있기 때문에 앞으로도 집적회로를 제작하는데 있어 필수적인 공정으로 자리 매김할 것이다.

참 고 문 헌

(1) J. F. Ziegler, "Ion Implantation Science and Technology", Ion Implantation

Technology Co., 2000

- [2] P. Cappeletti, et al., "Application of Advanced Ion Implantation Techniques to Flash Memories", Nucl. Instrum. and Meth. In Phys. Res., p. 405, Vol. B 96, 1995
- [3] J. Boland, "Advanced Ion Implantation Brings New Changes", Semiconductor International, p. 70, April 2001
- [4] U. Jeong, "Spreadsheet Calculations of Doping Requirements for Roadmap", 2000
- [5] S. Song et al, "On the Gate Oxide Scaling of Sub-100nm High Performance CMOS Transistors", The 8th Korean Conference on Semiconductors, p. 39, 2001
- [6] C. Osburn, "Directions in Advanced Doping One Perspective", VSEA internal Report, 1999
- [7] K. Rinmen, "A Business Perspective on the National Technology Roadmap for Semiconductors", Dataquest, 1999
- [8] L. Rubin, et al., "High Energy Ion Implanters and Applications Take Off", Semi. International, p. 77, April 1997

저자 소개



沈揆夏

1971년 1월 30일생, 1994년 2월 한양대학교 무기재료공학 학사, 1996년 2월 한양대학교 무기재료공학 석사, 1996년 1월 : 한국 베리안(주) 부설연구소 입사, 1999년 10월~현재 : 한국 베리안(주) 연구소팀장 발령, <주관심 분야 : 반도체 분야>



金容吉

1957년 1월 16일생, 1980년 2월 서울대학교 금속 공학 학사, 1982년 2월 서울대학교 금속 공학 석사, 1988년 5월 Massachusetts Institute of Technology 재료공학 박사, 1988년 7월~1989년 7월 : IBM T.J. Watson Research Center, 1989년 8월 : Varian Associate, Inc. 입사, 1997년 5월 : 한국 베리안(주) 부사장 발령, 1999년 4월~현재 : 한국 베리안(주) 대표이사, <주관심 분야 : 반도체 분야>