

삼성의 Multi-GHz CPU 개발

박 성 배

삼성전자(주) 반도체 총괄 System LSI 사업부 수석연구원

I. CPU 성능 개선과 Alpha CPU

1971년 750KHz에 동작되는 미국 인텔사의 i4004가 세계 최초의 마이크로프로세서로 발표되면서 2001년 1.7GHz의 Pentium 4가 판매되기 까지 마이크로프로세서는 혁신적인 속도 개선을 계속해 왔다. 2001년말 인텔은 2.2GHz 0.13um Pentium 4 CPU를 판매할 예정으로 알려져 있어, 동작 주파수면에선 지난 30년간 3,000배가 개선됨으로 매년 30% 이상 개선되어 왔으며, 매달 2.5%씩 빨라져 왔다.

명령어 처리 속도면에서는 i4004가 최소 8개의 clock을 사용함으로 1개 명령어 처리에 10.8us이 소요되었다. Pentium 4에서는 3개의 명령어를 단일 사이클에 처리하는 22-24 deep pipeline 마이크로아키텍처 덕분에 1개 명령어 처리에 최소 0.33 clock을 사용함으로 0.15ns이 소요된다. 이로서 초당 명령어 처리 개수는 i4004에서 94,000개 명령어를 처리하던 것이 Pentium 4에서는 66억개 명령어를 처리함으로 70,000배의 성능이 개선되었다. 이것은 매년 45%씩 성능이 개선되어 온 것이며 매달 3.75%씩 개선되어 가고 있다.

마이크로프로세서의 기술은 말 그대로 자고나면 개선되고, 한 달이 지나면 뒤쳐지며 1년이 지나면 따라가기 불가능한 속도로 발전되고 있다.

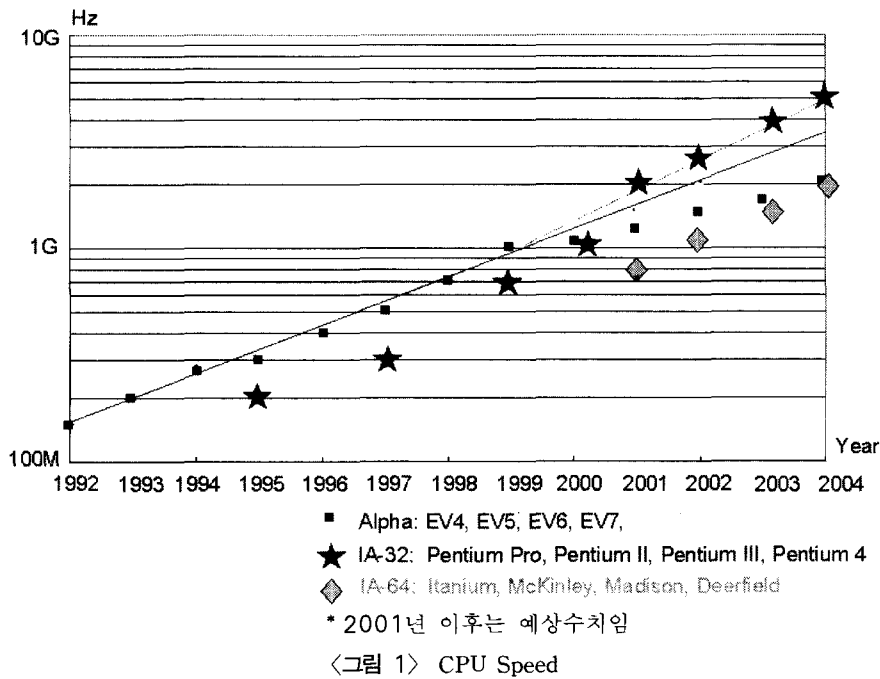
지난 30년 간 모두 70,000배의 성능이 개선되는데는 주파수에서 3,000배, 마이크로아키텍처에서 24배의 개선 결과로 나누어 생각할 수 있다. 즉, 반도체 기술 및 회로 설계 기술의 발전에

기인한 동작 주파수 개선과 컴퓨터 아키텍처 기술 및 마이크로아키텍처 기술에 기인한 사이클당 명령어 처리 개수의 두 부분으로 주파수는 750KHz에서 2200MHz로, CPI는 8 사이클에서 0.33 사이클로 발전되어 온 것이다.

인텔 i4004가 10um 1-metal PMOS 공정 기술을 사용한다에 비해 2.2GHz Pentium 4는 0.13um 6-metal CMOS 공정을 사용할 것으로 예상되어, geometry면에서는 77배 줄어 들었다. 따라서 채널 폭으로만 보면 전자의 이동 거리가 단순히 77배 빨라진 정도이나 면적에서 보면 6,000배가 줄어든 결과, 면적 성분의 capacitance 개선 효과, 회로 설계 기술들이 복합적으로 작용하여 4비트에서 32비트, 칩 사이즈의 대폭 증가에도 불구하고 7,000배 이상의 속도 개선을 달성하고 있다. 사용된 트랜지스터 개수면에서는 i4004가 2,300개인데 비해 Pentium 4는 42M로 18,260배 증가함으로 VLSI 설계 및 CAD 기술의 발전정도를 가늠할 수 있다.

Alpha CPU는 1991년 다른 CPU들이 40-50MHz로 동작될 때 200MHz의 동작 속도로 발표되어 세계에서 가장 빠른 CPU로 발전되어 왔다. <그림 1>에 보인 바와 같이 발표된 이후 CPU 분야 속도 경쟁의 견인차 역할을 해오고 있다.

삼성에서는 1996년 Compaq(당시 DEC)의 Alpha CPU를 라이선스하여 지난 5년간 설계, 공정, 패키징, 테스트, qualification, platform 개발, 마케팅 등 CPU의 전 분야에 대해 Compaq사와 공동으로 초고속 초고성능 CPU 사업을 전개해 왔다.



삼성은 1996년 6월 라이선스 계약 이후 그 해 10월 500MHz급 21164의 첫번째 working die를 획득했으며, 1997년 여름부터 600MHz급 제품 판매를 개시하였다. 1997년 10월에는 당시로서는 차세대였던 21264의 0.25um 700MHz급 CPU를 획득하고, 1999년에는 세계에서 처음으로 1GHz CPU를 PC Expo에서 데모하였다.

이와 같은 과정을 통해 삼성전자는 독자적인 CPU 설계, 공정은 물론 보다 개선된 형태의 다양한 연구 개발을 추진하여 1999년 2월 ISSCC에서 SOI 신기술을 적용한 600MHz 21164 CPU를 발표하였으며 2000년 10월 Microprocessor Forum에서 14-way 2MB on-chip cache를 내장한 21264E의 마이크로아키텍처를 발표하였다^{[1]-[5]}.

II. Multi-GHz CPU 설계 기술

삼성은 도입된 Alpha CPU의 방대한 기술을

바탕으로, 첨단 64비트 CPU의 7대 초고성능 마이크로아키텍처 설계 기술 및 7대 초고속 회로 설계 기술을 중점 개발하고 있다.

7대 초고성능 CPU 마이크로아키텍처 설계 기술

- 10-12 stage의 deep파이프라인 partitioning 설계 기술
- 3-level(local, global 및 choice)을 이용한 정교한 branch prediction 구현 기술
- 다양한 Queue를 사용한 Non-Blocking Instruction Stream 및 Data Stream 버퍼링 기술
- Out-of-Order 명령어 처리를 위한 Instruction Pipeline Trace, Register Rename 및 Retire 구조설계 기술
- Multi-GHz를 위한 Integer, FP, MM DP clustering 설계
- MP protocols, Cache Coherence 구조
- Simultaneous Multithreading(Very Fine Grain) 구조 설계 기술

	Current Design		Target Design	
	0.13um	0.13um SOI	0.13um	0.13um SOI
GCLK to Data Bus Sampling Clock	44	35	44	35
Data Bus Sampling Clock to Input FF Output	43	34	43	34
Input FF to K/P Terms	78	62	45	36
K/P to K ¹ /P ¹ Buffered	30	24	30	24
K ¹ /P ¹ to Enable Carries C0/C1	70	56	45	36
Enable C0/C1 to C0/C1 Output	102	82	45	36
C0/C1 Output to Adder Output	107	86	45	36
Critical Path(ps)	474	379	297	238
Frequency(GHz)	2.11	2.64	3.37	4.21

Adder Area : ADDI/ADD/ADDO for 345um×239um[0.08mm²] @0.13um 7-Cu

<그림 2> 32-Bit Adder 설계

7대 초고속 CPU 회로 설계 기술

- Full Custom Tile-Based Multi-GHz CMOS design methodology
- Intensive Dynamic, enhanced DCVS, Multi-Domino CMOS circuit styles
- 초고속 Circuit Module (Adder, Multiplier, FPU, Cache, RF) 설계 기술
- 초고속 저전력 소모를 위한 Low Swing Sense Amp. Flip-Flop 및 Bus 기반 설계
- 20ps clock skew 초고속 Clock Tree 설계 기술, power distribution 및 4GHz PLL 설계 기술
- Race, static timing, EM, Hot Carrier 등 Extensive Circuit Verification 기술
- Cu, SOI (Silicon-On-Insulator), Low-K, Flip Chip 등 첨단 기술 적용 설계 기법

위와 같은 설계 기술의 예로 삼성에서 개발되고있는 초고속 Circuit Module 중 하나인 32비트 adder 설계 결과를 <그림 2>에 도시하였다. 현재 0.13um 공정 기술 적용시 2.1GHz이나 새로운 타겟을 설정하여 0.13um SOI 기술 적용시 4GHz까지 동작하도록 설계되고 있다.

III. Multi-GHz CPU 공정 기술

이러한 초고속 초고성능 CPU 개발이 삼성에서 가능한 것은 우수한 반도체 제조 및 기술력에 기반을 둔 Technology Driven 방식의 개발을 지향하며, 부단없이 Cu, SOI, Low-K, Flip Chip 등 국내에는 생소한 초고속 기술을 성공적으로 개발해왔기 때문이다. 이러한 기술들은 아직 메모리에는 본격적으로 사용되지 않음으로 국내에서는 처음으로 비메모리 기술이 첨단 고속 공정 기술을 선도한 모델을 구축하였다.

이로서 삼성은 0.13um 비메모리 기술에서 세계 최고 수준의 경쟁력을 갖는 기술을 개발해 나가고 있다. 참고로 삼성의 0.18um 및 0.13um technology에 대해 <그림 3>에 정리하였다. 그림에 보인 것과 같이 삼성은 Bulk 기술뿐만 아니라 SOI 기술에 대해서도 괄목할 만한 성과들을 얻어내고 있다.

특히 SOI는 0.13um-0.10um에서 가장 크게 부각될 SER(Soft Error Rate)을 해결할 수 있는 유일한 방안으로 속도 개선, 전력 소모 절감, Substrate Noise Free의 많은 장점과 더불어 Bulk를 대체해 mandatory 할 것으로 예상되고 있다. 이것은 반도체 설계시 메모리 셀은 물

Technology	0.18 μ m Cu	0.18 μ m Cu/SOI(BF)	0.18 μ m* Cu/SOI(BC)	0.13 μ m Cu	0.13 μ m Cu/SOI(BF)	0.13 μ m* Cu/SOI(BC)
VDD(V)	1.65	1.65	1.65	1.2	1.2	1.2
• Target						
ID satn measure VDD	1.5	1.5	1.5	1.2	1.2	1.2
ID satn/p(uA/um)	860/380	860/380	860/380	840/350	840/350	840/350
ID offn/p(uA/um)	1.0/1.0	1.0/1.0	1.0/1.0	10.0/10.0	10.0/10.0	10.0/10.0
• SPICE Results						
ID satn/p(uA/um)	842/360	843/346	745/349	798/345	846/302	827/301
ID offn/p(uA/um)	1.2/1.0	3.4/7.0	0.3/7.0	15.4/13.8	17.0/10.4	6.6/8.8
Vth n/p(V)	0.46/0.43	0.48/0.42	0.48/0.42	0.36/0.46	0.39/0.33	0.39/0.33
Ring OSC. Speed Up	1	3.5%	4.9%	1	19.6%	19.7%
-wp/wn : 20um/10um(ps)	14.0	13.8	14.5	11.1	9.6	9.7
-wp/wn : 6um/4um(ps)	13.5	13.9	15.0	10.7	9.7	9.8
32-Bit Adder	—	—	—	2.1GHz	2.6GHz	—

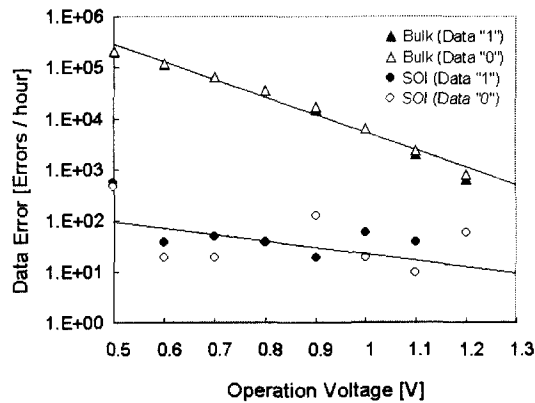
*Simulated based on BF(Body Floating) for BC(Body Contacted)

〈그림 3〉 삼성 CPU 기술

른 일반 로직에서도 Qcrit을 25fC 이하로 가져 갈 경우 치명적인 SER 문제를 야기시킴으로 Bulk를 계속 사용시 SER 문제가 심각하여 회로 사이즈를 더 이상 scaling 할 수 없기 때문이다.

SER은 주로 패키지의 알파 파티클들과 우주 선의 감마선들로 penetration junction이 bulk에서는 10um 정도에 이르는데 비해, SOI에서는 0.1um 정도의 junction이 BOX에 받혀져 있음으로 이론적으로 100 : 1 정도의 우수성을 갖고 있으며 〈그림 4〉에 보인 바와 같이 실제 측정 결

□ SOI offers 100 times better SER than bulk.



〈그림 4〉 SER results from 0.13 μ m 1M SRAM

과도 동등의 결과를 보여주고 있다.

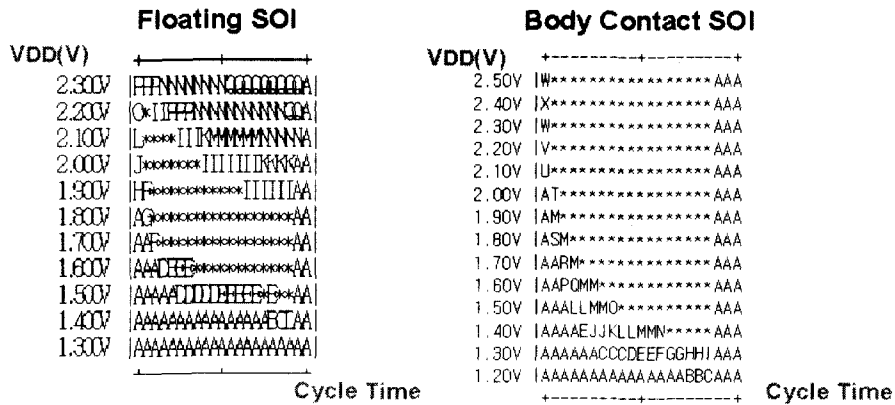
SOI를 이용한 Alpha 21264 CPU는 이론적인 개선치 20-30%를 훨씬 넘는 40%의 성능 개선을 보여주고 있으며, 단순한 인버터 체인은 이론적 개선치에 근접한 26%의 속도 개선을 보여주고있다. 이것은 Bulk 기술의 junction cap이 최적화 되기전 비교 모델이긴 하나, Alpha CPU와 같이 intensive dynamic circuit(domino, low swing-all NMOS junction dependent) 구조에서 SOI의 추가 성능 개선이 가능함을 보여준다.

여기에 더해 삼성은 독자적인 설계 기술을 개발하여 기존의 Bulk DB를 그대로 사용하여 SOI화 할 수 있는 기술을 보유함으로써 경쟁력을 극대화 시키고 있다. 〈그림 5〉에 삼성의 독자적인 SOI 설계 기술을 적용한 21264 CPU의 shmoo를 floating SOI CPU와 비교하였으며 〈그림 6〉에 full chip 40% 속도 개선, 400 stage의 inverter chain 26%의 속도 개선 결과를 도시하였다.

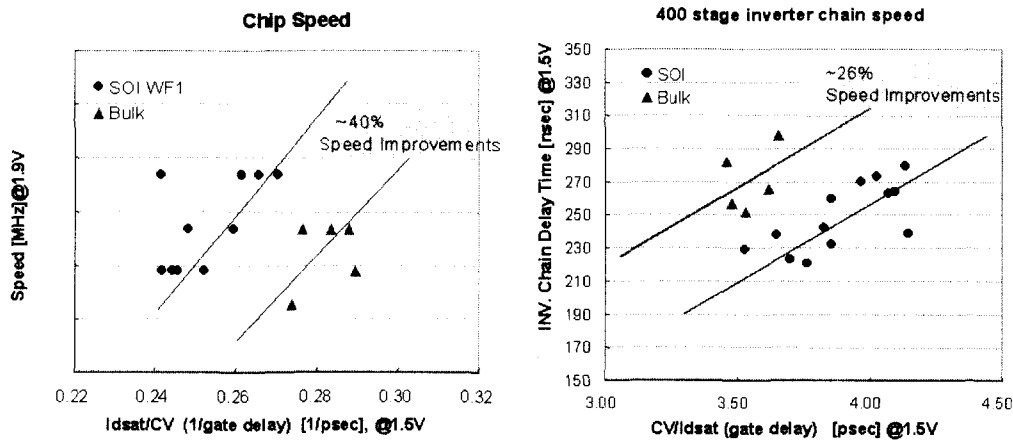
CPU에서 사용되어 온 첨단 마이크로아키텍처 기술과 회로 설계, 공정, 패키지, 테스트 기술들이 System LSI 분야의 기술을 선도하며 수년 전내 대부분의 칩 설계에 적용되어 온 예를 보아

□ Operating speed @ Same CV/I

- Whole chip: 40% faster than that of Bulk
- 400 stages whole chip inverter chain: 25% faster than that of bulk



<그림 5> SOI Alpha CPU Results



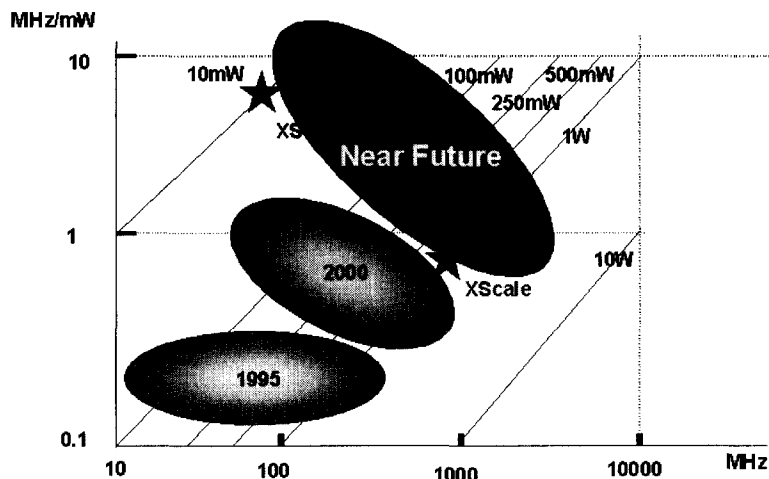
<그림 6> SOI Speed Results

삼성은 개발된 기술을 최대한 자체 제품에 확대 적용하여 경쟁력을 높여갈 것이다.

IV. Multi-GHz CPU 향후 개발 방향

삼성은 Alpha CPU를 기반으로 세계 최고속 최고성능 CPU의 설계, 공정, 테스트, 패키징,

qualification, platform 기술을 개발하여 왔다. 인텔은 2002년 2.4GHz Pentium 4 CPU를 발표할 것으로 알려져 있고, 여기에 5GHz Pentium 4를 demo 할 것으로 보도되고 있다. 이것은 superpipelined되어 있는 10GHz의 32비트 adder를 동작시킨다는 것으로 demo 2-3년 이내에 제품화가 되어 온 전례에 비추어 초고속화의 경쟁은 끝없이 이어질 것이다. 앞서 서두에서 밝혔듯 CPU 분야는 daily base로 성능과



〈그림 7〉 Future Embedded CPU

속도가 치열하게 개선되고 있다. 그러나 PC용 CPU는 x86 라이선스가 문제로 국내 업체가 진입하기 어려운 부분이며, Server용 CPU도 독자적인 생존에 한계가 있으므로 고성능 CPU 기술을 활용하여 삼성은 자체내 타제품 경쟁력 극대화와 초고속 Network Processor 및 embedded CPU를 개발 중에 있다.

이러한 속도 경쟁은 low end CPU에도 적용되어 〈그림 7〉과 같은 수준의 CPU들이 PDA, MIA, Internet Backbone, Storage, 3G Mobile 등에 적용되어 갈 것이다.

그 중에서도 Internet Backbone에 사용되는 Network Processor는 가장 유망한 분야 중 하나로 이미 상당수의 업체들이 40Gbps/OC-768 Network Processor에 대해 개발중임을 밝히고 있다.

Network Processor가 Multi-GHz로 동작되어야 하는 데는 다음과 같은 이유가 있다. Network의 wire speed는 OC-48에서 2.5 Gbps, OC-192에서 10Gbps, OC-768에서 40 Gbps로 각각 4배씩 증가하는 모델이다. 이러한 wire speed에 맞추어 40Gbps/OC-768 Network Processor는 다음과 같은 일들을 처리해야 한다^[6].

- Packet Processing : 최단시간 내 처리 완료
- Buffer와 Look-Up Table 메모리에 충분한 대역폭 제공
- 10Gbps/OC-192 시스템에서 S/W reuse

Packet Processing에는 classification, filtering, resolving destination(s), assigning appropriate QoS(priority and bandwidth), modifying relevant fields, queuing a packet for transmission to its destination들의 일이 포함되며 wire speed로 이 일들을 처리하는데는 40Gbps에서 64바이트의 Ethernet frame 처리에 16ns, 40바이트의 POS(Packet Over SONET) 처리에 10ns이 주어지게 된다. 위와 같은 작업을 처리하는데 보통 수 백개의 명령어를 처리해야 함으로 10ns 내에 500개 명령어를 처리한다고 가정할 때 명령어당 주어지는 처리 시간은 0.02ns으로 현재 반도체 구현 기술을 0.13um에서 최대 2GHz로 가정시 0.5ns가 최소 시간으로, 0.02ns까지 낮추려면 CMP(Chip Multiprocessor) 혹은 SMT(Simultaneous Multithreading) 기술이 필수로 사용되어야 한다.

CMP 혹은 SMP에서 ILP(Instruction Level Paralellisim)를 25까지 확장시키는 것이 필

요로 되어 초고속 초고성능 CPU 기술이 반드시 적용될 분야이다.

초대용량 메모리 대역폭은 각 프레임 작업시 필요로 되는데 메모리는

- Packet Storage (Buffering)
- Routing and Policy Look Up Table

의 두가지 종류가 있다.

Packet 메모리는 처리 과정중 프레임은 다음과 같은 목적으로 액세스하게 된다.

- 입력 프레임 접수용 read
- Classification과 modification을 위한 read
- Modified information의 write
- Frame의 다음 작업 전송을 위한 read

이로서 버퍼 메모리는 wire speed 대비 4배의 대역폭을 가져야 하며 full-duplex에서는 여기에 다시 2배가 된다. 즉 40Gbps 링크를 위해서는 320Gbps의 대역폭이 필요하며 DRAM bus usage를 60%로 가정시 필요한 실제 대역폭은 500Gbps 수준이다. 266MHz DDR 적용시 2,000핀이 요구됨으로, on-chip buffering이 필수적이 될 것이며, 이것은 삼성에서 동시에 개발되고 있는 0.13um MDL(Merged DRAM Logic) 공정 기술이 적용될 분야이다.

각 처리 작업은 특정 프로세서 아키텍처 특성, 프로그래밍 모델, 개발 환경 등에 맞추어 막대한 소프트웨어 투자가 진행됨으로 시스템 벤더들은 당연히 기 개발된 S/W를 수정없이 사용하고자 한다. 여기서 아키텍처 호환성이 상당한 문제이며 Broadcom(SiByte) SB-1250 CPU가 MIPS 구조를 선택한 것은 바로 이 때문이다.

OC-192 10Gbps에서 시스템 벤더들은 OC-48 2.5Gbps의 S/W를 제대로 활용하지 못한 것으로 알려져 있다. 따라서 Network Processor를 사용할 System Vendor들은 차세대 OC-768에서 더욱 까다롭게 S/W 호환성을 요구할

것으로 예상되어 아키텍처의 선정은 그만큼 중요하다.

삼성은 이 분야에 open-architecture에 가깝고, 다양한 S/W 솔루션과 OS를 지원하고 있으며, 이미 다양한 제품군이 개발되고 있는 ARM을 선정하여 초고속 NPU 및 Embedded CPU 개발을 추진해 나갈 예정이다.

V. 결 론

삼성은 Alpha CPU 개발을 통해 종합적인 초고속 초고성능 CPU 기술을 개발하여 왔다. 2000년대의 키워드, Smart and Fast에 부합될 Multi-GHz 고성능 CPU 기술을 활용하여 차세대 Network CPU 및 Embedded CPU 분야에 대한 개발은 메모리에 치중된 국내 반도체 산업의 구조적 취약성을 크게 개선시켜 줄 것이라는 사명감을 갖고 이 분야 개발에 더욱 박차를 가해 나갈 것이다.

참 고 문 헌

- [1] B. Schneider et al., "A 1GHz Alpha microprocessor," in ISSCC Digest of Technical Papers, pp. 86-87, Feb. 2000.
- [2] Young Wug Kim et al., "A 0.25 μ m 600 MHz 1.5V SOI 64-bit ALPHA Microprocessor," in ISSCC Digest of Technical Papers, pp. 432-433, Feb. 1999.
- [3] Sung Bae Park et al., "A 0.25 μ m 600 MHz 1.5V FD-SOI 64-bit ALPHA Microprocessor," IEEE J. Solid-State Circuits, vol. 34, no. 11, pp. 1436-1445, Nov. 1999.
- [4] Sung Bae Park, "21264E: An Alpha Microprocessor with Fast and Smart L2 Cache." in Microprocessor Forum,

- Oct. 2000.
- [5] D. Carlson et al., "A 667MHz RISC microprocessor containing a 6.0ns 64b integer multiplier," in *ISSCC Digest of Technical Papers*, pp. 294-295, Feb. 1998.
- [6] Amir Eyal, "Challenging in designing 40GB Network Processors." *MICRO-PROCESSOR REPORT*, June 18, 2001

저자 소개



朴 星 培

1958년 8월 12일생, 1981년 2월 고려대학교 공과대학 전자공학과 (공학사), 1989년 8월 고려대학교 대학원 전자공학과 (공학석사), 1988년 8월 전지기술사(전자계산기 분야), 1982년 3월~

1991년 2월 : 한국전자통신연구소 선임연구원, 1991년 3월~현재 : 삼성전자(주) 수석연구원, <주관심 분야 : CPU 설계>