

광 연결기술의 현황과 전망

이용탁

광주과학기술원 정보통신공학과

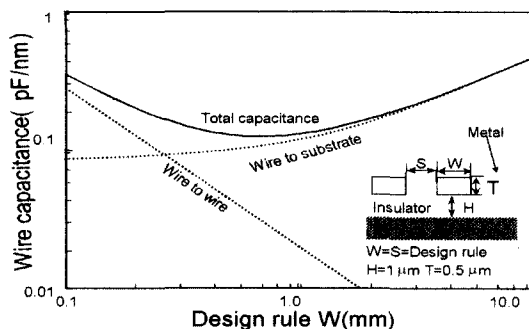
I. 서론 : 전기적 배선의 물리적인 한계

컴퓨터 CPU와 같은 ULSI에서 그 성능을 나타내는 핵심지표는 데이터 처리속도이다. 현재 컴퓨터 CPU(MPU)와 메모리는 1GHz 내외의 클럭(clock) 속도를 갖는 칩들이 개발되고 있다. CPU와 메모리칩에서 이러한 빠른 클럭 속도의 성취는 $0.2\mu\text{m}$ 이하의 미세 선폭을 갖는 소자 제작기술의 개발에 기반을 두고 있다. ULSI 각 소자의 동작속도는 이론적으로 수백GHz까지도 가능하지만, 현실적으로는 소자 간 배선에서 데이터 전송속도 지연 때문에 Gb/s의 이상의 전송속도를 얻기가 매우 어렵다.

배선에 의한 속도지연은 칩 내부뿐만 아니라 칩과 칩 사이, 보드와 보드 사이, 기기와 기기 사이로 데이터 연결거리가 멀어질 수록 더욱 심각해진다. 현실적인 예로써, CPU의 클럭 속도가 500MHz급인 현재의 PC에서 CPU-메모리 칩 사이, 보드-보드사이의 데이터 전송 속도는 수십 MHz대로 떨어지는데, 이는 배선이 PC 전체 데이터 처리속도를 제한하는 병목구간이 되고있음을 말한다.

배선에 의한 신호처리 속도의 병목현상은 ULSI의 집적도가 기가비트급, 테라비트급으로 올라갈수록 더욱 심각해진다. 이것은 배선간격이 더욱 좁아져야 하므로 전자기적 간섭(electromagnetic interference : EMI)이 커지고 따라서 데이터 속도는 더욱 제한을 받을 수밖에 없기 때문이다.

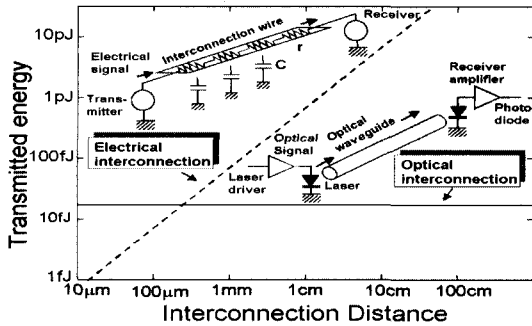
미세 금속배선에서의 이러한 속도제한은 LC



〈그림 1〉 배선의 폭에 따른 커패시턴스의 변화

지연과 높은 전력손실에 기인한다. 〈그림 1〉에서 보듯이 금속배선 간격이 $1\mu\text{m}$ 이하로 작아지면 금속 배선간의 정전용량의 증가로 전체 정전용량은 증가한다. 결과적으로 GHz 이상의 고속 신호를 전달하는 Si-ULSI 회로, RF 회로, 마이크로웨이브, 밀리미터웨이브 회로에서 RC 지연, 높은 전력소모, EMI 등의 문제가 발생되고 있다. 이러한 문제들은 광연결에 의해 근본적으로 해결될 수 있다. 광연결은 1) 데이터 수송의 밴드폭이 높고, 2) EMI가 적은 장점 이외에도, 3) 공간적 병렬처리가 가능하고, 4) 장거리 전송에서 소비전력이 낮고, 5) 신호지연이 적고, 6) 접지를 통한 잡음전류가 없다는 장점이 있다. 이러한 장점은 전기적 배선에서의 걸림돌을 제거하고 ULSI 칩의 고속화에 혁신적인 해결책을 제공할 것으로 기대되고 있다.

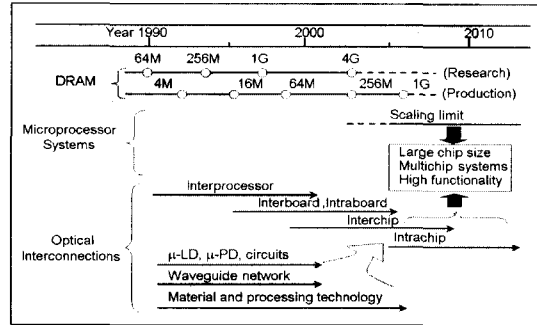
〈그림 2〉는 연결거리에 따른 소비전력을 나타낸다. 현재의 최고 기술을 광소자 및 회로에 적용할 경우 1Gb/s의 속도로 1mm 이내의 데이터 연결에서 광연결이 전기적 연결보다 소비에너지를



〈그림 2〉 연결거리에 따른 소비에너지

가 적을 수 있다. 이와 같이 광연결은 원리적으로 장점들이 많으나, 광/전 신호변환과 광소자와 전자소자의 집적 등 해결해야 할 기술적인 문제들이 아직 많이 남아있다. 한편 THz 동작 소자의 구현을 위해 단전자 트랜지스터 (single electron transistor), spintronics나 나노 튜브를 이용한 트랜지스터 등이 연구되고 있는데 이 경우에도 전기적 배선에서 오는 신호지연과 누화 문제는 여전히 숙제로 남아있을 것이다. 따라서 광연결로 이러한 전기적 배선에서 문제를 선결함으로써 CPU(MPU)와 메모리 칩의 용량과 함께 동작 속도와 데이터 처리속도에서 오는 병목을 해결할 수 있다.

〈그림 3〉은 대표적인 ULSI칩인 DRAM의 집적도 향상에 따른 광연결 기술의 적용단계를 보여주고 있다. 광연결의 단계는 칩의 집적속도 향상과 아울러 캐비닛간 (intercabinet), 보드간 (interboard), 모듈간 (inter-multichip module), 칩간 (interchip), 칩내 (intrachip) 연결로 진보



〈그림 3〉 DRAM의 집적도 향상에 따른 광연결의 진화 예상도

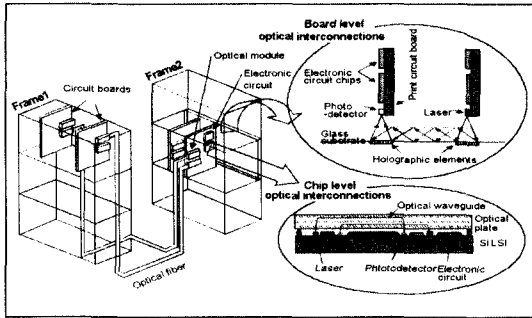
할 전망이다.

한편 컴퓨터 구조적 측면에서 볼 때 이러한 광연결 단계는 필연적인 것이다. 컴퓨터의 데이터 처리 속도는, 아래 〈표 1〉에서 보는 바와 같이, 1) CPU/메모리 칩내에서 배선, 2) CPU/메모리-CPU간 칩간 배선, 3) 컴퓨터간 뒷판에서 배선의 순서로 떨어진다. CPU-메모리 사이의 클럭 속도는 메모리에 의해 제한되므로 CPU-메모리간 배선에서의 속도 제한 문제가 상대적으로 덜하다. 그러나 여러 개의 CPU를 사용하는 시스템에서는 CPU간 전송속도의 제한은 심각한 문제가 된다.

CPU 간, 또는 CPU-메모리 간의 병목현상을 피하기 위한 다른 방법으로 CPU 안에 메모리 기능의 캐쉬(cache)를 두는 방법이 사용되고 있으나, CPU의 용량이 커질수록 캐쉬메모리가 차지하는 면적이 커져 CPU 설계에 어려움 더해진다. SIA (Semiconductor Industry Associa-

〈표 1〉 워크스테이션급 컴퓨터의 데이터 처리속도에 대한 비교의 예

	Memory (256M)	Memory-CPU 간 데이터버스	CPU	CPU-CPU 보드 간 데이터버스	Computer box 사이 packplane 연결
Clock rate	100MHz	100MHz	500MHz	500MHz	80MHz
Data width (or lines)	16bits	128bits	64bits	64bits	64bits
배선 형태	Cu line in chip	Cu line on board	Cu line in board	I/O pins on board edge (width>3cm)	cray link cable
Bandwidth	1.6×8chip(1Byte) =12.8Gbps	12.8Gbps 32Gbps	32Gbps	5.12Gbps/cable	



〈그림 4〉 광병렬 링크를 위한 프레임 수준 광연결

tion)의 보고에 의하면, 2009년에 70nm 선폭의 배선의 길이가 10,000m/칩에 이르고, 2012년에 50nm의 선폭에 길이가 24,000m/칩에 이를 것으로 예상하고 있다. 이러한 칩을 2차원적으로 배열하여 전기적 연결을 할 경우, 3V 신호폭을 가정하면, 1,000node×64채널/node 100Mb/s/채널(=6.4Tb/s throughput)×4 칩에 100kW의 전력이 소모된다. 이러한 전력소비는 평균 33pF 정도의 커패시턴스를 갖는 배선에서 충전/방전에 의해 대부분 소모되는 것이다. 4개의 칩을 3차원 적층으로 같은 전송용량을 광연결로 대체할 경우, 600Mb/s/채널에서 소비전력이 전기적 연결의 1/400 정도인 250W로 가능하다. 〈그림 4〉는 컴퓨터 구조상의 프레임 수준 광연결을 나타내는데, 칩수준(chip level) 및 보드수준(board level) 광연결을 포함한다.

II. 연구동향

1절에서 살펴본 바와 같이 광연결 기술이 ULSI 및 컴퓨터시스템 데이터 처리속도 문제 해결이 핵심 기반기술로 떠오르면서 미국, 일본 등 선진국들에서 광연결 기술에 대한 연구 개발이 활발하게 진행되고 있다.

이제까지는 대부분 보드간 이상의 비교적 먼 거리의 연결을 대상으로 하고 있는데, 대표적인 연구 프로젝트는 미국의 OETC(Optoelectronic Technology Consosium), POLO(Parallel

Optical Link Organization), Jitney, Opto-Bus, POINT (Polymer Optical Interconnect Technology) 프로그램 등이 있으며, 일본의 RWCP (Real World Computer Program), 유럽의 SPOEC 프로젝트가 있다. 이들 프로젝트의 주요 내용은 다음과 같다.

OETC 프로그램은 1992년 중반부터 시작하여 1995년 5월에 종료되었으며, GE, ATT, IBM, Honeywell 등의 업체가 참가하였다. 프로그램의 목표는 광섬유 리본을 사용하여 민간 겸용으로 근거리 병렬 광연결 모듈의 제작기술을 발전시키고 제작비용을 저렴화하여 전기적 상호연결을 대체하고자 하였다. 양방향으로 전체 32채널로 구성하여, 채널당 500Mb/s의 전송속도를 구현하였다.

POLO 프로그램은 1994년부터 1997년 10월까지 HP, AMP, DuPont, USC 등이 컨소시엄을 구성하여 엔지니어링 워크스테이션, 멀티미디어 장비, 및 초고속 스위칭 시스템의 통합을 위한 1Gbps급 고성능 병렬 광연결 모듈의 단가를 낮추는 연구를 수행하였다. 이 프로그램은 HP가 VCSEL 어레이와 MSM PD 어레이, DuPont와 AMP는 폴리 가이드와 광섬유 리본, USC는 광연결 모듈과 엔지니어링 워크스테이션 사이의 인터페이스 링크 어댑터 회로설계를 담당하였다. VCSEL 구동회로와 MSM PD 수신회로는 Si-바이폴라 공정을 사용하여 제작되었고, 수신 출력은 클락 신호로 동기화하여 채널간의 스큐(skew)와 지터(jitter)를 개선하였다.

Jitney 프로그램은, IBM, 3M 등이 참가하여 VCSEL 어레이, CMOS 구동 IC, GaAs 수신기 어레이를 사용하여, 20채널×500Mb/s의 광연결 성능을 달성한 바 있다. OptoBus 프로그램은 Motorola에서 수행, 양방향 10채널×200Mb/s의 광연결 성능을 달성한 바 있다.

POINT 프로그램은 GE, Honeywell, AMP, UC San Diego, Columbia Univ.와 공동으로 뒷판용 보드 사이 연결을 목표로 두었다. VCSEL 어레이, 고분자 광도파로와 광섬유를 이용하여 12채널×350Mb/s의 광연결 성능을 달성

〈표 2〉 시연된 프레임간 광병렬 링크

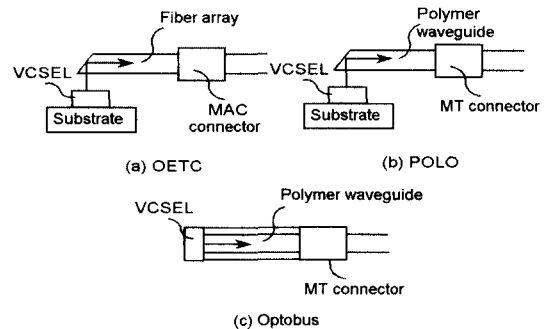
Group	Fujitsu		Hitachi	NEC	NTT	Siemens	OETC	POLO	Motorola	Jitney	Vexel
Channels	4	20	12	8	12	12	32	10/10	10/10	20	4
Data rate (Mbps/채널)	1200	156	200	1100	700	1000	500	625	400	500	1250
Throughput (Gbps)	4.8	3.2	2.4	8.8	8.4	12	20	12	3	10	5
Length (m)	400	400	100	-	250	100	300	300	100	-	-
Power (mW/채널)	700	320	200	(700)	1140	100	260	150	170	300	620
Size(cm ³)	13	20	0.76	37	149	2	7.36	-	18.8	-	-
Light source	LD	LD	LD	LD	LD	LD	VCSEL	VCSEL	VCSEL	VCSEL	VCSEL
Wavelength (μm)	1.5	1.3	1.3	1.3	1.3	1.3	0.85/1.3	0.85	0.85	0.85	0.85
Fiber mode	SM	SM	SM	MM	MM	MM	MM	MM	MM	MM	MM

하였다.

유럽의 SPOEC(Smart Pixel Optoelectronic Connections)는 영국의 Heriot-Watt Univ., Univ. of Glasgow, 스위스의 CSEM, 프랑스의 Ecole Supérieure d'Electricité 등이 참가하여 테라비트 스위치 구현을 지향하고 있다.

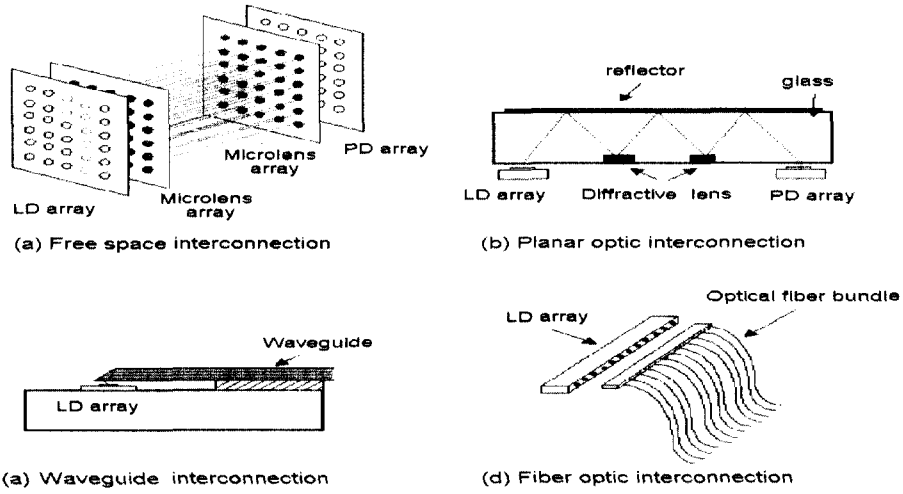
RWCP는 일본 통산산업성에서 지원하는 것으로 대용량 병렬컴퓨터 실현에 목표를 두고, 1992년부터 10년 간 700억엔의 연구비를 투자하여, Fujitsu, NEC, Hitachi, Toshiba, NTT 등 산업체의 후원을 포함한 산학연 공동연구를 수행하고 있다. 연구내용은 소프트웨어와 하드웨어 개발을 모두 포함한 것으로, 광연결, 광 디지털 컴퓨터 연구가 주요 주제로 포함되어 있으며, 관련 연구를 위한 광소자 지원은 미국과 일본이 공동연구로 수행되고 있다. 〈그림 7〉에 이러한 VCSEL기반 광병렬 링크 방식이 나타나 있고, 〈표 2〉는 시연된 프레임간 광병렬 링크를 나타낸다.

한편 칩간 데이터 광연결 프로젝트로는 주로 Si-기반 광 MCM(multichip module) 개념의



〈그림 5〉 VCSEL기반 병렬 데이터 링크 모듈 비교

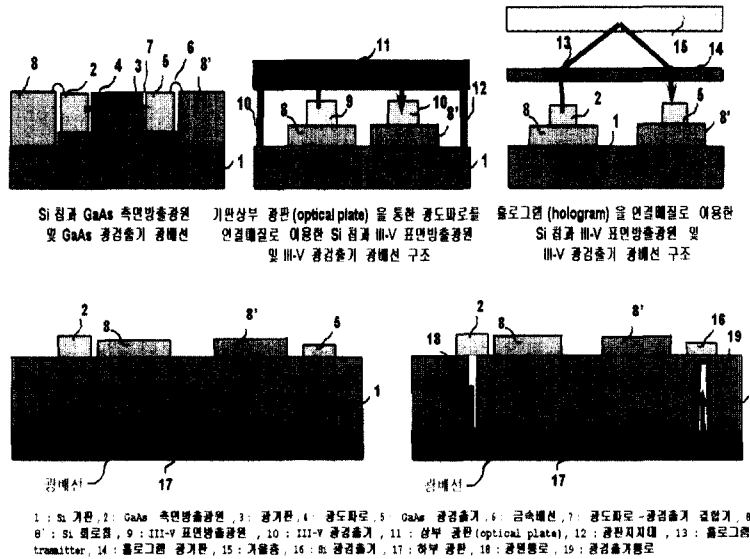
구현에 목표를 두고 있으며 AT&T, Honeywell, 벨지움의 Vrije Univ., Georgia Tech, 캐나다의 McGill Univ. 등에서 수행되고 있다. 〈그림 5〉와 같이, 수평 또는 수평의 광도파로로 연결하는 구조, 유리판을 이용하는 평면 연결 구조, 또는 3차원 적층된 칩 사이에 자유공간으로 연결하는 구조들이 연구되고 있다. 칩의 3차원 적층으로 연결하는 구조는 부피를 크게 줄일 수 있고, 연결 거리를 단축시킬 수 있고, 연결 밀도를 2차원 배열에 비해 제곱으로 높일 수 있는 장점이 있다. 그러나 광 경로 정렬에 어려움이 있고 3차원 적층이 평면 적층에 비해 패키징에서 어려



〈그림 6〉 광도파로 매체에 따른 광연결구조



〈그림 7〉 칩간 및 칩내 광연결 구조



〈그림 8〉 광연결 구조의 예

1 : Si 기판, 2 : GaAs 축면방출광원, 3 : 광계판, 4 : 광도파로, 5 : GaAs 광경로, 6 : 금속배선, 7 : 광도파로-광경로, 8, 8' : Si 질화물, 9 : III-V 표면방출광원, 10 : III-V 광경로, 11 : 상부 광판(optical plate), 12 : 광전지대, 13 : 홀로그래프 transmitter, 14 : 홀로그래프 광계판, 15 : 거울, 16 : Si 광경로, 17 : 허부 광판, 18 : 광원형, 19 : 광경로개방로

움이 있다. 3차원 적층에서는 자유공간 연결 구조가 많이 제안되고 있으며, 정밀 광정렬을 위한 마이크로렌즈 구조도 연구주제가 되고 있다. Georgia Tech에서는 광소자 동작회로를 Si-CMOS 회로로 제작하며, 송수신 픽셀을 SI IC 내에 하이브리드 집적하는 구도들이 시도되고 있다.

칩내의 나노 기능소자에의 응용을 위한 광연결 연구로는 초기 개념 형성단계로 일본의 Hiroshima 대학의 RCNS(Research Center for Nanodevices and Systems)에서 메모리 칩을 3차원 적층하여 광연결한 MCM, 극소형 MOS 트랜지스터, 마이크로 광도파로 네트워크 등의 연구가 진행되고 있다. <그림 7>은 칩간 및 칩내의 광연결 구도의 한 예를 나타낸 것으로 <그림 8>에서와 같이 별도의 도파로 판을 이용하는 방법, 기판의 뒷면을 활용하는 방법 등을 보여주고 있다.

III. 광연결 요소기술

칩간/칩내 광연결을 실현하기 위한 핵심기술로는 광원 및 어레이, 광검출기 및 송수신회로, 광경로를 위한 광도파로 제작기술 및 광도파로 집적기술과 Si IC 내에 광소자의 혼성(hybrid) 및 단일칩 집적기술이 있다. 한 예로 ECTC'98에 발표된 ESPRINT-MELARI 프로젝트의 하나인 OIIC(optically interconnected integrated circuits)에서는 광원(VCSEL, MCLED(microcavity LED)), 광검출기(InGaAs/InP PD) 어레이가 제작되었고, 단거리 interchip 링크(2cm~10cm)는 마이크로미러와 마이크로렌즈를 갖는 자유공간 광경로가 사용되었고, MCM 내(2cm~10cm) 또는 MCM 사이(20cm~100cm)의 더 긴 칩간 광연결은 POF(plastic optical fiber) 어레이를 사용하였다. 한편 Si CMOS 회로에 송수신 회로를 가진 GaAs, InP 계 광소자들의 혼성 집적이 플립칩(flip-chip)

접합 방법에 의해 구현되었다.

1. 광원 및 어레이

광원은 고효율, 작은 방사각, 낮은 소비전력, 기존의 CMOS 회로와의 전기적 대응성, 높은 수율, 어레이 구현을 위한 특성 균일성, 플립칩(flip-chip) 접합에 대한 대응성 등의 조건을 충족시켜야 한다. 그러나 광연결구조에 사용되는 광원의 파장은 특정한 제한을 갖지 않는다. VCSEL(Vertical Cavity Surface Emitting Laser) 또는 RC-LED(Resonant Cavity LED)의 표면방출소자들은 위의 조건을 만족시키며, 패키징 비용, 2D 어레이 가능성, 웨이퍼 상태에서의 소자성능 검사 가능 등의 잇점을 가지며, 다른 물질계를 이용한 가시광선 및 근적외선의 넓은 파장영역에서 제작되어지고 있다. VCSEL은 RC-LED에 비해 좁은 파장선 폭, 높은 wall-plug 효율(>50%), 높은 변조속도(10Gb/s), 높은 단일모드 출력(>4mW)을 갖지만, 공진기 손실, DBR 반사경의 제한으로 인해 제작이 복잡하다. 반면 RCLED는 낮은 전류에서 높은 효율, 낮은 열적, 전기적 저항을 가지고 제작이 간단한 장점이 있다.

1) VCSEL

VCSEL은 표면 발광구조를 가지고 있고 크기가 매우 작아 집적화에 용이하다. 1979년 Tokyo Institute of Technology의 Iga 그룹에 의해 처음으로 고안되어 저온에서 펄스로 구동시켜 900mA의 발진문턱전류 값을 얻었다. 이후 1989년 Jewell 등이 최초로 커썬은 DBR 반사경 구조에 의해 매우 균일하고 발진 문턱전류가 낮은 레이저를 만들었다. 이러한 VCSEL 기술의 발전 현황이 <표 3>에 나타나 있다. 그 후 보다 긴 파장대인 1.3 μ m, 1.55 μ m 대역에서도 상온 연속 발진을 얻게 되었다. Qian은 1997년 1.3 μ m 파장에서 산화방법과 기판 융합방법을 이용하여 상당한 진전을 이루어 냈다. 1996년 양자점을 이용하여 발진문턱전류 32mA를 갖는 상온 CW 구동발진이 이루어졌고 다음해에 560 μ A의 발진

<표 3> VCSEL의 기술발전 현황

저자	개발내용	특 성	년도
Iga et al.	VCSEL 최초고안	77K 저온에서 펄스구동 $I_{th} : 900mA$	1979
Iga et al.	상온 펄스구동 레이저 개발	$I_{th} : 1.2A$ 매사구조, 원고리 형태의 전극 ($I_{th} : 310mA$)	1984
Koyoma et al.	상온 CW 구동 레이저	$I_{th} : 32mA$	1988
baraki et al.	SiO_2/TiO_2 DBR이용	$I_{th} : 5mA$	1989
Jewell et al.	최초 epitaxial DBR mirror 이용	GaAs에 In첨가 InGaAs/AlGaAs strained QW ($I_{th} : 1.3mA$)	1989
Huffaker et al.	최초 Al 산화층을 이용한 VCSEL	산화층 이용의 장점: 낮은 I_{th} , 높은 전력전환효율가능 $I_{th} : 91\mu A$ 까지 연음 (1994. 11)	1994
Lear et al.	산화층을 이용한 VCSEL	$I_{th} : 250\mu A$, 전력전환효율 50%	1995
Iga et al.	산화층을 이용한 VCSEL	$I_{th} : 70\mu A$	1995
Yang et al.	산화층을 이용한 VCSEL	$I_{th} : 8.7\mu A$, $J_{th} : 140\mu A/cm^2$	1995
Huffaker et al.	DBR 이용한 VCSEL 제작	$3\mu m^2$ 의 전류주입구경과 ZnSe/CaF를 사용, $I_{th} : 138\mu A$	1996
Jager et al.	산화층을 이용한 VCSEL	$I_{th} : 800\mu A$, 전력전환효율: 57%	1997

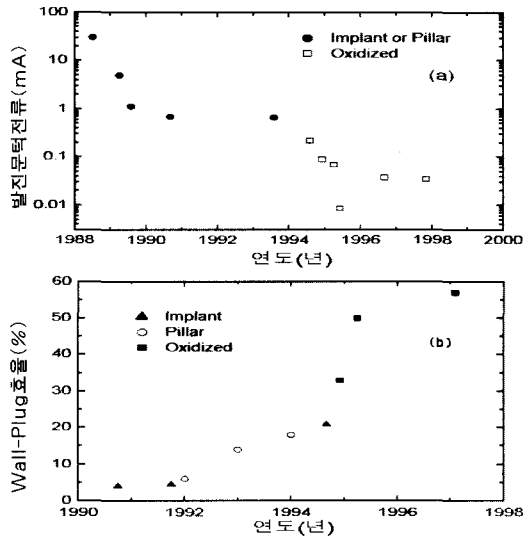
<표 4> 파장별 VCSEL 비교

파장	활성층	DBR	기판	특성(발진문턱 전류, 효율)	비 고
400~500nm	GaNN	AlGaN/GaN, dielectric	Sapphire, SiC	나쁨	초기연구단계
630~670nm	InGaAlP	AlAs/AlGaAs	GaAs	보통	수 mA 문턱 전류
780~850nm	AlGaAs	AlAs/AlGaAs	GaAs	좋음	수백 μA 문턱전류
950~1000nm	InGaAs	AlGaAs/GaAs	GaAs	매우좋음	수십 μA 문턱전류
1300~1550nm	InGaAsP, GaInNAs, GaSb	InGaAsP/InP, InAlAs/InGaAlAs, AlAs/GaAs, AlGaSb	InP, GaAs	보통	근거리 광섬유통신을 위한 연구가 진행되고 있음

문턱전류를 갖는 상온펄스구동 VCSEL가 만들어졌다. 장파장레이저의 경우 아직까지 기판융합 방법에 의한 VCSEL이 특성면에서 가장 좋지만 공정상의 어려움을 해결하기 위해 단일 기판으로 만들어 내고자 하는 노력이 또한 행해져 왔다.

1998년 InGaAs계열에 N을 첨가한 GaInAsN이 장파장 영역의 VCSEL를 만드는데 좋은

물질로 알려졌고, 1.18 μm 에서의 레이저 발진이 이루어졌다. 특히, 최근에는 장파장 VCSEL 연구에 있어서는 프랑스의 Alcatel사는 AlAs/GaAs p-DBR과 일체시킨 1.55 μm InGaAsP/InP VCSEL을 제작, 상온 CW 구동에 성공하여 11mA의 발진문턱전류와 1mW의 광출력을 얻었다. <그림 9>는 980nm 발진문턱전류와 효



〈그림 9〉 980 nm VCSEL의 (a) 발진문턱전류, (b) Wall-Plug 효율

울측면에서 앞에 기술된 VCSEL의 연도별 발전 현황을 나타낸다. 또한 〈표 4〉는 다양한 물질계에 따른 파장별 VCSEL을 특성을 나타낸다. 광 연결에서의 VCSEL 파장은 980nm가 높은 효율과 기판바닥 방출특성 때문에 선호되어 왔으며, 저가모듈이 주로 제작되어 왔으며, 저가의 Si 또는 GaAs PD로 인해 850nm가 또한 사용되고

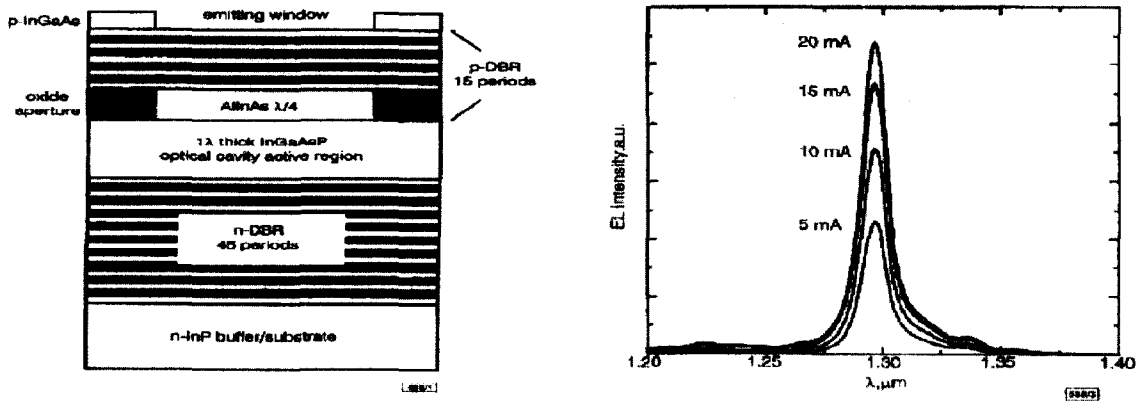
있다.

2) RC-LED 및 어레이

VCSEL이 좋은 특성을 가지고 있음에도 불구하고 제조 공정이 까다롭고 균일한 특성을 얻기가 쉽지 않다. 이에 반해 기존의 LED보다 높은 효율, 좁은 선폭, 개선된 방사각 등 우수한 특성을 갖는 미세 공진기를 이용한 RC-LED(Resonant Cavity LED)는 90년대 초부터 연구되어 왔다. 만약 파장 크기의 미세 공진기(microcavity)에서 기본모드와 활성층 물질의 자연방출 스펙트럼이 일치한다면 발광효율은 상당히 개선된다. RC-LED는 미세 공진기에 의해 자연방출 효율을 강화하지만, 유도 방출에 의해 레이저 발진이 이루어지지 않기 때문에 문턱 값을 갖지 않으므로 레이저에 비해 안정된 동작을 한다. 또한 발광 파장이 단지 광이득에 의해서 아니라 공진기 구조에 의해 정해지므로 이러한 소자는 온도에 민감하지 않다. 초기에는 900nm 대역의 단파장에서 동작하는 RC-LED가 주로 보고되었으나, 최근에는 가시광, 근적외선 등 넓은 파장영역에서 동작하는 소자가 제작되고 있다. 표면 방광 RC-LED는 VCSEL과 유사한 구조로 방출광의 지향성 등 레이저와 비슷한 특성을 갖는다. RC-LED는 아래

〈표 5〉 단파장 RC-LED의 기술발전 현황

저자	주요 내용	특 성	년도
Yokoyama et al.	Microcavity에서의 spontaneous emission 현상 측정	Cavity축 방향으로 PL 세기의 증가와 spontaneous lifetime의 감소를 관찰	1990
Hunt et al.	최초 RC-LED 제작	동작파장 : 940nm	1993
Lott et al.	가시광 RC-LED 제작	Bragg top mirror 동작파장 : 660nm	
Wilkinson et al.	AlGaAs/GaAs/AlGaAs RC-LED 제작	동작파장 : 870nm, 1.3V turn-on 전압, 31Ω 저항, 선폭 : 10.4nm, 효율 : 1.4%, 1700h 안정동작	1995
Neve et al.	고효율 RC-LED 제작	Microcavity와 photon recycling 효과를 이용, extraction 효율 : 22%	1997
Takamori et al.	InGaAs/GaAs RC-LED	Wavelength-size μ -cavity 동작파장 : 963 ± 0.3 nm (2" wafer에 대해) 외부 양자효율 : 5.4%	1999
Royo et al.	Top emitting Ga(In)As/AlAs RC-LED 제작	AlAs/AlGaAs/GaAs DBR mirror, 동작파장 : 920~960nm 소자크기 : $420 \times 420 \mu\text{m}^2 \sim 22 \times 22 \mu\text{m}^2$, 외부 양자효율 : 14%	1999
Bockstale et al.	POF결합용 LED 제작	InGaAs QW을 가진 AlGaAs cavity, 동작파장 981nm	1999



〈그림 10〉 1.3 μm RC-LED의 구조 및 EL (electroluminescence) 특성

쪽에 반도체 브래그 반사경, 위쪽은 브래그 반사경 또는 금속 반사경을 사용한다.

이러한 RC-LED는 1990년에 Yokoyama 등에 의해 미세 공진기에서의 GaAs QW로부터의 자연 방출이 강화되는 현상이 관찰된 이후 주로 단파장 대역에서 RC-LED가 제작되었는데 〈그림 10〉은 1.3 μm RC-LED의 구조 및 EL (electroluminescence) 특성을 나타내고, 그동안의 기술발전 현황이 〈표 5〉에 나타나 있다.

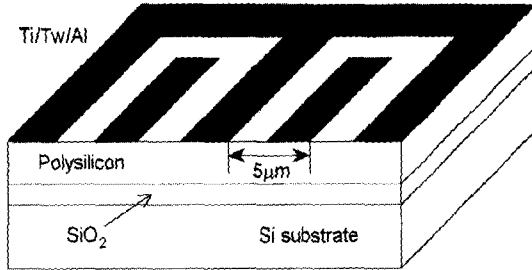
한편 어레이화 연구도 함께 진행되어 1997년 스마트 픽셀을 위해 AlAs 매립 산화층을 사용하여 GaAs MESFET과 단일칩 집적화한 RC-LED가 Wheeler등에 의해 보고되었다. 1999년 Belgium, UK, Switzerland 등이 컨소시엄으로 참가하는 OIIC 프로젝트에서는 칩간 광연결을 위한 8 \times 8RC-LED 어레이를 CMOS 구동회로에 붙여 250M/s/채널의 연결을 구현한 바 있는데, 동작파장은 980nm이었고 wall-plug 양자효율은 14%이었다.

2. 광검출기 및 송수신회로

고속 광수신기에 주로 사용되는 수광소자로 pn, p-i-n 다이오드와 MSM PD가 있다. p-i-n 다이오드는 보통 30GHz까지 사용할 수 있으며, p 다이오드는 커패시턴스가 크고 확산 꼬리 (diffusion tail)가 발생할 가능성이 있으나 Si CMOS 공정과 양립할 수 있어 ~GHz 정도의

그리 높지 않은 주파수 영역에서는 집적화에 적합한 구조이다. MSM PD는 높은 주파수까지 동작 가능하고 어레이 집적화가 용이하다.

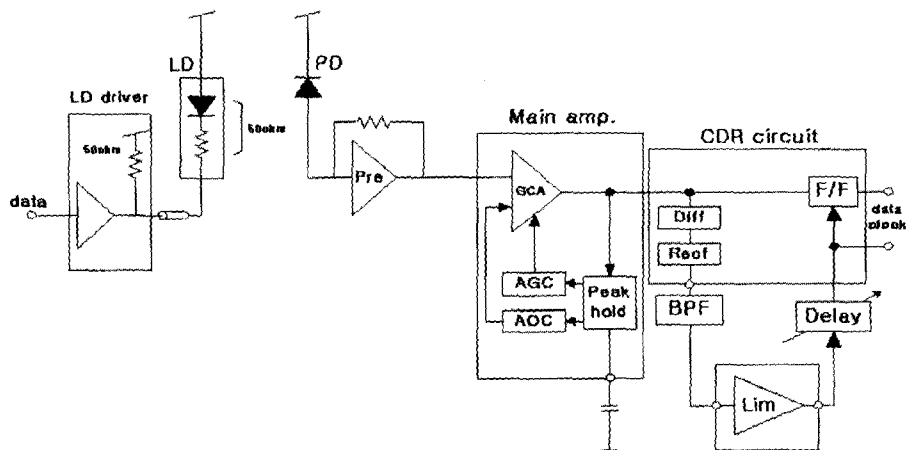
MSM PD는 반도체의 표면에 평면 공정기술로 금속 전극을 교차 배열한 형태로 부착하고 두 전극을 단자로 하는 구조이다. 이 구조는 대칭 구조로서 동일면상에 쇼트키 접합을 만들어 주게 되어, 한 접합은 순방향 바이어스, 다른 접합은 역방향 바이어스가 걸리게 된다. 이 구조는 MESFET이나 HEMT 공정과 양립한다는 장점 외에도 단위 면적당 커패시턴스가 작아 입력 임피던스가 높은 전치증폭기를 사용할 수 있어 감도면에서 유리하다. GaAs의 경우 100GHz 이상의 주파수 특성이 보고된 바 있다. 이 방식의 단점은 금속 전극이 빛을 차단하기 때문에 감도가 약간 저하된다는 점이다. 광 연결의 경우 실리콘을 이용하여 MSM PD를 만들면 수신기 회로를 같은 기판에 집적할 수 있는 장점이 있기에 최근 연구 대상이 되고 있다. 그러나 실리콘의 경우 간접전이 띠틈 구조 때문에 흡수길이가 길어 (예를 들어 0.88 μm 파장에서 20 μm) 공핍층 밖에서 생긴 캐리어가 확산에 의하여 이동하기 때문에 응답 속도가 늦어진다. 이러한 문제를 해결하기 위하여 높은 농도의 기판에 형성된 에피층에 MSM 구조를 만들거나, SOI 구조를 사용한다. 또 하나의 방법은 폴리실리콘에 MSM 구조를 제작하는 것이다. 폴리실리콘에서는 흡수길이가



〈그림 11〉 전형적인 폴리실리콘 MSM 구조

가 줄어들기 때문에 속도가 빨라진다. 〈그림 11〉은 전형적인 폴리실리콘 MSM 구조를 나타낸 것으로 금속 전극은 티타늄, 티타늄-텅스텐 합금, 알루미늄으로 구성된 3층 구조이며, 암전류를 줄이기 위하여 사용된다. 이렇게 구성된 MSM PD는 860nm 파장에서 750MHz 이상의 대역폭을 얻을 수 있다. 다른 한편으로 입사광이 전극가리기(finger shadowing)로 인해 흡수효율이 낮아지는 것을 개선하기 위해 MSM 바닥에 전극을 부착한 I(inverted)-MSM가 제작되어지고 있다. GaAs계 반도체를 사용한 MSM PD로써 3dB 차단 주파수가 150GHz 이상인 고속 특성을 얻고 있다. 이러한 장점들에도 불구하고 MSM PD는 현재 표준 CMOS 공정으로는 제작이 어렵다는 문제점을 안고 있다. 한편 수백 MHz 정도의 클럭 속도를 갖는 광링크에서 광검출기에 의해 수신된 신호세기는 매우 낮고 대략 10~

100 μ A의 광전류를 발생시킨다. 수신회로의 기능은 이 낮은 신호를 정확한 타이밍에 1V 정도의 의사무작위 데이터(pseudorandom data) 신호로 변환하는 것이다. 따라서 수신기는 증폭, 재타이밍, 판단 기능을 가져야 한다. 그러한 수신기는 Si-CMOS, III-V FET 또는 HEMT를 사용하여 왔다. 광원이 GaAs로 구현될 경우 구동회로도 GaAs MESFET 회로로 설계하면 구동회로와 VCSEL을 한 칩에 구현할 수 있다. 그러나 광연결의 주 대상이 고속 실리콘 CMOS 칩이 대부분으로 예상되기 때문에 구동회로를 Si CMOS 회로로 구현하는 것이 바람직하다. 〈그림 12〉는 전형적으로 많이 사용하는 광송수신기 방식이다. 이 방식은 다음과 같은 이유로 무조정 방식의 저전력 구현이 어렵다. 첫째, 주 증폭기에서 자동이득제어와 자동오프셋 상쇄 두 개의 피드백이 동작하여 회로가 복잡해지고 불안정할 수 있다. 둘째, 클럭과 데이터 복원회로에서 필요한 제한증폭기는 안정도 문제 때문에 다른 회로와 집적하기 어렵다. 셋째, 이득제어증폭기에서 사용하는 이득제어단은 보통 트랜지스터를 포개어 구성하기 때문에 저전압에 적합하지 않다. 이러한 단점을 극복하기 위하여 주 증폭기에서는 다단 자동오프셋 상쇄 기술을 사용할 수 있다. 데이터의 전이가 오랫동안 없을 때에 대비하여 PLL의 저역 통과 여파기의 대역폭은 좁아야 한다. 그러나 좁



〈그림 12〉 광송수신기 방식

은 대역폭은 큰 커패시턴스 값이 필요하여 칩 위에 구현하기 어렵다. 이러한 문제를 극복하기 위하여 샘플-홀드 스위치를 삽입하는 방식이 적용되기도 한다.

이제까지의 연구결과들을 살펴보면, 1Gbit/s/채널을 가진 수신기 어레이가 1991년 Yamanaca 등에 의해 GaAs계를 사용하여 구현되었고, 1994년 Takai 등은 Si CMOS를 사용하여 200 Mbit/s/채널을 구현하였다. Lee 등은 155Mbps에서 동작하는 화합물반도체 박막 I-MSM PD와 집적화한 CMOS 광 수신기를 1995년에 발표하였다. 1997년 Akahori 등은 10Gbps에서 동작하는 송신기 어레이모듈과 광수신기 어레이모듈을 구현하였다. 이러한 모듈은 레이저 어레이 칩과 모놀리식 집적화된 광수신기 어레이 칩으로 이루어져 있다. 또한 1998년 WGPD(waveguide PIN PD)와 기저대역 증폭기 IC로 구성된 40Gbit/s 광 수신모듈이 Miyamoto 등에 의해 제안되었다. 광검출기를 CMOS 회로에 단일 칩 집적시키는 연구로는 독일의 BMBF에서 1 μ m CMOS회로에 광수신기를 집적하여 3.3V 전압에 622Mb/s, 소비전력 17mW를 달성한 바 있다. 이 구조에서 1 μ m 이하의 CMOS회로를 사용하여 1Gb/s 이상의 속도를 얻을 수 있을 것으로 기대된다.

3. 광네트워크를 위한 광도파로

광도파로 매질로는 실리카, III-V 화합물, 고분자, 광섬유 등이 이용되고 있는데, 비정질 실리콘의 경우 220°C의 비교적 낮은 온도에서 성장시킬 수 있고 실리콘 공정을 바로 응용할 수 있으며 낮은 진행 손실(0.7dB/cm)을 갖는 장점이 있으나 성장 속도가 초당 2Å 정도로 매우 느리고, 식각 속도가 낮아(1Å/s) 공정 시간이 매우 길다는 단점이 있다. 실리카유리인 경우는 낮은 광도파 손실과 높은 증착 속도를 갖으며 저가의 공정 비용이 들어가는 데 비해 광도파로를 만드는데 널리 쓰이는 FHD(flame hydrolysis deposition) 방법은 1300°C나 되는 고온이 요구되는 단점이 있다. GaAs를 사용하는 경우, 낮

은 광손실과 여러 가지 기능의 광집적 소자를 만들 수 있는 장점이 있지만, 커쌍기 층의 최적화가 힘들며 비싼 반도체 물질을 사용해야 하는 단점이 있다. 플루오르화 폴리이미드(fluorinated polyimide)는 낮은 도파 손실(0.6dB/cm)과 저온 공정이 가능하고 열적, 화학적 안정성을 가지고 있으며 공정이 쉽고 가격이 저렴할 뿐만 아니라, 기존의 반도체 공정에서도 쓰이기 때문에 광연결 도파로로 적합하다. 또한 PFCB(per-fluorocyclobutane)는 낮은 진행 손실(0.2dB/cm)과 높은 열적, 화학적 안정성($T_g=400^\circ\text{C}$)을 가진 물질로 공정이 쉬운 장점이 있다. 보드 수준 광연결을 위한 기술은 1994년 미국의 ARPA(Advanced Reserch Project Agency)의 지원하에 DuPont, AMP, HP, USC 그리고 SDL로 구성된 POLO(Parallel Optical Links for Gigabyte Data Communications) 프로젝트를 시작으로 개발되고 있다. 이 프로젝트의 목표는 워크스테이션 그룹, 멀티미디어 그리고 고속 스위칭 시스템을 위한 저가, 고성능의 병렬광연결 모듈의 개발하는 것인데 여기서 사용된 VCSEL과 광검출기 사이의 광연결 도파로는 DuPont에서 만든 폴리가이드(polyguide) 물질이고, 45° 반사 손실이 4dB 정도이다. 또한 비슷한 시기에 역시 ARPA에서 지원받아 GE, Honeywell, AMP, Allied Signal, UCSD(Univ. of California at San Diego) 그리고 Columbia Univ.로 구성된 POINT(Point Optical Interconnet Technoloy) 프로젝트가 고분자를 이용한 보드와 뒷판을 연결하기 위한 광전자 패키징과 광연결 기술의 개발을 목표로 시작되었다.

이러한 보드 수준의 광연결용 고분자와는 달리 칩수준 고분자는 VCSEL과 광검출기를 기판과 혼성집적하기 위한 온도인 약 300°C에서도 견디는 열안정성이 뛰어나야 하기 때문에 주로 폴리이미드(polyimide) 계열의 물질을 사용하거나, VCSEL과 광검출기를 먼저 기판에 연결하고 광도파로용 고분자를 위에 놓는 구조를 사용하여 열안정성에 의한 고분자 물질의 제약을 피하여 만들기도 한다. <표 6>에 비교적 저온에서 공정

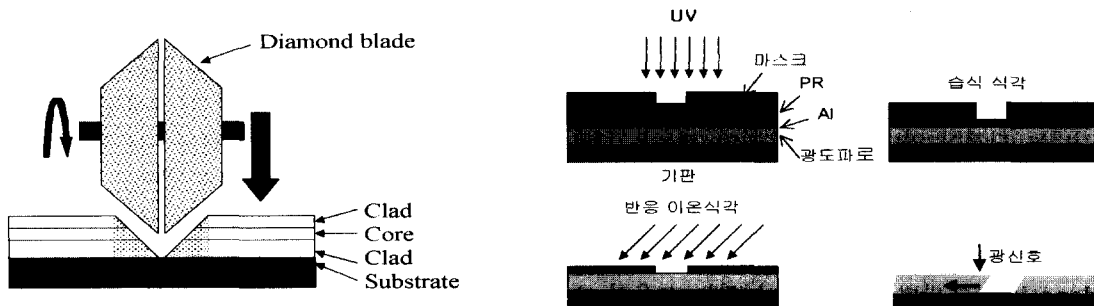
〈표 6〉 고분자 물질의 광학적/열적 특성

Material	Thermal stability	Optical loss	Film formation	Adhesion
Fluorinated polyimide (Hitachi chemical)	$T_g > 300^\circ\text{C}$	0.5dB/cm	Good ($< 10\mu\text{m}$)	Good
Polycarbonate copolymer	$T_g = 209^\circ\text{C}$	$< 1\text{dB/cm}$	Good ($> 40\mu\text{m}$)	Bad
Photosensitive polyimide (PSPI) HD Microsystems	$T_g = 400^\circ\text{C}$ (cross-linkable)	-	Good ($> 17\mu\text{m}$)	Good
Polyetherimide	$T_g = 220^\circ\text{C}$	0.3dB/cm (850nm)	Good ($> 40\mu\text{m}$)	Bad

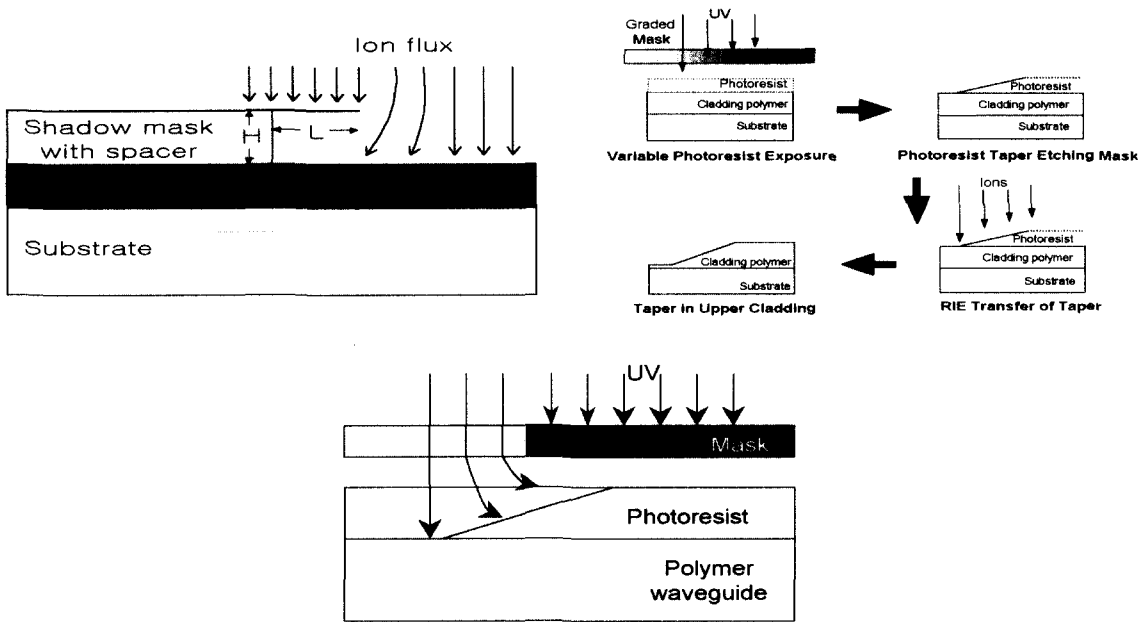
이 가능한 몇가지 고분자 물질들의 광학적/열적 특성을 비교 하였다. 칩간 광연결 고분자 광도파로의 광손실은 크게 진행손실과 45° 수직 반사 거울에 의한 손실로 나눌 수 있다. 진행 손실은 물질 고유의 흡수로 인한 손실과 공정상의 손실로 사용되는 광연결 고분자는 대개 0.5dB/cm 이하의 낮은 손실을 갖는다. 하지만, 45° 수직 반사 거울 그 구조상 매우 큰 손실을 초래할 수 있기 때문에 물질 선정(굴절률) 및 공정 개발이 요구되는 분야이다. 1994년에 Motorola에서 광손실이 4dB인 45° 수직 반사 거울을 포함하는 광연결 도파로를 제작했으며, 1997년에는 일본 NTT에서 광손실이 최고 0.3dB인 45° 수직 반사 거울 제작하여 발표하였다. 이것은 90° 각도를 갖는 다이아몬드 칼을 이용하여 완성된 소자를 절단시켜 그 단면이 45°를 갖게 만든 것으로 〈그림 13(a)〉와 같다.

1998년에는 미국의 Univ. of Texas Austin의 Chen 등은 광 클럭 분배를 위한 폴리이미드

를 이용한 고분자 도파로를 제작하였는데 여기서는 일반적인 RIE 공정을 사용하되 샘플을 45° 각도로 기울인 상태에서 식각 공정을 수행하여 45° 수직 광결합기를 만들었으며 그 손실은 0.45 dB로 광도파로의 두께는 약 8μm인 단일 모드 조건이었다. 이 소자는 1×48 광분배기이지만, 같은 방법으로 45° 수직 거울의 제작이 가능하며 그 공정은 〈그림 13(b)〉와 같다. 같은 해에 USC의 Steier 등은 수직 편광 분리기를 만들기 위한 여러 가지 방법들을 제안했는데, 이것 역시 45° 수직 거울의 제작이 가능한 방법이다. 첫 번째로 웨도우 마스크를 사용해서 식각하는 방법이 있는데, 〈그림 14(a)〉와 같다. 두 번째 방법은 일반적인 리토그래피 공정을 사용하는데 마스크의 패턴 두께를 점차적으로 감소하게 만들어 UV 투과가 점차적으로 강해지는 방법을 사용하여 45° 각도를 갖는 PR를 만든 후 식각 공정을 통해 45° 각도의 수직 반사 거울을 만든다. 이 방법은 〈그림 14(b)〉에 잘 나타나 있다. 마지막 세



〈그림 13〉 45°수직 반사 거울 제작 (a) 다이아몬드 날 이용, (b) RIE 식각 이용



〈그림 14〉 45°수직 거울 제작 (a) 웨도우 마스크 이용, (b) UV 투과를 점차적으로 증가시킨 마스크 이용, (c) 완전히 밀착시키지 않은 마스크 이용

번째 방법은 리토그래피 공정에 사용되는 마스크를 샘플에 완전히 밀착시키지 않고 약간의 거리를 두고 UV를 조사하여 45° 각도를 갖는 PR를 만든 후 식각을 통해 45° 각도의 수직 반사 거울을 만든다. 이 공정은 〈그림 14(c)〉에 나타나 있다.

지금까지의 방법들 중에서 NTT에서 개발한 공정으로 만든 수직거울이 가장 낮은 광손실을 갖고 있으며, 이는 거울표면이 매우 균일하다는 것을 의미한다.

위에서 살펴본 바와 같이 광도파로 네트워크는 칩간 연결, 보드간 연결을 목적으로 평면 광도파로 또는 교환 광도파로, 커플러 등의 구조에 대해 누화 등의 특성에 대한 연구가 진행되고 있으나, 대부분 시뮬레이션 수준에 그치고 있다. 광도파로 네트워크의 실제적인 제작에서 90° 각도의 방향 변경과 1×N 분배에 어려움이 있으며 이에 대한 방법으로 마이크로 거울이 들어간 광도파로 구조들이 제안되고 있다. 고속 클락 분배에서 전기적 배선에서 문제되는 누화와 공간적 스큐우, 시간적 스큐우(지터)를 줄이기 위해 광클락 분배기도 평면 투명기판에 홀로그램 패턴을 이용한

연구 시도되고 있다.

IV. 광전 집적화 기술

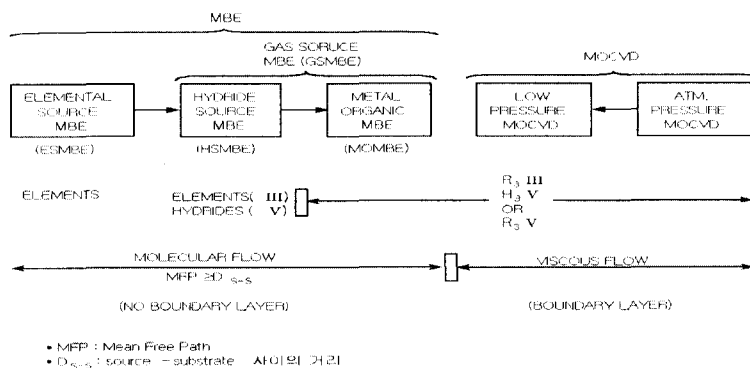
현재까지 구현되고 있는 광연결 방식은 대부분 혼성집적 혹은 고밀도 패키징 방식을 취하고 있다. 이것은 광소자와 전자소자의 집적화, 특히 광원의 집적화가 매우 어렵기 때문이다. 그럼에도 불구하고 미래의 초대용량 병렬연결 및 칩간, 칩내와 같이 아주 짧은 거리의 광연결을 위해서는 단일칩 집적화가 필연적이다. 광전집적화는 발광, 수광소자, 트랜지스터, 광도파로 소자 등 다양한 기능 요소들을 하나의 기판위에 제작하는 것으로 이들을 제작하는 공정이 집적되어야 한다. 문제는 이러한 기능 요소들의 수직 구조가 제각각 달라 집적화가 매우 어렵다는 점이다. 집적화를 위해서는 서로 다른 기능 요소들의 공정이 가능한 양립할 수 있어야 한다. 따라서 이들을 하나의 기판위에 집적화 하기 위해서는 기능요소별로 여

러단계의 켈쌓기 성장(epitaxial growth)이 이루어져야 한다. 그러나 이러한 공정은 대부분 높은 온도에서 이루어지게 되어 있어, 새로운 소자 구조를 성장하게 될 경우, 이미 형성되어 있는 소자에 나쁜 영향을 끼치게 되고, 따라서 공정수율도 나빠지게 된다. 또 소자간 단차가 커서 제작공정이 어렵고 전기적·광학적 배선이 동시에 이루어져야 한다는 점이 집적화를 어렵게 하고 있다.

1. 격자정합 켈쌓기 성장

광소자 및 광도파로 집적화의 핵심요소인 이중 접합구조는 MBE(molecular beam epitaxy), MOCVD(metal-organic chemical vapor deposition) 등 켈쌓기 공정에 의해 제작된다. MBE 방법은 고진공에서 단원소(예: Ga, In, As)를 가열하여 나오는 분자살(molecular beam)을 기판위에 증착하여 성장시키는 방법이고, MOCVD방법은 유기금속가스 및 수소화가스를 기판에 분사하여 기판 임계면상에서 화학반응을 일으켜 생성된 화합물을 확산에 의해 기판위에 성장시키는 방법이다(<그림 15>). MBE 방법은 일정온도로 가열된 기판 표면에 증착된 분자들이 열에너지에 의해 격자점 위치로 이동하여 결정구조를 형성하게 된다. MBE에서는 분자살의 평균자유행로가 길어 곧바로 기판 표면까지 도달할 수 있어 비평형 상태에서 성장되므로 기판과 성장물질사이의 물리적 성질(격자상수, 물질구조 등)이 다른 경우에도 성장이 가능하다.

반면에 MOCVD 공정은 성장물질의 이송체인 유기금속 화합물 및 수소화 화합물을 기판 표면에서 열분해하여 하므로 기판온도가 높아야 되고 임계면에서 열분해 되어 생성된 성장물질(예: GaAs 등)이 열평형 상태에서 확산 과정을 통해 기판표면에 성장된다. 한편 이들 방법의 변형으로 GSMBE(gas source MBE) 방법이 있는데 이것은 MOCVD와 같이 성장원소의 공급원으로 유기금속화합물 또는 수소화합물을 사용하나 고진공에서 미리 열분해하여 원소들을 분자상태로 쏘아주므로 원리적으로는 MBE에 가깝다. 광연결을 위한 광원어레이에 있어서, 어레이를 이루는 개개 광원의 발진파장 및 문턱전류의 균일도(uniformity)는 전체 광연결 시스템의 품질을 평가하는데 절대적인 요소이다. 이중 개개 광원의 문턱전류의 차이는 최종 제작 공정후 검사과정에서 개개 광원을 조율(bias tuning)하는 공정을 거쳐 일정값 이내로 균등하게 할 수 있으나, 개개 광원의 발진파장은 광원의 성장과정중에서 활성층(active layer) 성장중에 결정되므로, 반도체 성장 균일도(epitaxy uniformity)유지는 매우 중요하다. 또한 VCSEL 어레이의 응용의 활성화를 위해서는 어레이를 구성하는 개개소자의 수율의 극적인 향상이 요구된다. 일반적인 8×8 VCSEL 어레이의 경우 통상적인 99% 수율의 MOCVD 웨이퍼(균일도 1% 이내)를 이용한다면, 약 52.5%의 수율을 기대할 수 있다. 그러나, 64×64 정도의 대규모 VCSEL 어



<그림 15> MBE와 MOCVD의 III-V 화합물 켈쌓기 성장 매카니즘

레이를 50% 이상의 수율로 제작하기 위해서는 99.99% 수율 이상의 고품질 웨이퍼가 요구되며 이를 위한 균일도 향상 노력이 요구되고 있다.

2. On-Si 켈쌓기 성장

Si 반도체 위에 광전기능을 갖는 화합물 반도체를 성장할 수 있다면 그것은 광전집적화에 있어서 매우 획기적인 일이 될 것이다. 격자상수가 다른 이종접합 구조는 성장하기가 매우 어려운데 이는 격자 부정합 때문에 생기는 기판과 성장층 사이의 응력이 기인한다. 이러한 응력은 성장층 두께가 커지면 점점 누적되어 결국 성장된 결정 구조를 깨뜨리므로 결함이 없는 좋은 결정 상태를 유지할 수 없게 된다. 이의 극복방안으로 적절한 완충층을 두는 방법, 응력을 줄이기 위해 필요한 최소한의 좁은 영역에만 성장하는 선택적 성장방법 등이 연구되고 있다. 그러나 성장기술의 지속적인 발전에도 불구하고 성장된 격자부정합이 종구조에서의 실전위(threading dislocation) 밀도는 격자정합 이종접합 구조에 비해 수천배 높은 값을 가진다. 실전위는 켈쌓은 층의 품질에 치명적 영향을 주며 이로 인한 전기적, 광학적 특성을 급격히 악화시킨다. 그러므로 격자 불일치도가 큰 재료간의 이종켈쌓기의 핵심 기술은 성장층을 관통하는 실전위의 최소화에 맞추어 진다. 그 동안 Si과 GaAs, Si과 InP 그리고 InP와 GaAs간의 격자부정합 켈쌓기 성장이 많이 연구되어 왔는데 실전위 밀도를 줄이기 위해 성장후 급속열처리하는 방법, 경사층(graded layer)을 성장시킨 후 재성장하는 방법, 얇은 실전위 차단층을 두는 방법 등 여러 가지 방법이 연구되고 있으나, 아직 실전위의 밀도를 10^6cm^{-2} 이하로는 낮추지 못하고 있다.

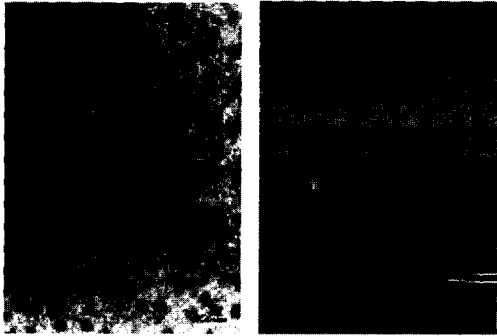
3. 웨이퍼 접합

한편 격자 부정합 켈쌓기 성장 기술의 한계를 극복하는 방법으론 웨이퍼 접합(wafer bonding)이 이용되어지고 있다. 웨이퍼 접합은 Si-Si 접합(SSB: Si-Si bonding), 저온 Si_3N_4 본딩(LTSB: low temperature Si_3N_4 bonding),

켈쌓은 후 떼어내기(ELO: epitaxial lift-off), 계면 금속본딩(IMB: interfacial metal bonding), 물질수송현상을 이용한 직접 웨이퍼본딩(DWB: direct wafer bonding) 등이 있다. 이 중 물질수송현상을 이용한 직접 웨이퍼 본딩이 있다. 이러한 방법은 일단 본딩을 수행한 후에 소스 기판을 제거하므로 큰 공정상의 이점이 있고, 에피층과 기판이 물질교환에 의하여 완전한 원자적 결합을 하기 때문에 소자제작상의 기계적, 화학적, 열적 안정성을 제공한다. 또한 켈쌓기 공정에 비해 격자 부정합이 큰 물질들의 낮은 결합 농도를 갖는 이종접합을 형성할 수 있다는 점에서 관심을 모으고 있다. 이러한 장점들 때문에 DWB 기술은 VCSEL, RC-LED, RC-PD와 같은 광전소자 집적에 응용되고 있다. 그러나 계면에 존재할 것으로 예상되는 많은 결함들, 즉 산화막, 높은 밀도를 갖는 부정합 전위등이 전기적 성질에 영향을 준다고 보고되고 있으며 특히 접합된 계면의 특성과 전이층의 광학적 특성변화는 아직까지 정확히 밝혀지지 않고 있다. 이상에서 살펴본 바와 같이 DWB 방법은 격자부정합 켈쌓기 성장이 가진 문제점을 해결할 수 있는 하나의 대안으로 연구되고 있다.

4. 양자점 성장과 발광소자 응용

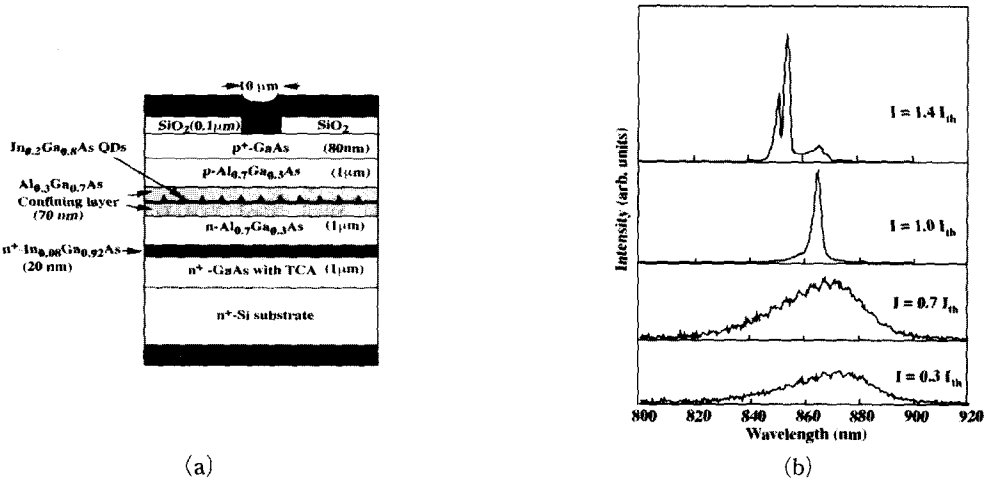
앞에서 논의한 격자부정합 켈쌓기 방법으로 접근하는 것과는 달리 삼차원 양자우물 구조인 $\sim 10\text{nm}$ 이하 크기의 양자점을 형성할 수 있다면 단위 원자의 구조와 유사한 직접전이 에너지띠 구조를 가지므로 발광소자의 제작이 가능하다. 이러한 양자점은 소위 Stranski-Krastanow 성장 양식에 의해 기판 표면에 자발적으로 형성되며 결함이 없이 완벽한 결정 상태로 성장된다. 양자점은 켈쌓기 공정 초기에 통계적으로 분포된 씨앗(seed)에 성장물질이 응집되어 형성되므로 통계적 크기 분포를 가진다는 점이 단점이다. 이러한 양자점은 In(Ga)As/GaAs, InP/InGaP, InAs/Si 등 다양한 물질 구조로 성장이 가능하며, 성장온도, 성장속도 등 성장조건에 의해 달라진다. 최초의 양자점 레이저의 동작은 광여기에



〈그림 16〉 자발적으로 형성된 InGaAs 양자점의 투과 전자현미경 평면 및 단면 형상

의해 1993년에 러시아의 Ioffe 그룹에 의하여 발표되었다. 〈그림 16〉은 자발적으로 형성된

InGaAs 양자점의 투과전자현미경(TEM) 평면 및 단면 형상을 나타낸 것이고, 〈표 7〉은 통상적인 양자우물 반도체 레이저와 양자점 구조 레이저의 특성을 비교한 것이다. 양자점 레이저는 높은 광이득과 기관선택의 다양성, 양자점 크기에 따른 유연한 파장선택성 등의 장점 때문에 광전 직접소자 응용 가능성이 매우 크다. 이러한 양자점 레이저는 이미 기존의 레이저 특성을 문턱전류($26A/cm^2$, 양자효율(57%), 출력(4W), 온도 특성(특성온도: 160K) 등 여러 측면에서 능가하고 있다. 〈그림 17〉은 Si 위에 성장된 양자점 레이저의 구조 및 상온연속 발진 특성을 보여주고 있다.



〈그림 17〉 (a) Si에 격자부정합성장된 InGaAs 양자점 반도체레이저의 구조, (b) 발진특성

〈표 7〉 양자우물 레이저 및 양자점 레이저의 특성비교

항목	양자우물 레이저	양자점 레이저
활성층 구조	격자정합 또는 약한 응력변형 구조(기관에 따라 사용가능한 물질의 종류가 제한됨)	격자부정합 구조(기관 종류와의 상관관계가 적음)
광이득	$10^{10}-10^{11}/cm$	$\sim 10^{12}/cm$
전하수명	$\sim ns$	$\sim 10ns$
클래드층	높은 띠틈을 가진 클래드층 필요(DH구조)	필수적이지 않음
소자구성물질	일반적으로 단일 계열(예: III-V 혹은 II-VI)	단일계열일 필요 없음(예: InAs/Si)
파장선택	GaAs 기관의 경우: $0.8\sim 1.05\mu m$	GaAs 기관의 경우: $0.8\sim 1.8\mu m$ 까지 확장

V. 전망 및 결론

이제까지 광연결 기술은 보드간 또는 뒷판(backplane)간 연결, 즉 상대적으로 먼거리에 적용되어 왔다. 그러나 칩간 또는 칩내의 광연결을 구현하기 위해서는 앞에서 논의한 바와 같이 미세광원 및 집적 고속 수광소자 및 회로, 평면집적 및 Si 공정과 양립할 수 있는 광도파로의 개발 등 많은 문제들이 해결되어야 한다. 미세 광원의 단일칩 집적을 위해서는 궁극적으로 격자 부정합 커닝기 성장 또는 양자점에 의한 고성능의 발광소자 제작이 가능해야 할 것으로 보인다. Si 집적회로는 독자적으로 발전하고 있으므로 고속화에는 큰 문제가 없을 것으로 보이나 공정이 양립할 수 있는 수광소자의 개발이 선행되어야 한다. 광도파로는 폴리머가 여러 측면에서 유리한 것으로 판단이 되고 있으나 광경로를 자유롭게 바꾸기 위한 여러 가지 방법들이 모색되어야 할 것이다. 광연결 기술은 뒷판간, 보드간, 칩간, 칩내의 순서로 실용화될 전망이며 수십 m에서 수십 μm 에 이르기까지의 매우 짧은 거리에 적용되지만 그 파급효과 및 시장 잠재력은 장거리 광통신 못지않게 클 것으로 기대된다.

감사의 글

본 원고는 테라급 광연결과제에 참여하고 있는 박효훈 교수, 양계모 교수, 정향근 교수, 김장주 교수의 도움으로 작성되었으며, 원고정리를 도와 준 광주과학기술원 정보통신공학과 박사과정 유재수 군에게 감사 드립니다.

참고 문헌

- [1] A. Louri and H. Sung, "3D optical interconnects for high-speed interchip and interboard communications," IEEE Computer, pp.27, 1994.
- [2] O. Vendier, S. W. Bond, M. Lee, S. J. M. Brooke, "Stacked Silicon CMOS Circuits with a 40-Mb/s Through-Silicon Optical Interconnect", IEEE Photon. Technol. Lett. 10, 606, 1998.
- [3] Y. S. Liu, "Optical interconnects for data communication between boards, backplanes, and intra-boxes," IEEE Circuits and Devices Magazine, pp.23, 1998.
- [4] S. Siala, A. P. Kanjamala, R. N. Nottenburg, and A. F. J. Levi, "Low skew multimode ribbon fibres for parallel optical communication", Electron. Lett. 30, pp.1784, 1994.
- [5] H. Kosaka, "Smart integration and packaging of 2-D VCSEL's for high-speed parallel links", J. Selected Topic on Quantum Electron. 5, pp.184, 1999.
- [6] W. S. Ishak, K. H. Hahn, B. L. Booth, C. Mueller, A. A. J. Levi, and R. Craig, "Optical Interconnects-The POLO approach", in Proc. SPIE, Optoelectronic Interconnects III, 2400, pp.214, 1995.
- [7] S. Swirhun, M. Dud다, R. Neumann, J. Calkins, P. Brusenbach, D. Brinkmann, t. Northrop, a. Moore, D. Paananen, J. Scott, and T. White, "The P-VixeLink multichannel optical interconnect", in Proc. ECTC'96, pp.316, 1996.
- [8] B. L. Booth, "Polymers for Integrated Optical Waveguides", in Polymers for Lightwave and Integrated Optics(C. P. Wong, ed.), Academic Press, New Work, 1993.
- [9] Bockstaele et. al., "Realization of Characterization of 8×8 resonant

- cavity LED arrays mounted onto CMOS drivers for POF-based interchip interconnection," J. Selected Topic on Quantum Electron. 5, pp.224, 1999.
- [10] S. Yokoyama, "Fabrication technology for optically interconnected integrated circuits," FED Journal, 7, pp.17, 1998.
- [11] J. P. Hall et al., "Packaging of VCSEL, MC-LED and Detector 2-D Arrays," ECTC'98, pp.778, 1998.
- [12] Zimmerman et. al., "Monolithic high-speed CMOS-photoreceiver," IEEE Photon. Technol. Lett. 11, pp.254, 1999.
- [13] K. Iga, F. Koyama, and S. Kinoshita, "Surface emitting semiconductor lasers", IEEE J. Quantum Electron. 24, pp.1845, 1988.
- [14] D. L. Huffaker, D. G. Deppe, K. Kumar, T. J. Rogers, "Native-oxide defined ring contact for low threshold vertical-cavity lasers", Appl. Phys. Lett. 65, pp.97. 1994.
- [15] K. L. Lear, K. D. Choquette, R. P. Schneider, Jr., S. P. Kilcoyne and K. M. Geib, "Selectively oxidised vertical cavity surface emitting lasers with 50% power conversion efficiency", Electron. Lett. 31, pp.208, 1995.
- [16] G. M. Yang, M. H. MacDougall, V. Pudikov and P. D. Dapkus, "Influence of mirror reflectivity on laser performance of very-low-threshold vertical-cavity surface-emitting lasers", IEEE Photon. Technol. Lett. 7, pp. 1228, 1995.
- [17] J. L. Jewell, A. Schere, S. L. McCall, Y. H. Lee, S. J. Walker, J. P. Harbison, and L. J. Florez, "Low-threshold electrically pumped vertical-cavity surface-emitting microlasers", Electron. Lett. 25, pp.1123, 1989.
- [18] Y. Qian, Z. H. Zhu, Y. H. Lo, H. Q. Hou, M. C. Wang, and W. Lin, "1.3- μm vertical-cavity surface-emitting lasers with double-bonded GaAs-AlAs Bragg mirrors", IEEE Photon. Technol. Lett. 9, pp.8, 1997.
- [19] H. Saito, K. Nishi, I. Oyura, S. Sugou, and Y. Sugimoto, "Room-temperature lasing operation of a quantum-dot vertical cavity surface-emitting laser", Appl. Phys. Lett. 69, pp.3140, 1996.
- [20] D. L. Huffaker, H. Deng, and D. G. Deppe, "1.15 μm wavelength oxide-confined quantum dot vertical-cavity surface-emitting laser", IEEE Photon. Technol. Lett. 10, pp.185, 1998.
- [21] J. P. Debray, I. Sagnes, G. L. Roux, P. Legay, M. Quilic, C. Kazmierski, R. Madani, and J. F. Palmier, "MOVPE growth of a monolithic VCSEL at 1.56 μm in the InGaAlAs-InAlAs system lattice matched to InP", IEEE Photon. Technol. Lett. 11, pp.770, 1999.
- [22] R. Bockstaele, J. Derluyn, C. Sys, S. Verstuyft, I. Moerman, P. Van Daele and R. Baets, "Realization of highly efficient 850 nm top emitting resonant cavity light emitting diodes", Electron. Lett. 35, pp.1564, 1999.
- [23] J. Hunt, A. Khan, P. N. Stavrinou, G. Parry, "Systematic study into resonant light-emitting diodes", IEE Colloquium on Semiconductor Optical Microcavity Devices and Photonic

- Bandgaps, pp.267, 1996.
- [24] J. L. Pautrat, E. Hadji, J. Bleuse, and N. Magnea, "Resonant-cavity infrared optoelectronic devices", *J. Electron. Mat.* 26, pp.667, 1997.
- [25] F. Salomonsson, S. Rapp, K. Streubel, M. Hammar and J. Daleiden, "InP-based 1.55 μ m resonant cavity light-emitting diode with two epitaxial mirrors", *Physica Scripta.* T79, pp. 135, 1999.
- [26] P. Royo, J. F. Carlin, J. Spicher, R. Stanley, R. Houdre, V. Bardinal, U. Oesterle, and M. Ilegems, "High efficiency top-emitting microcavity light-emitting diodes", *SPIE*, 3621, pp. 151, 1999.
- [27] J. A. Lott, R. P. Schneider, Jun., G. A. Vawter, J. C. Zolper and K. J. Malloy, "Visible(660nm) resonant cavity light-emitting diodes", *Electron. Lett.* 29, pp.328, 1993.
- [28] H. Yokoyama, K. Nishi, T. Anan, H. Yamada, s. D. Brorson, and E. P. Ippen, "Enhanced spontaneous emission from GaAs quantum wells in monolithic microcavities", *Appl. Phys. Lett.* 57, pp.2814, 1990.
- [29] M. Jalonen, J. Kongas, M. Toivonen, P. Savolainen, S. Orsila, A. Salokatve and M. Pessa, "Monolithic 1.3 μ m resonant cavity light emitting diode grown by solid source molecular beam epitaxy", *Electron. Lett.* 34, pp.1519, 1998.
- [30] S. Y. Chou, M. Y. Liu, "Nanoscale Tera-Hertz Metal-Semiconductor-Metal Photodetectors", *IEEE J. Quantum Electron.* 28, pp.2358, 1992.
- [31] K. Honkanen, T. Siirtola, T. Majamaa, A. Hovinen and P. Kuivalainen, "A Comparative Study of Si and GaAs Metal-Semiconductor-Metal Photodetectors", *Physica Scripta.* T69, pp.163, 1997.
- [32] M. Lee, O. Vendier, M. A. Brooke, N. M. Jokerst, and R. P. Leavitt, "CMOS optical receiver with integrated compound semiconductor thin-film inverted MSM detector operating at 155 Mbps", 8th Lasers and Electro-optic Society Annual Meeting, pp.47, 1995.
- [33] Y. Akahori et al. "A hybrid high-speed silica-based planar lightwave circuit platform integrating a laser diode and a driver IC", *ECOC'97*, pp. 359, 1997.
- [34] Bruce L. Booth, Joseph E. Marchegiano, C. T. Chang, R. J. Furmanak, D. M. Graham, R. G. Wagner, "Polyguide polymeric technology for optical interconnect circuits and componnets", *SPIE*, 3005, pp.238, 1997.
- [35] Kenneth H. Hahn, "POLO-Parallel Optical Links for Gigabyte Data Communications", *IEEE, 45th Electric Components and Technology Conference*, pp.368, 1995.
- [36] Makoto Hikita, Satoru Tomaru, Koji Enbutsu, Naoki Ooba, Ryoko Yoshimura, Mitsuo Usui, Takashi Yoshida and Saburo Imamura, "Polymeric Optical Waveguide Films for Short-Distance Opical Interconnects", *IEEE Journal of Selected Topics in Quantum Electron.* 5, pp. 1237, 1999.
- [37] Bipin Bihari, Jianhua Gan, Linghui

- Wu, Yujie Lie, Suning Tang and Ray T. Chen, "Optical Clock Distribution in Supercomputers using Polyimide-based Waveguides", SPIE, 3632, pp. 123, 1999.
- [38] Mitsuo USUI, Makoto HIKITA, Ryoko YOSHIMURA, Satoru TOMARU, Saburo IMAMURA, Kohsuke KATSURA and Yasuhiro ANDO, "Basic Evaluation of Polymeric Optical Waveguide Films Applied to Optical interconnections", IEICE Trans. Electron. E81-C, pp. 1027, 1998.
- [39] Y. S. Liu, R. J. Woinarowski, W. A. Hennessy, J. P. Bristow, Y. Liu, A. Peczalski, J. Rowlette, A. Plotts, J. Stack, et al., "Polymer Optical Interconnect Technology(POINT)-Optoelectronic Packaging and interconnect for Board and Backplane Applications", SPIE, Critiacl Reviews, CR62, pp. 405, 1996.
- [40] A. Y. Cho, Growth and properties of III-V semiconductors by molecular beam epitaxy, Martinus Nijhof, Dordrecht, 1985.
- [41] O. Wada, Optoelectronic Integration: Physics, Technology and Applications, Kluwer Academic Publishers, 1994.
- [42] M. R. Leys, Fundamental growth kinetics in MOMBE/CBE, MBE and MOVPE, J. Cryst. Growth 209, pp. 225, 2000.
- [43] M. B. Panish, H. Temkin, Gas Source Molecular Beam Epitaxy, Springer-Verlag, 1993.
- [44] M. Adachi, Y. Fujii, T. Egawa, T. Jimbo, and M. Umeno, "Low temperature growth of GaAs on Si substrate by chemical beam epitaxy", Jpn. J. Appl. Phys. 39, pp. L340, 2000.
- [45] H. Maeda, S. Watatani, H. Nakayama, T. Nishino, "Selective growth of micro GaAs dots on Si by molecular beam epitaxy", J. Cryst. Growth 150, pp. 671, 1995.
- [46] K. K. Linder, J. Phillips, O. Qasaimeh, X. F. Liu, S. Krishna, and P. Bhattacharya, J. C. Jiang, "Self-organized InGaAs quantum dot lasers grown on Si substrate" Appl. Phys. Lett. 74, pp. 1355, 1999.
- [47] N. N. Ledentsov, Quantum dot lasers: the birth and future trends, Semiconductors 33, pp. 946, 1999.
- [48] L. Goldstein, L. Glas, J. Marz, M. Charasse, M. Roux, Growth by molecular beam epitaxy and characterization of InAs/GaAs strained-layer superlattices, Appl. Phys. Lett. 47, pp. 1099, 1985.
- [49] C. K. Hyon et al., Application of atomic-force-microscope direct patterning to selective positioning of InAs quantum dots on GaAs, Appl. Phys. Lett. 77, pp. 2607, 2000.
- [50] Z. Kazi, T. Egawa, T. Jimbo, M. Umeno, First Room-Temperature Continuous-Wave Operation of Self-Formed InGaAs Quantum Dot-Like Laser on Si Substrate Grown by Metalorganic Chemical Vapor Deposition, Jpn. J. Appl. Phys. 39, pp. 3860 2000.
- [51] "Nanostructures and quantum dots", IEEE J. Selected Topics in Quantum Electron. 6, 2000.
- [52] N. N. Ledentsov, V. M. Ustinov, V. A.

- Schchukin, P. S. kopev, and Zh. I. Alferov, D. Bimberg, "Quantum dot heterostructures: fabrication, properties, lasers(Review)", Semiconductors 32, pp.43, 1998.
- [53] L. Hansen, F. Bensing, A. Waag, "Molecular beam epitaxy growth of InAs quantum dots directly on silicon", Jpn. J. Appl. Phys. 38, pp. 6219, 1999.
- [54] M. Grundmann et al., "Progress in quantum dot lasers: 1100nm, 1300nm, and high power applications", Jpn. J. Appl. Phys. 39, pp.2341, 2000.
- [55] D. Bimberg, "Quantum dots: paradigm changes in semiconductor physics", semiconductors 33, pp.951, 1999.

저자 소개



李用卓

1951년 생, 1975년 서울대학교 공과대학 응용물리학과(학사), 1979년 한국과학기술원 물리학과(석사), 1990년 한국과학기술원 물리학과(박사), 1979년~1994년: 한국전자통신연구원 책임연구원, 광전자연구실장, 화합물반도체연구부장, 1994년~현재: 광주과학기술원 정보통신공학과 부교수, <주관심 분야: 광전자소자, 광통신, 초고속광신호처리>