

특 집

MRAM(Magneto-resistive Random Access Memory)의 개발 현황과 가능성

석 중 현

삼성종합기술원 반도체소자팀

I. 서 론

MR(Magneto-resistance)소자를 DRAM과 같이 전자적으로 동작하는 메모리에 응용하려는 시도는 Non Volatile Electronics(NVE, 이전에 Honeywell)에 의해 꾸준히 이루어져 왔다.

1970년대의 페라이트 코어메모리로부터 1980년대 중반 박막의 자기이방성을 이용한 MR소자(AMR: Anisotropic MR)로 메모리 소자가 제작되어 군사 및 우주용으로 현재 제한적으로 사용되고 있다. 이 AMR소자는 MR비가 2% 정도로 낮아 기존 메모리와 대등한 고집적성이 불가능한 상태이나 Daughton이 명기하였듯이 다음과 같은 장점^[1]으로 그 응용이 특수한 분야에 한정되고 있다. 비휘발성, unlimited reading/writing, infinite data retention, compatibility with semiconductor ICs, intrinsic radiation hardness, material stability 등 장점과 <표 1>에서 기존메모리와 성능비교에서

<표 1> MRAM과 기존메모리와의 비교

	MRAM	DRAM	Flash EEPROM	SRAM	FeRAM
비휘발성	○	×	○	×	○
Storage 시간	10 ¹⁰ ~10 ¹⁵ s	10 ³ s	10 ⁵ s	10 ³ s	10 ¹⁰ ~10 ¹⁵ s
Access 시간	10 ¹⁰ ~10 ¹⁵ s	10 ³ s	10 ³ ~10 ⁴ s	10 ³ s	10 ¹⁰ ~10 ¹⁵ s
Cell 면적(μm ²)	1 이하	1	0.8	1	1.3
Storage 용량(%)	10 ¹⁰	10 ⁶	10 ⁷	10 ⁶	10 ¹⁰
동작시의 소비전력(μW)	100~1000	1000	1000	100	200

보면 MRAM이 상용화되면 많은 파급효과를 낼 것으로 판단된다.

반면 GMR(Giant MR) 및 TMR(Tunneling MR)현상을 이용한 MRAM은 상기의 장점뿐만 아니라 AMR에 비해 MR비가 높아 고집적의 가능성이 대두되어 이에 대한 연구가 활발히 이루어지고 있다. 초기에는 GMR MRAM연구가 많이 행해졌는데 이 분야의 연구는 AMR MRAM에 대한 경험을 가지고 있는 Honeywell과 Motorola를 중심으로 이루어졌고 이미 상업화에 유리한 측면을 가지고 있다. GMR MRAM의 경우 cell들이 series로 연결되어 실제 얻을 수 있는 출력은 개개 소자의 출력에 비해 낮아 현재로서는 고집적화에 약점을 갖고 있다. 그런데 1995년 MIT의 Moodera가 개발한 TMR소자는^[2] 상온에서 MR비가 크고(25% 이상, GMR 경우 8% 정도) MR비가 소자의 면적에 무관하여 새로운 MRAM재질로 각광받아 이미 IBM, Motorola, HP, NVE 등에서 MRAM개발에 적용되고 있으며 IBM의 경우 design rule이 0.2μm이며 switching time이 5ns 이하인(256M DRAM인 경우 60ns 정도의 switching time을 갖는다. MRAM의 경우 이렇게 작은 것은 두 강자성 막간의 interaction이 아주 작기 때문이다.) 14bit array를 성공적으로 데모하였고^[3,4] 2001년초에 Mbit급 MRAM proto를 구현할 것이다. Motorola는 현재 1transistor+1TMR cell 구조로 256×2 cell의 균일한 동작 특성 확보와 CMOS integration으로 MRAM을 구현하였다.^[5] 이와 같이 Motorola가 초기에 GMR MRAM 연구에서

〈표 2〉 여러 가지 MR 소자

종류	설명	재료	특징
AMR	<ul style="list-style-type: none"> • Anisotropic Magneto Resistance의 약자로 스핀 이방성 배열에 기인하는 기본적인 현상. • 스핀이 전류방향에 대해 수직인 경우 저항이 커지는 것으로 현재 HDD 헤드 및 소형모터의 자기센서로 채용되는 범용 MR. 	NiFe (Permalloy)	<ul style="list-style-type: none"> • MR비가 <2%로 작다. • 외부자계 10Oe 이하에서도 동작이 가능하다. • 단층금속이므로 공정간단 • 기본저항이 작아 power가 적게 든다.
GMR	<ul style="list-style-type: none"> • Giant Magneto Resistance의 약자로 거대 자기저항효과. • 자성층/비자성층/자성층 구조로 자성층간의 교환작용으로 자성층스핀의 평행, 반평행의 관계에서 발생. • 공업적으로 8% 정도로 자기센서로 응용되고 있다. 	Co/Cu/Co Fe/Cr/Fe	<ul style="list-style-type: none"> • MR비가 10% 정도로 우수. • 외부자계 100Oe 이상에서 동작이 가능한 문제가 있다. • 최소 3층 이상의 적층공정 필요. • 비자성층의 두께에 따른 교환작용의 변화로 특성이 변화하므로 최적두께 및 확산방지 공정이 중요하다.
Spin Valve	<ul style="list-style-type: none"> • GMR이 MR비는 우수하지만 외부자계가 큰 단점을 극복하고자 개량된 밸브형소자. • 기존 GMR원리에 강자성층을 영구자석으로 보강하고(pinned layer), 연자성층(free layer)을 채용하여 구성. 	free /NM/ pinned Py/Cu/ Co/MnFe	<ul style="list-style-type: none"> • MR비가 10% 정도로 우수. • 외부자계 200Oe 이하에서 동작이 가능. • 최소 4층 이상의 적층공정 필요. • 공업적으로 2.5" HDD헤드에 채용 중.
TMR	<ul style="list-style-type: none"> • Tunnel Magneto Resistance의 약자로 스핀의 터널링에 자기저항효과 통칭. • 자성층/절연층/자성층 구조. • 수직형으로 MRAM에 적합 • 그라놀라형도 보고되고 있다. 	Py/AlO /Co Py/AlO/ Co/IrMn	<ul style="list-style-type: none"> • MR비가 20-50% 정도로 우수하나 기준저항이 크다. • 외부자계 50Oe 이하에서 동작이 가능. • 최소 4층 이상의 적층공정 및 미세가공공정 필요. • 터널배리어의 조정이 중요
CMR	<ul style="list-style-type: none"> • Colossal Magneto Resistance의 약자로 스핀의 터널링에 자기저항효과 통칭. • Perovskite 구조. • 기초연구단계 	LaBaMnO	<ul style="list-style-type: none"> • MR비가 300% 정도로 우수하나 기준저항이 크다. • 외부자계 10000Oe 이상에서 동작이 가능. • 아직 공업적 이용이 곤란한 차세대 소자이다.

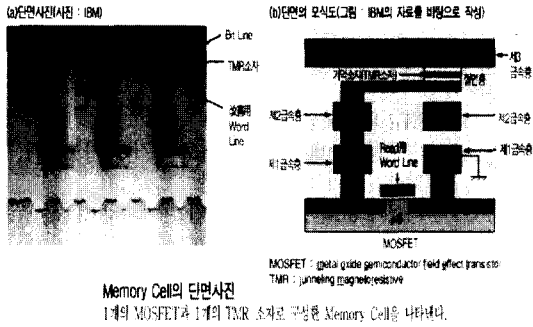
TMR MRAM으로 연구방향을 바꾼 것을 볼 때 TMR MRAM이 고집적화의 가능성이 더욱 높은 것으로 생각된다. 이상에서 논한바와 같이 여러 MR소자를 〈표 2〉에 정리하여 그 특성을 살펴보았다.

MRAM은 자기기록의 비휘발성, 고집적성과 반도체 메모리의 고속성을 겸비한 획기적인 정보 기억 device로서 시스템LSI, 휴대정보기기, 멀티미디어 기록매체 등에서의 응용, 더 나아가 DRAM 대체 등이 검토되고 있다. 본고에서는 TMR 구조를 중심으로 MRAM기술의 개요, 고집적화를 위한 기술과제, 차세대 메모리소자로서의 전망에 관해서 고찰하고자 한다.

II. MRAM 기술의 개요

MRAM의 구조는 semiconductor CMOS부(front end 공정)와 메모리부의 TMR cell(back end 공정)이 결합되어 있는 형태가 IBM, Motorola에 의해 주도되고 있다.

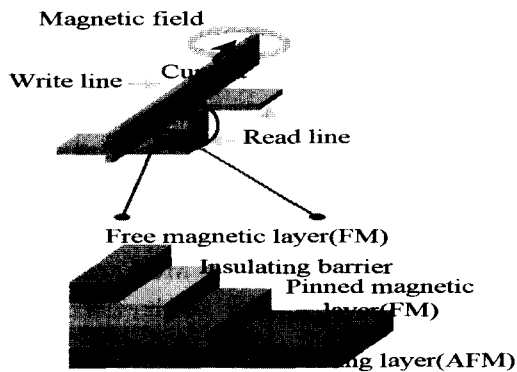
여기서 TMR cell 부분은 제2금속층에 write 용 word line과 제3금속층인 bit(or sense) line이 교차하고 그 교차점에 TMR 소자의 한 단자가 연결되고 다른 단자는 MOS transistor와 연결된다. 이때 TMR에 흐르는 전류는 소자면에 수직인 방향으로 흐르게 되어 cell의 isolation을 시키는 MOSFET을 통과하여 저항이 크



<그림 1> 한 개의 MOS transistor와 한 개의 TMR cell로 구성된 MRAM의 unit cell 구조

면 “1”, 저항이 작으면 “0”로 TMR cell의 상태를 읽게 된다. writing은 bit line의 current와 writing용 word line의 current가 동시에 흘러서 일정크기 이상의 자기장이 유도 작용되어야 이루어진다. 이때 +bit line current에 의해 “0”(혹은 low R)가, -bit line current에 의해 “1”(혹은 high R)이 각각 기록된다. 어느 한 전류(즉 자기장)에 의해서 만든 기록되지 않는다.

<그림 2>에서와 같이 TMR cell은 두 금속 자성 막 사이에 아주 얇은 절연 막($Al_2O_3 \sim 10\text{\AA}$)으로 구성되어 tunneling current가 두 자성박막의 자성상태에 따라 달라지는 “spin-polarized electron”의 tunneling 현상을 이용한 것이다. 즉 두 자성 막의 자화가 나란할 경우 tunnel current가 크고(저항이 작다), 반 평행할 경우 tunnel current가 작아서(저항이 크다), 자화의 정렬에 따라 저항의 크기가 달라진



<그림 2> TMR cell의 구조

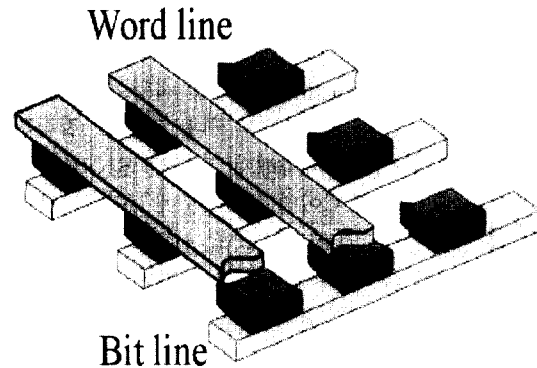
다. 이 현상은 이미 25년 전 Julliere가 발견하였으며 자기장에 따른 저항거동은 Slonczewski의 현상론적인 모델과 일치한다. TMR 소자 제작에서 가장 중요한 것은 아주 얇은 alumina를 연속막으로 pin hole없이 만드는 것이다. Julliere의 발견이후 많은 연구자들이 TMR을 연구하였지만 대부분의 결과는 액체질소의 온도인 77K에서만 작은 MR ratio를 얻었으며 상온에서는 MR이 거의 없었다. 상온에서 얻어진 가장 큰 MR ratio는 Miyazaki가 1991년에 얻은 2.7%였다.

이런 작은 MR의 원인은 alumina를 자연산화법으로 만들거나 열산화법으로 만들었기 때문이다. 그 이후 모든 TMR결과는 oxygen plasma로 Al을 산화시킨 것이 주고 자연산화법을 고집하던 Miyazaki 그룹이 최근 plasma 산화법으로 전환한 것은 생각해 볼 문제이다. Al의 두께, 산화조건에 따라 저항이 수 kΩ~수 MΩ으로 크게 변하므로 적절한 산화조건을 찾는 것이 TMR소자 제작에 핵심이라 할 수 있다. TMR 소자는 기본적으로 절연 막으로 분리된 두 강자성 막이지만 memory application을 고려한다면 <그림 2>와 같이 두 막 중의 하나를 anti-ferromagnetic material을 써서 pinning하여 GMR spin-valve structure와 유사한 구조를 갖도록 하여야 한다. 그 이유는 외부자기장이 없을 경우 저항의 크기가 분명히 다른 두 상태가 존재하여 stable memory device가 될 수 있기 때문이다. 또한 TMR 소자의 MR비가 커야 하는 것이 MRAM의 특징인 고속동작 성능을 추구해 가는 데에 있어서 중요한 요소기술이 된다. 현재 MR비를 크게 하기 위해 half metallic 강자성체에 의한 접합, double barrier에 의한 resonance tunnel 접합의 두 개 방향을 생각할 수 있는데 half metallic 강자성체로서 Heusler합금의 NiMnSb, PtMnSb 등, Colossal MR을 보이는 Perovskite형 Mn 산화물인 $La_{0.7}Sr_{0.4}MnO_3$ 등, 산화물인 CrO_2 , Fe_3O_4 등이 알려져 있다. 최근 $La_{0.7}Sr_{0.3}MnO_3/SrTiO_3/La_{0.7}Sr_{0.3}MnO_3$ 접합에 있어서 4.2K의 저온에서 420%의 MR비를 얻었다고 발표되어 있다.^[6] 또한 Fe/

Ge(0.5nm)/Fe(1.5nm)/Ge(0.5nm)/Fe 구조의 이중 barrier에서 저온에서 이론적으로 95%의 MR비를 얻을 수 있다는 발표가 있다.^[7] MR비의 증대뿐만 아니라 실용소자의 동작전압 level이 인가되었을 때 MR비의 감소가 지적되고 있고 열화에 의한 감소 또한 중요한 issue가 된다. MOS 제작 공정에서는 process과정에서의 damage 회복을 위해서 환원 분위기 중에서의 anneal(400°C 정도)이 행해지고 있다. 한편, TMR소자의 MR비는 300°C 이상으로 anneal하면 계면원자의 확산에 의해 저하하는 것으로 알려져 있다. 이 때문에 MOS transistor를 집적할 때에는 process의 저온화, anneal 후의 MRAM 제작공정의 실시 등 process 상의 대책을 강구해야 한다. 결국 열적으로 안정한 자성물질과 반자성물질을 선택하여야 한다.

III. 고집적화를 위한 기술과제

Photolithography와 e-beam litho를 적절히 사용하면 submicro 크기의 소자구현은 어렵지 않으나 메모리 구현을 위해 micromagnetics와 관련하여 시급히 해결해야 할 문제가 몇 가지 있다. 현재까지 메모리 소자에 대한 자화반전 연구는 외부의 자기장을 사용하여 수행되었으며 실제로 집적화된 word 및 sense(또는 bit) line을 사용하여 자화반전 연구를 수행할 경우는 많지 않으며 현재 초보 단계의 연구가 이루어지고 있다. free layer의 자화반전은 single domain에 의한 rotation이 바람직하나 실제로는 submicro size에서 single domain behavior를 얻는 것은 쉽지 않다. 또 동일한 크기의 cell을 여러 개 만들어 H vs MR을 얻어보면 switching field의 변화 폭이 큰데 이것은 cell의 크기가 클 경우는 그렇지 않은 것으로 보아 작은 cell dimension인 경우 cell의 형상이 모두 달라 switching이 균일하지 않게 된다. cell의 모양을 정확히 가공할 수 있는 공정개발이 매우 중요하다.



〈그림 3〉 word line과 bit line의 cross point에 구성된 cell들은 a-Si diode와 TMR 소자의 적층으로 형성되어 있다. 이 경우 $4F^2$ 의 기록밀도 실현이 가능하다.

자성소재의 etching기술은 soft 자성박막의 switching field를 결정하는 중요한 기술이다.

이는 spin이 switching 되는 과정에서 박막의 edge에 domain이 nucleation될 때 edge의 defect와 밀접한 관련이 있기 때문이다. 수 년 전부터 IBM, Motorola 그룹에서 ICP RIE (Inductively Coupled Plasma Reactive Ion etching)기술을 개발하고 있으나 아직 표준화된 공정은 없다. 그리고 free layer의 switching이 적어도 10^7 cycles 동안에 안정함을 보여야 하고 TMR 소자의 요구되는 switching speed를 구현하기 위해 junction의 주어진 저항과 capacitance값(RC delay)을 최소한으로 가져가야 할 것이다.

〈그림 3〉에서와 같이 diode를 쓴 cross point형 cell의 구조를 살펴보자.^[8] 전자 device의 집적성을 나타내는 지표로서 최소가공치수 F에 대한 1 기억 cell의 점유면적이 쓰인다. 기억 cell을 이차원으로 집적하는 경우 cell 면적의 극한치는 $4F^2$ 가 된다. 이러한 극한적인 집적성을 실현 가능한 소자구성으로서 TMR소자와 diode를 면직방향에 집적한 cross point 구조의 MRAM이 제안되어 있다. diode에 의해 TMR 소자의 전류방향이 규정되기 때문에 cell선택을 위한 MOS transistor가 필요 없게 된다. Amorphous Si diode와 TMR 소자로 구성되

는 MRAM 기억 cell이 250°C의 저온 process에 의해 시작되어 있다. 이 구조에서 문제점은 amorphous Si diode의 순방향 저항이 크기 때문에 고속동작의 제약이 되거나 고밀도 집적한 경우에 소자전류가 미약해져 판독시 SN비가 저하하는 것 등이 문제이다. 이 때문에 순방향 저항을 줄이는 방법으로 laser anneal에 의한 amorphous Si의 재결정화나 다결정 박막 diode 재료의 개발 등이 검토되어 있다.

IV. MRAM의 전망과 맺음말

최근 메모리 시장은 컴퓨터, 워크스테이션, 서버 시스템을 중심으로 주기억 메모리, 그래픽 메모리, 캐시 메모리 등 견실한 수요의 신장을 나타내고 있다. 또한 정보통신, 멀티미디어의 진전에 따라 전자기기는 다양화와 고기능화가 진행되어 각종 메모리 제품에는 다양한 고속, 고기능, 저전력 메모리를 요구하고 있다. 따라서 이러한 기능을 수행하기 위한 차세대 메모리 기술간의 주도권 경쟁이 치열하다. MRAM은 강자성체의 전도전자가 갖는 spin분극의 특성을 memory 기능동작으로서 이용하는 새로운 device이다. 차세대 메모리로서 MRAM의 구현을 위해서는 자성소재 기술, 자성소자 기술, 자성소재 etching 기술, Si 소자와의 결합 기술 외에도 일반적인 메모리 기술인 design 기술, testing 기술이 필요하다. 자성소재는 대부분이 전이금속으로서 특히 이들의 박막의 성질은 그들의 microstructure에 따라 상당한 변화를 보인다. 특히 MRAM의 개발에는 자성박막 소재들의 etching 기술과 etching이 소자의 특성에 미치는 영향들에 대한 이해가 필요할 것이다.

게다가 최근 각광을 받고 있는 GMR, TMR 소자는 이러한 자성박막을 여러 층을 쌓아 만든 특별한 heterostructure로서 이들의 제조기술 뿐만 아니라 원리에 대한 이해가 필요하다.

왜냐하면 앞으로도 계속 새로운 개념의 소자들

이 나올 가능성이 높기 때문이다. 특히 이 들 소자들을 MRAM의 기본 소자로 사용하게 되면 이 들의 특성을 제어하는 기술이 절대적으로 필요하다. MRAM 연구자체는 실용화 연구 단계에 들어가 있지만 그 동작원리로 되어 있는 전도전자의 spin분극에 관해서는 미 해명된 부분이 많아 자성체 물리에 있어서의 첨단 연구영역의 하나이기도 하다. MRAM 이외에도 spin transistor, spin FET 등의 능동소자나 단일전자 tunneling에 있어서의 spin 의존 전도 등, spin 제어기술의 미래를 향한 다양한 연구가 전개되고 있다.

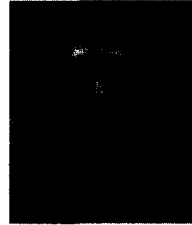
MRAM은 space application용으로는 radiation에 견딜 수 있는 유일한 메모리 기술이기 때문에 이 부분에서는 경쟁이 없다고 할 수 있다. Non-volatile 메모리 부문에서는 flash 메모리나 FRAM이 있다. flash memory는 이미 상용화된 상태이고 FRAM도 곧 상용화 될 것으로 생각된다. 늦게 시작된 MRAM의 장점으로는 이들보다 read/write 속도가 빠르고 저소모 전력으로 mobile application에 가능성을 보여 줄 뿐만 아니라 자성소재들에 저장된 정보가 더 안정적이어서 niche memory market 이외에 현재의 DRAM을 대체할 수 있는 mainstream memory로서의 가능성도 내포한다고 할 수 있다. 현재의 DRAM기술은 높은 유전상수를 가진 유전체의 개발에 의존하고 있으나 새로운 유전체의 개발이 지속될지 여부가 불확실하다. 게다가 DRAM은 저장된 정보의 refreshing이 계속 필요하기 때문에 MRAM의 소형화를 통한 고집적이 이루어 질 수만 있다면 속도와 집적도 면에서 차세대 메모리로서의 가능성이 크다고 하겠다.

참 고 문 헌

- [1] J. M. Daughton, Ferroelectrics, 116, 175, (1991)
- [2] J. S. Moodera, et al., Phys. Rev. B74, 3273, (1995)

- [3] S. S. P. Parkin, et al., J. Appl. Phys. 85, 5828, (1999)
- [4] J. Markoff, New York Times, April 6, (1999)
- [5] S. Tehrani, et al., The Int'l Symposium on Magnetism of KMS, Sept. (2000)
- [6] M. Viret et al., Europhys. Lett., 39, 545, (1997)
- [7] X. Zhang, et al., Phys. Rev. B56, 5484, (1997)
- [8] R. C. Sousa et al., Appl. Phys. Lett. 74, 3893, (1999)

저자 소개



石重 鉉

1960년 11월 25일생, 1984년 2월 서울대 물리교육과 졸업(학사), 1986년 2월 서울대 대학원 물리학과 졸업(석사), 1995년 5월 Iowa State Univ. 물리학과 졸업(박사), 1995년 5월~1995

년 9월 : 미 Ames lab 연구원, 1995년 10월 ~1996년 2월 : 일본 ISTECC fellow, 1996년 2월~현재 : 삼성종합기술원 전문연구원, <주관심 분야 : 금속산화물박막을 이용한 전자소자 개발, 자성박막을 이용한 메모리개발>