특 집

Single Electronics

최 중 범, 김 병 만
테라급 나노소자 개발사업단

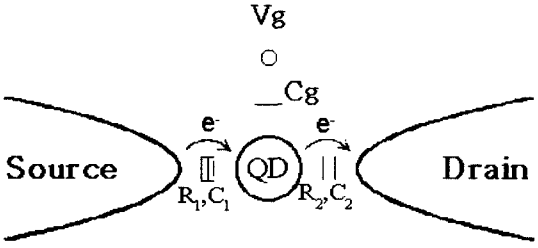
I. 서 론

1998년 봄 MIT와 Los Alamos National Lab의 연구팀은 한가지 획기적인 실험을 발표했다. 3-qubit 양자컴퓨터의 모델에 데이터를 입력하여 이를 다시 읽을 수 있게 한 것이다. 비록 이 실험이 liquid molecule에 NMR 기법을 이용했지만 만일 나노스케일 양자점 array에 의한 solid-state 양자연산 집적회로 제작이 실현 된다면 인공두뇌가 상온에서도 동작할 수 있는 가능성을 보인 것이다. 현대 고도의 정보사회를 주도하고 있는 반도체 microelectronics 공학에서 양자(量子) 개념의 도입은 피할 수 없다. Giga bit DRAM에 이르기까지 끊임없이 발전하고 있는 반도체 산업에서 메모리 집적도가 늘어가면서 기존의 MOS 소자 동작이 한계에 부딪히며 소자 신뢰성에 문제가 발생하게 되는데 이들은 기존구조 및 scaling law들의 적절한 수정(대표적으로 최근 IBM 및 Intel 등에서 활발히 시도하는 double gate MOSFET, 3-D 집적화 등)로 어느정도 해결되지만 10nm 이하의 테라급 집적스케일에 이르러서는 크기가 작아서 생기는 근본적인 문제-소자의 양자화는 피할 수 없다. 즉, 나노크기에서 현저하게 부각되는 전하의 양자화에 의한 single charging energy, 에너지 양자화 및 양자간섭현상이 소자 특성을 지배한다. 최근 한창 연구가 활발한 단전자 트랜지스터(single electron transistor : SET)는 바로 이러한 소자 양자화 현상에 기초를 하고 있다. 기존의 FET 소자크기가 극한으로 가는 경우 단일전하 charging energy가 thermal fluctuation 보다 커지면서 전자 한개에 해당하는 게이트 전압 변화로 드레인 전류를 switch on/off할 수 있는 새로운 사실을 보여준다. 이러한 발견은 반도체 산업이 요구하는 고집적, 초고속 및 저소비전력의 차세대 메모리 및 로직 회로 개발과 부합되어 SET 연구를 더욱 촉진 시키고 있다. 또한 SET 기본 구조는 기존의 FET과는 달리 MOS 전도채널 대신 나노크기의 양자점(quantum dot : QD)에 의한 단전자터널링을 이용하기 때문에 양자점의 물리적 특성에 크게 의존할 수 밖에 없다. 즉, QD의 charging energy, space quantization 및 QD내의 소수개의 전자-전자 쿨롱상호작용이 주요 인자가 된다. 또한 다중접합 QD를 이용한 SET인 경우는 QD간의 상호터널링 효과도 중요하다. 이러한 이유로 SET 연구는 few-electron QD system의 mesoscopic physics 기초연구와 밀접한 관련이 있으며 최근에는 단분자 및 CNT를 이용한 SET 개발이 시도되고 있다. 본 논문에서는 지면상 SET의 기본 원리와 SET 관련 digital electronics 응용에 국한하여 대표적인 로직 및 메모리 연구들의 최근 현황과 전망에 관해 간단히 기술하려 한다.

II. SET 기본원리 : 전하 및 에너지 양자화

SET의 기본구조는 소스와 드레인 사이에 나노크기의 한개의 양자점과 이와 전기용량적으로

커플링된 게이트로 하나의 단위소자를 이룬다 (〈그림 1〉). 나노크기 QD의 매우 작은 전기용량으로 인하여 전자 한개의 QD charging energy가 열에너지보다 커지면서 소스로부터의 전하이동이 차단된다. 이러한 현상을 소위 Coulomb-blockade(CB)라 하는데 러시아의 Averin과 Likharev[1]에 의해 이론적으로 금속 dot에서 처음 제안되었다. 이러한 CB 효과를 실험적으로 관측하기 위해서는 두가지 기본적인 fluctuation을 극복해야 한다. 첫째는 전자 한개의 QD charging energy가 thermal fluctuation보다 커야하며, 둘째 QD와 소스 및 드레인과의 전기저항이 양자저항 $h/e^2(=25.813k\Omega)$ 보다 커야 한다. 이와같은 CB에 의한 전류 차단은 게이트 전압 변화에 의해 QD 정전포텐샬 장벽을 낮추면서 제거되어 전자가 한개씩 연속적으로 터널링하게 된다. 보다 구체적으로 기술하면, 게이트 전압을 증가 시키면 QD에 유도전하가 늘어나며(이때 유도전하량은 연속적인 값이므로 기본전하 e보다 작을 수 있다) QD 에너지가 커지게 된다. QD의 유도전하량이 기본전하 e에 도달하면 소스로 부터 전자 한개가 터널링하여 유도전하량을 상쇄시켜 QD 에너지를 다시 최소화 시킨다. 이와 같이 게이트 전압에 의해 증가되는 QD 내의 연속적인 값의 유도전하량이 소스로 부터의 터널링 전자(기본 전하 e로 양자화)에 의해 상쇄되어 에너지를 최소화 하려는 현상은 게이트 전압을 sweep하면서 주기적으로 반복하게 되는데 이를 쿨롱진동으로 부르며 실험적으로 게이트전압 변화에 따른 드레인 전류의 주기적인 on/off로 관측되어진다. 이러한 CB 모델은 쿨롱진동의 주기성이 근본적으로 터널링 전하의 양자화 현상에 의해 기인하며 각각의 on peak를 지날 때마다 QD 내의 전자가 한개씩 증가함을 보여준다. 이는 SET spectroscopy의 핵심적인 역할을 할 뿐 아니라 multi-bit 로직에의 응용을 가능케하는 가장 중요한 SET 특성이다. SET에서 단전자터널링을 제어하는 또 하나의 주요인자는 QD가 금속 아닌 반도체인 경우 강한 space quantum confinement에 의한 에너지 양자화이다. 이러한

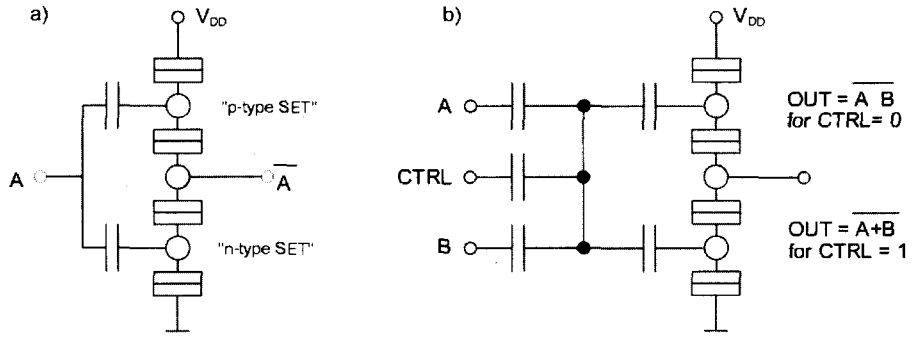


〈그림 1〉 Basic structure of the single electron transistor

에너지 양자화 간격 ΔE는 QD내의 전자-전자 쿨롱상호작용에 의해 변화하며 10nm 이하의 나노스케일에 이르면 쿨롱 charging energy와 함께 중요하다. 하지만 100nm 스케일에서는 charging enegy보다 one-order 정도 작으므로 쿨롱진동 주기의 미세 변화에 의한 정밀 측정은 양자영역($\Delta E \gg kBT$)이란 극저온(수십 mK)의 실험조건이 요구된다.

Ⅲ. 단전자 Logic : Multi-bit Switch 및 양자컴퓨터 에의 응용

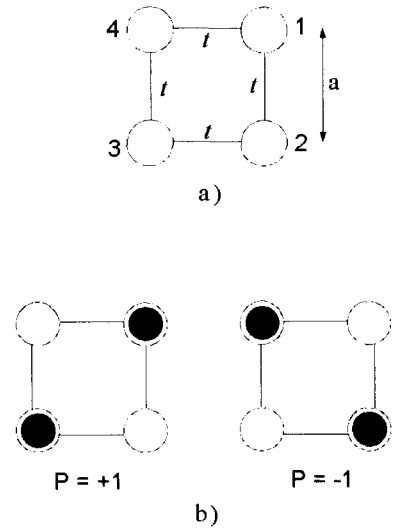
SET 연구의 가장 직접적인 추진력이 된것은 무었보다 고집적, 초고속, 저소비전력 digital electronics에의 응용 가능성임을 부인할 수 없다. 먼저 SET Logic 연구에는 현재 두가지 접근방법으로 개발이 진행되고 있다. 먼저 기존의 CMOS 로직회로에서 FET을 SET으로 대치하여 voltage-state를 로직레벨로 사용하는 소위 CMOS-type SET Logic 방식(〈그림 2〉)이고 다른 하나는 특정한 배치분포의 양자점들 내의 전하의 유무에 의해 정보를 코딩하는 소위 charge-state를 로직레벨로 사용하는 방법이다. 먼저 voltage-state logic[2,3]의 경우, 현재 dinary logic에 국한하여 연구가 진행되고 있지만 SET인 경우 CMOS와 달리 쿨롱진동의 multiple switch on/off를 이용하여 multi-bit 로직구성이 가능, CPU 집적도를 크게 늘릴수 있다. 현재 SET 자체의 높은 impedence에 의한 logic delay가 가장 큰 문제로 대두되고 있지만



〈그림 2〉 Capacitively-coupled SET를 단위 소자로 구성한 기본 dinary 로직 회로도 : (a) Inverter, (b) NAND/NOR gate

궁극적으로 테라급 scale(상온동작)에서는 SET junction capacitance가 ~aF로 대폭 축소되어 RC time delay 문제 해결이 가능하다. 현재 SET 로직의 여러 가지 문제점들을 해결하기 위한 효과적인 SET 구조설계와 SET/FET 구동회로 개발 및 defect-tolerant 회로 설계, 등 연구가 진행되고 있는데 대표적으로 일본의 NTT의 Ono 그룹 · Toshiba의 Uchida 그룹 · 유럽 Cambridge 대학 Cavendish Lab의 Ahmed 그룹 및 Delft 공대 Mooij 그룹 등이 활발하다[4]. 이들은 구조설계 개선에 의해 비교적 높은 전압이득(voltage gain)을 지닌 저온 prototype SET 로직을 개발중이다.

반면, 후자의 charge-state logic 경우, 배선이 필요없이 Coulomb interaction에 의해 정보가 전달되어 초고속 및 저소비전력회로의 획기적 향상을 기할 수 있다. 대표적으로 Norte Dame 대학을 들 수 있는데 먼저 Bandyopadhyay 그룹은 양자역학적 Boolean logic 기본단위로서 QD 내의 단전자의 spin-up과 spin-down state를 사용, 적절한 QD들의 배열 topology를 통해 logic gate를 만들 수 있음을 제시했다. 여기서 logic gate의 부울 논리기능(AND, OR 등)은 게이트를 구성하는 QD들의 전자간의 exchange interaction에 의해 결정된다. 비슷한 접근으로 Lent 그룹[5]은 2개의 전자가 들어있는 4개의 서로 커플링된 QD(터널링 가능)들을 logic gate의 기본단위 블락으로 이들



〈그림 3〉 A basic building block of the quantum logic gate;a) The geometry of unit cell. Electron tunneling rate is designated by t, b) Two polarization states for four coupled-QDs with two electrons

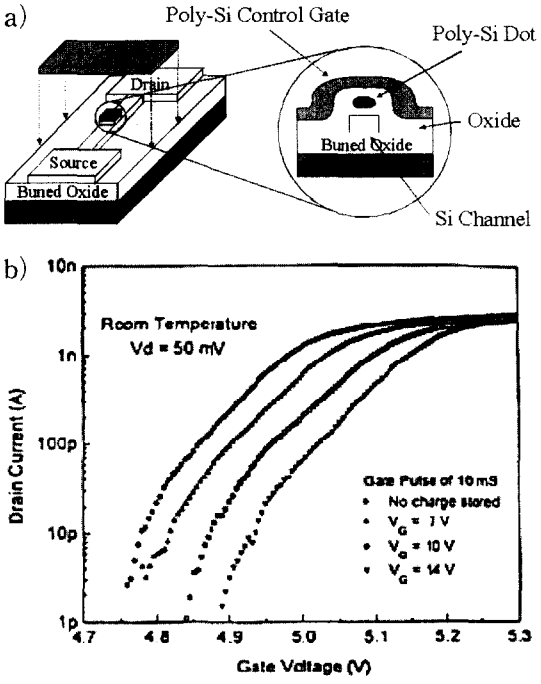
전자들의 두가지 서로 다른 polarization 상태(〈그림 3〉)를 Boolean 로직의 기본단위로 사용할 수 있음을 제시했다. 이와 같은 소위 Notre Dame logic gate로 불리우는 QD에 의한 시도들은 logic gate들이 단위블락의 적절한 배열에 의해 가능하며 그 연산기능은 Hubbard-type Hamiltonian에 의해 양자역학적으로 정확하게 계산될 수 있다. 그러나 로직게이트 구성이 전적으로 균일한 크기 및 위치의 양자점들 형성에 의존하며 입출력의 기술적 방법에 있어의 문제 등

소자 implementation에 많은 기술적 도약이 필요하다. 그러나 보다 근본적인 문제는 양자점내의 전자의 dephasing time이 짧아 스핀, 또는 polarization 초기상태가 로직게이트 연산시간 동안 지속하기 어려워 error를 피할수 없다. 양자점에 의한 양자컴퓨터 qubit 모델은 coherence time이 충분히 긴 새로운 구조 제시가 요구된다[6].

Ⅳ. 단전자 Memory : 비휘발성 Single-electron Flash Memory

디지털 electronics 응용의 또 하나의 중요한 메모리연구에는 양자점을 floating gate로 사용하고 양자선 선폭의 MOSFET 전도채널을 센서로 사용하는 소위 단전자 MOS 메모리 개발이 활발한데 기존의 전형적인 non-volatile flash memory의 극한 형태이다. 메모리단위소자 자체도 나노크기로 작지만 floating QD 안에 전자의 갯수가 0, 1, 2, 3, … 되는 경우에 대한 각각의 제어게이트 threshold voltage-shift의 양자화를 이용하면 하나의 QD를 가지고도 multi-level 정보저장이 가능하여 상당한 고집적화가 가능하다.

최근 발표된 대표적인 연구들 가운데, 먼저 일본 Hitachi 그룹[7]은 초박막 poly-Si이 결정화 과정에서 자연적으로 생성되는 고립된 grain을 QD floating gate로 하고 percolation path를 감지채널로하는 nano-Si TFT 구조의 단전자 메모리 제작 결과를 발표했다. 그러나 300K에서의 메모리 특성곡선에서 약 50mV 간격의 Vth-shift를 보였지만 threshold 양자화로 말하기에는 data fluctuation이 너무 심하다. 이러한 결과는 당연한것으로 QD 생성과정의 임의의 크기와 채널과의 거리에 대한 fluctuation을 피할 수 없기 때문이다. 그럼에도 불구하고 이들 그룹은 같은 형태의 nano-Si TFT를 단위소자로하여 64-bit에 이어 최근 128Mb 메모리 집적회로를 발표하고 있다. 다음 좀 더 현실적인 구조로서 미국 IBM의 Tiwari 그룹[8](현재 Cornell 대학 NNF)은 implantation 및 annealing에 의한 Si-nanocrystal을 QD floating gate로 사용, 기존의 flash MOS 타입 메모리를 제작했는데 상온의 3V 동작하에 약 0.5V의 Vth-shift와 μA의 비교적 높은 전류를 얻을 수 있었으며 30Å의 매우 얇은 터널링옥사이드에 의한 direct tunneling을 이용, 100nsec의 매우 빠른 writing time을 얻을 수 있었다. 그러나, 이 구조 또한 메모리특성곡선에서 나노크리스탈내의 수 백여개의 전자 터널링 유무에 기인하는 hysterisis만 보였을 뿐 threshold 양자화는 관측 못했다. 이 구조 역시 nanocrystal 생성시의 QD들의 크기 및 채널로 부터의 거리에서의 상당한 fluctuation(프와송 분포)을 피할수 없기 때문에 사실상 single QD-MOS 메모리들의 병렬형태라 볼 수 없다. 가장 최근 미국 Minnesota 대학의 Chou 그룹[9](현재는 Princeton 대학)은 전자선 리소그래피와 열산화법의 정통적인 기술로



〈그림 4〉 Single QD- MOS memory; a) device structure, b) threshold quantization at 300K

flash memory의 극한 형태의 single QD-MOS 메모리 제작(<그림 4>)을 발표하여 주목을 끌었다. 약 7nm 크기의 한개의 poly-Si QD와 10 nm 채널폭을 가진 전형적인 floating-gate 단전자 MOS 메모리 구조는 상온에서의 I-V 특성에서 매우 정밀하게 QD 전자갯수 N=0, 1, 2, 3 까지의 약 55mV 간격의 *threshold* 양자화를 보여준다. Chou 결과는 전자빔 리소그래피와 열산화법에 의해 floating gate QD의 크기와 위치를 정확하게 제어할 수 있고 제작공정이 기존의 CMOS 공정과 거의 일치한다는 점에서 차세대 실리콘 tera-bit 고집적 메모리 실현에 희망을 던져주는 중요한 업적이나 data의 재현성과 신뢰도가 문제이다. 그밖에 최근들어 Cal Tech의 Atwater 그룹 및 Lucent Technologies에서도 연구가 진행되고 있다[4].

V. 맺음말

"... It seems to me that laws of physics present no barrier to reducing the size of computers until bits are the size of atoms and quantum behaviour holds sway ..." 이 말은 Richard Feynman이 1985년에 던진 하나의 prophetic statement이다. 현재 진행되고 있는 소자 miniaturization은 궁극적으로 소자의 양자화에 도움을 받아 장벽을 극복할 수 있다. SET기술은 전하 및 에너지의 양자화 개념을 이용하여 10nm 이하에서 CMOS가 부딪히는 원천적 한계를 극복하는 기술이다. 즉, SET은 테라급에서만 그 의미를 지닌다. 그러나 현재 100nm 수준의 리소패터닝 기술 단계에서 시도되고 있는 다양한 저온 prototype SET 연구들은 상온동작 테라급 회로 실현을 위해 필요한 예비연구이며 고비용의 극저온 cryogenics 기술이 요구된다. 상온동작 SET 실현에는 절대적으로 나노패터닝 기술의 혁신적인 개발이 필요하다. 적어도 10nm 이하의 QD들의 크기, 위치 및 다양한 패턴을 얼마나 정밀하게 제작할 수 있느냐에 SET 관련 연구의 미래가 달려있다. 21세기 양자정보시대의 뉴 패러다임 구축을 위한 기초작업은 이제 시작에 불과하다.

참 고 문 헌

[1] D. V. Averin and K. K. Likharev, J. Low Tem. Phys. 62, 345 (1986).

[2] K. K. Likharev et al., Appl. Phys. Lett. 68, 1954 (1996); Appl. Phys. Lett. 72, 61 (1998).

[3] A. N. Korotkov, in Molecular Electronics, edited by J. Jortner and M. A. Ratner (Blackwell, Oxford, 1997), p. 157.

[4] For recent progress, see "IEDM" (1999 & 2000).

[5] C. S. Lent et al., Appl. Phys. Lett. 71, 1730 (1997).

[6] D. P. DiVincenzo, Phys. Rev. A, 51, 1015 (1995).

[7] K. Yano et al., IEEE Trans. Electron Devices, 41, 1628 (1994).

[8] S. Tiwari et al., Appl. Phys. Lett., 68, 1377 (1996).

[9] S. Y. Chou et al., Science, 275, 649 (1997).

저 자 소 개

崔 重 範

Univ. of Maryland, Ph. D. /Cornell Univ., Postdoc./현재 충북대학교 물리학과 교수, (jungchoi@trut.chungbuk.ac.kr)

金 炳 晩

Rensselaer Polytechnic Institute, Ph. D./삼성종합기술원 차세대메모리개발 팀 전문연구원/현재 삼성종합기술원 차세대메모리 개발팀 Projector Manager. (bmkim@sait.samsung.co.kr)