

## 무전해 Ni/Au 도금에서의 BGA Solderability 특성 개선에 관한 연구

민재상 · 황영호 · 조일제

LG전자 생산기술원 실장기술그룹

### Study on the Improvement of BGA Solderability in Electroless Nickel/Gold Deposit

Jae-Sang Min, Young-Ho Hwang and Il-Je Cho

Advanced Electronic Packaging Technology Group, LG Production engineering Research Center,  
LG Electronics, Pyungtaek-Si, 451-713, Korea

**초 록:** 최근 전자 제품에서 사용이 폭발적으로 증가하고 있는 BGA, CSP 등의 면실장형 부품의 폭 넓은 채용에 따라서 베어 보드에서 solderability에 영향을 미치는 평탄한 표면 처리에 대한 요구는 갈수록 증가되고 있다. 무전해 Ni/Au도금 처리는 이러한 요구에 대한 해결책을 가지고 있어서 많은 전자제품에서 평탄한 표면 처리를 요구하는 응용 분야에 폭 넓게 사용되고 있다. 그러나, 무전해 Ni/Au 도금은 평탄한 표면 처리를 가지는 반면에 도금 공정에서 Ni의 산화와 적절한 P성분과 같은 몇 가지 해결요소를 가지고 있는 실정이다. 본 연구에서는 무전해 Ni/Au 도금 처리를 한 보드에서 BGA의 solderability에 미치는 영향을 사전 조사한 후, NiP 산화 특성과 보드의 휨과 같은 주요 인자를 선정하였다. 이를 위하여 먼저, 다양한 도금 조건을 가지는 테스트 보드를 제작한 후, 도금 공정에서 P성분을 감소시켜 NiP 산화 특성을 개선하였다. 또한 다양한 내층 구조와 휨 분석을 통해 내층 구조를 개선하여 보드의 휨을 최소화하였다. Solderability의 평가를 위해서 최적의 조건으로 제작된 보드에 BGA를 실장하여 보드의 휨과 도금 특성을 분석하였다. BGA의 접합부 조직은 주사 전자현미경(SEM: Scanning Electronic Microscope)과 광학 현미경(Optical Microscope)으로 관찰하였으며, 성분 분석은 EDS(Energy Dispersive Spectroscopy)를 활용하였다. 또한 기계적인 특성은 ball shear tester를 사용해서 파괴 강도와 모드를 분석하였다.

**Abstract:** With a spread of BGA, CSP and fine pitch devices, the need of flatter surface finish in bare board is becoming more critical in solderability. The electroless Ni/Au plating has a solution of these needs and also has being spread to apply to surface finish for bare board in many electronic goods. But, the electroless Ni/Au plating had several issues such as Ni oxidation and phosphorous contents. Before this study, we studied on the effect of BGA solderability in electroless Ni/Au plating and chose some major factors such as the oxidation property of NiP plating and warpage of board. Firstly, we made test board with various plating conditions and improved the plating property through the improvement of NiP oxidation reducing P content. Also, we minimized the warpage of board with the improvement of inner layer structure and the analysis of warpage. For the evaluation of solderability, we analyzed the warpage of board and the plating property after mounting BGA on the board with optimizing conditions. The solder joint of BGA is investigated by SEM(Scanning Electronic Microscope) and OM(Optical Microscope). The composition of joint is used by EDS(Energy Dispersive Spectroscopy). We analyzed the fracture strength and mode by ball shear tester.

### 1. 서 론

#### 1.1. 기술적 배경

최근의 휴대폰, 노트북 등 제품의 크기가 작고 박형을

요구하는 전자제품의 수요는 갈수록 폭발적인 추세로 증가하고 있다. 현재는 개인 휴대폰이나 디지털 회로 등을 이용해 외부의 정보를 받거나 보내는 것이 가능하며, 수년 내에 쌍방이 화상을 통해 송수신이 가능하게 되는

휴대폰이 상용화 될 것으로 예측되고 있다. 이러한 제품군은 필연적으로 보다 적은 사이즈, 보다 가벼운 무게, 보다 정교한 기능과 높은 스피드를 요구하게 된다.

실제적으로 이러한 형태의 부품군은 보다 작고 증가된 집적화 수준을 가져야만 하며 이러한 부품을 높은 밀도로 실장할 수 있게 된 것은 최근의 실장기술의 개발에 근거하고 있다. 최근까지 대부분의 전자부품은 QFP (Quad Flat Package)나 SOP (Small Outline Package)와 같은 리드를 가진 부품 실장 형태이다. 이러한 주변 단자 실장은 필수적인 실장 면적의 증가를 요구하며, 한계 피치에 도달하고 있어 다 핀 고기능 제품에서는 점진적으로 BGA (Ball Grid Array)와 같은 면실장형 부품으로 대체되고 있는 실정이다.

BGA는 리드대신 볼의 형태로 단자를 접속시키는 패키지의 형태로 인쇄 회로 기판상에서 QFP보다 낮은 실장면적을 가지면서 다 핀을 구현할 수 있는 장점과 30% 이내의 장착 미스에 도 부품 자체의 자중현상(self alignment)으로 이를 해결할 수 있는 장점을 가지고 있다. BGA는 많은 회사들에 의해 여러 가지 형태로 제안되어 많은 연구가 수행되어 왔으며, 최근에 와서는 장착시에 별다른 어려움 없이 높은 실장밀도를 수행할 수 있는 형태로 각광 받고 있다. 패키지 자체의 우수한 전기적 특성들(고속 응답성과 낮은 임피던스 등)로 해서 향후 정보통신, 정보가전, 디지털 제품군에서 QFP를 대체하여 급속히 범용화 될 것으로 예측되고 있다. 또한, 많은 연구를 통해 BGA 신뢰성은 확보되고 있는 상태이다.

그러나, QFP와 같은 리드 실장형 부품에 비해 BGA는 구조적으로 외부 충격을 완화할 수 있게 되어 있지 않고 기판과의 열팽창 계수의 차이에서 오는 직접적인 충격을 받는 구조를 가지고 있어서, 리드를 가진 부품에 비해 접속시에 단자부의 표면처리 종류와 상태에 따라 접속 신뢰성의 차이가 크게 발생하게 된다. 이와 더불어, 최근 무전해 Ni/Au 표면처리를 한 보드에서 BGA를 실장할 때 접합부의 단선(open) 불량률이 대두되고 있는 문제 또한 빈번한 것이 현실이다.

현재 보고되고 있는 BGA 실장시의 단선 불량 발생이 예상되는 요소로는 PCB(Printed Circuit Board) 휨, 건전한 접합부의 형성을 방해하는 도금 특성, 패키지 자체 품질과 공정상의 관리 및 작업 조건, 실제 요소 등 다양한 인자가 존재하나, 이에 관한 연구는 각각 개별적으로 수행되

어 왔으며<sup>2,3)</sup>, 각각의 요소들에 대한 상호 연관성에 관한 체계적인 논문이나 연구자료는 사실상 미미한 실정이다.

다라서 본 연구에서는 BGA 실장시에 발생하는 예상 문제에 관한 요소를 정의하고 이에 관한 적절한 가이드를 제시함으로써 BGA 실장 휨 특성에 미치는 품질 저해 요소를 분석/규명하여 무전해 Ni/Au 표면처리 기판에서 최적의 BGA 실장이 가능하도록 하였다. 아울러, 무전해 Ni/Au 도금에서의 최적 품질 구축을 위한 기초자료를 마련하고자 하였다.

## 1.2. 이론적 배경

### 1.2.1. 무전해 Ni/Au 도금 공정에서의 품질 문제

면실장형 부품군과 미세 피치 부품의 채용에 따라 보다 평탄한 표면처리의 요구는 갈수록 증가하고 있으며, 이에 따라 기존의 HASL (Hot Air Solder Leveling)의 적용은 사실상 제한되어 사용되고 있는 실정이다. 회로 기판에서의 Cu는 부품을 솔더링시에 훌륭한 표면으로서 작용하지만 쉽게 산화가 되는 특성을 가지고 있으며, 대기중에 노출된 Cu는 copper oxide를 형성하게 되어 젖음을 방해하게 된다<sup>1)</sup>. 무전해 Ni/Au 도금은 표면 금속으로 내산화 특성이 우수하고 반면 copper와는 쉽게 확산되는 특징을 가진 gold를 사용하고<sup>1,4)</sup>, Cu와 Au와의 확산을 방해할 barrier metal로서 Ni을 사용함<sup>5)</sup>으로서 접합표면이 어느 정도의 내구성과 전도성을 가지도록 도금하는 공정이다. Fig. 1은 무전해 Ni/Au 도금 공정을 간략히 나타낸 것이다.

무전해 Ni/Au 도금 공정을 살펴보면 적층이 완성된 베어 보드를 산 탈지하여 대기 중에 노출된 Cu 산화막을 제거한 후 도금이 용이하도록 소프트 에칭(soft etching)을 실시한다. 그리고 나서 Pd을 전착한 후 NiP 도금을 한 다음 Au 도금하여 건조 시킨 후 공정을 완료한다. NiP 도금 후 수세를 한 다음 Au 도금을 하는 단위 공정에서 NiP층의 산화가 진행되더라도 Au가 정상적으로 도금이 된다는 사실에 주목할 필요가 있다. Ni이 공기 중에 접촉하면 산화가 일어나게 되어 Ni oxide를 형성하게 된다. Ni oxide는 솔더링이 어렵고 플럭스로도 제거하기 어렵다. 따라서, Ni은 최우선적으로 Au가 증착되는 시간까지는 oxide free 상태가 되어야 한다. 무전해 금도금에서 Ni층 위에 Au 층을 무전해 도금처리 하기 위해서는 인(P) 성분이 필요하게 된다.

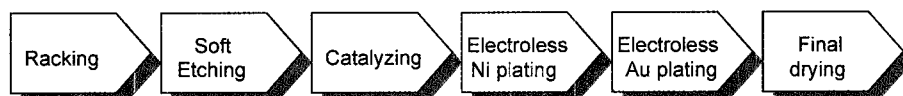


Fig. 1. Schematic electroless Ni/Au plating process.

P는 일반적으로 양이 많을 경우 솔더와의 합금층에서 취약(brittle)한 특성을 나타낸다. 즉, P 성분이 과다할 경우 솔더 합금층이 외부 충격에 쉽게 파괴가 일어난다는 사실이다. 국내의 경우 8~12%의 중 P을 많이 사용하고 있으나, 일본 등의 선진사와 몇몇 보고에서는 낮은 함량의 P의 사용할 것을 보고하고 있다<sup>1,2)</sup>. 또한 NiP 층이 산화가 될 경우라도 Au 도금이 정상적으로 진행되기 때문에 외관검사 등으로 이러한 현상을 판단하기는 사실상 어려운 상태이다. 이러한 현상은 최종적으로 부품을 실장한 후에, 공정 불량 요소로 나타나기 때문에 최종 제품 업계에서 불량 현상을 판단하여 개선할 수 있는 부분은 상당한 제약을 가지고 있게 되며, PCB 업계에서 도금 공

정의 안정화가 선행되어야 할 부분이다. 결국 Ni/Au 도금 공정에서의 신뢰성을 확보하기 위하여서는 아래와 같은 공정 안정화가 필수적이다.

- 도금 공정상 불순물(P, Au, Cu...)의 혼입을 억제함
- NiP 도금 후 Au 도금 공정 사이의 수세 시간(수세 시간은 일반적으로 업계에서 공정 자체를 없애거나, 또는 1 ~ 5분 정도로 최소화 하고 있음)을 제거 또는 단축하여 Ni oxide 형성을 최대한 억제함
- P 성분 함량(보통 8~12%의 중인을 많이 사용하고 있으나, 일본 업계의 경우 6~8% 이하의 저인을 선호하고 있음)이 낮은 도금액을 사용하여 P함량 증가에 따른 Ni층 분리를 방지함
- Ni 도금 두께 관리를 3 μm ~ 8 μm 수준으로 공정 관리해야 함.
- Au 도금 두께를 일반적 관리수준인 0.03 μm~ 0.05 μm에서 엄격히 관리

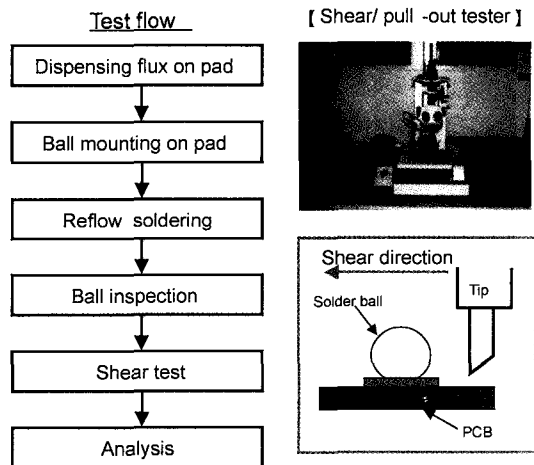


Fig. 2. Ball shear test method and flow chart.

1.2.2. Ni/Au 도금 특성 평가

일반적으로 Ni/Au 도금 특성 평가에 대한 정성적인 방법은 기계적 파괴에 의한 파괴층 관찰이나 육안 검사를 이용해서 도금상태의 얼룩과 산화정도를 관찰하는 것으로 대체되어 왔다. 정량적인 Ni/Au 도금의 특성 평가 방법은 일반적으로 ball shear test를 통한 파괴 강도와 파괴 층에 대한 결과로 대신하고 있다. 파괴 강도는 규정된 데이터가 없으나, BGA의 경우 관련 업계에서 적용하고 있는 규정(주로 패키징 업체)이 1.0 kgf/단위 면적 이상을 요구하고 있으며, 파괴 층의 경우 솔더 층과 Cu층의 분리형상을 양호한 파괴 형태로 판정하고 있다.

Fracture layer	Feature	Evaluation
Pad(Cu)		Good
Solder		
IMC (Ni/Sn)		Bad

**Mark**

- Solder
- Nickel
- Copper
- Solder mask

Fig. 3. Fracture mode.

Fig. 2는 ball shear test 방법 및 flow를 설명한 것이다.

Ball shear test 방법은 Ni/Au 도금이 된 베어 보드상에 솔더 볼을 올려 놓은 후 리플로우 솔더링(reflow soldering)을 한 후 shear tester로 볼을 측면에서 밀어 파괴 강도와 파괴 층을 평가한다. 이러한 파괴층에 대한 파괴 모드 평가표는 JEDEC (Joint Electron Device Engineering Council)의 JED22-B117에서 규정되어 있으며 평가 기준은 Fig. 3과 같다.

위의 파괴 모드표에서 합금층이 분리되는 경우 Ni/Au 도금 공정에서의 도금 부분의 신뢰성에 문제가 있는 것으로 판단할 수 있으며, 솔더 층 또는 패드 층이 분리될 경우를 양호한 수준으로 판단할 수 있다. 이는 건전한 접합을 방해하는 도금 불량에 의해 최종적인 제품 수준에서 장기 신뢰성에 있어 심각한 불량을 야기하는 형태로 발생되기 때문이다. 따라서 합금층이 분리 될 경우 Ni/Au 도금 공정을 개선하여 파괴 층이 솔더 층 또는 패드 층이 될 수 있도록 해야 한다.

1.2.3. Bare board 휨 특성

베어 보드를 제조할 때, 기판의 내부에는 적층과 제조 공정상에서 가압 등의 과정을 거치는 동안, 필수적으로 내부에 응력이 잔류하고 있는 상태가 된다. 부품의 실장을 위해서는 PCB 패드부와 부품 전극부와의 접속을 하기 위해 리플로우 공정을 거치게 되는데, 이 때 PCB 제조 과정 중에 잔류해 있던 응력은 PCB에서 휨(warpage)의 형태로 나타나게 된다. 이러한 휨은 부품의 실장시에 단선과 단락과 같은 불량으로 제품 신뢰성에 저해 요소로서 작용하게 된다.

베어 보드의 휨 특성은 크게 1) 보드 두께 2) 부품 배치 3) 베어 보드 제작 시의 적층 구조 4) 표면 실장 공정 상의 리플로우 솔더링 온도 조건 등에 크게 영향을 받게 됨으로, 이에 대한 관리가 필요하게 된다.

1) 보드 두께

휨은 보드 두께(t)에 반비례한다. 즉 보드 두께가 두꺼울수록 휨은 적게 된다. 따라서 설계 및 공정 엔지니어는 성능과 생산에 문제가 발생하지 않는다면 베어 보드 입고 두께에 대한 규정을 최대치로 관리하는 것이 휨 특성을 최소화하는데 유리하다.

2) 부품 배치

회로도를 이용하여 보드상에 설계를 할 때 부품 배치의 기본은 다층 또는 단층 모두 전체 면적에 적절히 고른 배치를 통해 표면 실장 공정상에서 부품의 무게가 특정 위치에 집중되어 보드의 휨이 발생하지 않도록 설계하는 것이 기본 규칙이며, 또한 대형 코넥터나 BGA와 같은 휨 특성에 민감한 부품들은 가급적 휨 영향을 적게 받

는 위치에 배치하는 것이 유리하다.

3) 베어 보드의 적층 구조

통상적으로 4층 이내의 보드의 경우는 적층 구조상 휨 영향에 대한 고려를 주요시 할 필요는 없으나, 6층 이상의 경우는 적층 구조에 대한 기본 규칙을 준수하여 표면 실장 공정에서 발생할 수 있는 휨의 영향 요소를 제거해 주어야 한다.

4) 실장 공정상의 리플로우 솔더링 온도 조건

표면 실장 공정상에서 온도 조건은 부품의 적절한 배치와 적층 구조의 안정성을 가진다면 온도 조건에 따른 휨 영향은 거의 나타나지 않는다고 볼 수 있다. 즉, 일반적인 온도 조건은 부품 전극 또는 단자와 기판상의 패드와 적절한 필렛(fillet)을 유지하면서 솔더링이 양호한 상태로 온도 조건을 설정하기 때문이다.

결론적으로 보드의 휨 특성은 부품 배치와 적층 구조적인 부분이 더 큰 영향을 미친다고 할 수 있다.

2. 실험방법

본 실험의 목적은 무전해 Ni/Au 도금 처리된 PCB의 품질 수준 및 부품 실장 후의 접합 신뢰성을 개선하는 것이다. 먼저, 도금 공정 중의 solderability에 영향을 크게 미치는 인자들인 Ni의 산화특성과 P성분의 감소를 통해 도금 특성을 개선하였다. 또한, 휨 특성의 분석을 위하여, 다양한 내층 구조 분석과 휨 시뮬레이션을 수행하여 내부 적층 구조를 달리한 보드를 제작하였다. 조립 전후의 휨 특성 평가는 베어 보드 상태, 리플로우 회수에 따른 휨을 3차원 높이 측정기를 이용하여 측정하였다. 개선된 보드에 BGA를 실장하여 최종 실장된 보드에서의 휨과 solderability 특성을 평가하였다. Fig. 4는 본 실험 방법을 간략히 설명한 것이다.

앞서 설명한 대로, BGA는 PCB 전극부의 최종 특성에 따라 solderability에 많은 영향을 미치게 된다. 그 중에서

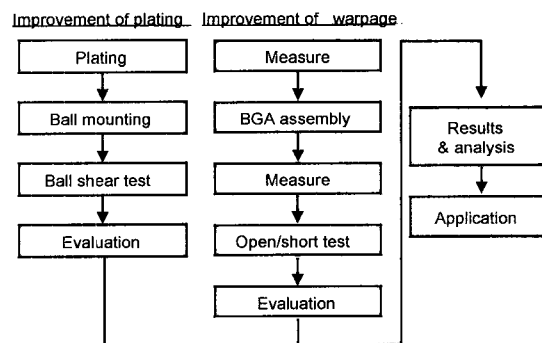


Fig. 4. Test flow.

**Table 1.** Sample condition

Item	Description
Package	· PBGA(□27×27 mm) · 1.27 mm pitch, 0.76 mm ball
Board	· Glass epoxy (FR-4) · 1.2 mm thickness
Pad	· BGA pad size: 0.6 mm
Assembly	· Normally SMT process

**Table 2.** Plating condition

Sample #	P content in solution	Duration time after NiP plated
1	Middle level P (12%P)	10 min
2	Low level P (8%P)	5 min
3	Low level P (8%P)	1 min

도 보드 휨과 Ni/Au 도금 특성은 BGA 접합 특성에 중요한 영향을 주는 인자이다. 즉, BGA가 실장된 보드의 휨이 클 경우 휨 방향에 따라 BGA의 중심부 또는 가장자리부에서 BGA 볼과 보드의 패드부와 단선이 발생하거나, 또는 미세 크랙이 발생하여 제품의 장기 신뢰성에 나쁜 영향을 주게 된다. 그러므로 접합 신뢰성 개선을 위해서는 도금 공정 뿐만 아니라 보드의 휨 특성도 개선 대상이 되어야 한다.

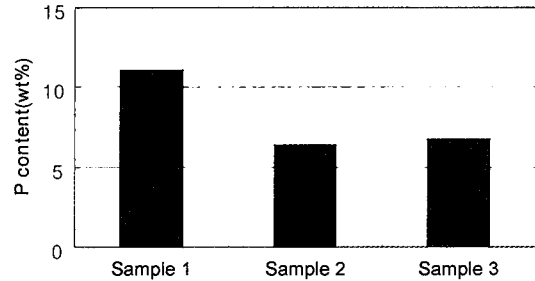
따라서, 본 연구에서는 무전해 Ni/Au 도금 특성에 영향을 미치는 요소를 도금, 휨, 부품, solderability, BGA 패드 특성을 고려하여 PCB를 설계 제작하였다. Table 1은 본 시험에 사용된 시료 조건을 간략히 정리한 것이다.

또한, 본 연구에서는 도금 공정 개선을 위해 ① NiP 도금 후 수세 시간 단축과 ② P 성분의 감소를 주요 대상으로 하여 실험을 진행한 후, 그 결과를 분석하였다.

1) NiP 도금 후 수세 시간 단축

개선 대상 공정은 수세 시간이 초기 10분으로 설정하는 것으로 되어 있어 수세가 충분히 진행이 된 후에도 과도한 시간동안 공기 중에 Ni이 노출되는 점을 고려하여, NiP 산화 특성을 개선하기 위해 수세 시간을 5분 및 1분으로 단축하여 시험을 하였다. 다만 실험 결과에 대한 정확한 산화 특성 개선에 대한 평가는 측정 장비 상황과 NiP 도금 후 즉시 산화 특성을 평가해야 하는 어려움 때문에 평가를 할 수 없었으나, ball shear test 결과로 대체할 수 있기 때문에 이 방법을 적용하였다.

2) P 성분 감소



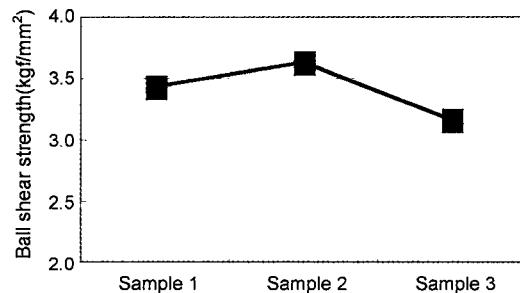
**Fig. 5.** Phosphorous content according to plating condition

NiP 도금 공정 중에 사용되는 P 성분은 적당하게 첨가될 경우, Ni의 산화를 개선하고 표면을 평탄하게 하는 역할을 하는 것으로 앞서 설명한 바 있다. 몇몇 보고와 기술자료에 의하면 6~10% 수준으로 첨가하는 것으로 알려져 있으며, 규정 하한치에 근접하게 첨가하는 것이 솔더링에 유리한 것으로 보고하고 있다<sup>1,2)</sup>. 개선 전 도금액 중 P 성분은 8~14% 수준이었는데, 인위적으로 P 함량을 줄임으로서 P 성분으로 인한 solderability에 영향을 미치는 취성화를 개선하는 것을 목표로 하였다. 이를 위해 8%대의 낮은 수준의 용액을 사용하였으며, pH값을 올리고 도금조의 온도를 상승시켜 P 성분을 6%대로 감소시킬 수 있었다. Table 2는 본 실험에 사용된 도금 조건을 정리한 것이고, Fig. 5는 도금 조건에 따른 각 시료별 P 성분 함량을 EDS (Energy Dispersive Spectrometer) 분석한 것이다. 정확한 성분 분석을 위해 NiP 도금 후 Au 도금을 하지 않고 측정하였다.

**3. 결과 및 고찰**

**3.1. Ball shear test**

Ball shear test는 NiP 도금 후 수세 시간 단축과 P 성분을 감소시킨 공정 조건에서 Ni/Au 도금을 한 베어 보드에 볼을 실장하여 솔더링 한 후 shear tester를 이용하



**Fig. 6.** Variation of ball shear strength.

였다.

시험 후 파괴 모드는 개선전의 파괴 층이 주로 Ni층 분리였으나, 공정 개선 후 파괴 층은 솔더 층 과 보드의 패드가 파괴되어, 도금 시간과 P 성분을 감소시킴으로서 양호한 파괴 모드를 얻을 수 있었으며, 또한 파괴 강도도 개선 전에 대비해서 높은 수준으로 나타났다. Fig. 6은 시료 별 파괴 강도값을 나타낸 것이고, Fig. 7은 각 시료의 대표적인 파괴 형상을 나타낸 것이다.

### 3.2. Bare board 휨 개선

다양한 적층 구조 분석과 시뮬레이션 후 제작된 보드의 휨 특성은 기판의 대각선 기준으로 0.2~0.3% 수준으로 대폭 개선 되었으며, 특히 2회를 거친 리플로우 솔더링 후에도 휨 특성은 표면 실장 공정에서 발생하는 휨과 관련한 어떠한 불량 요소도 나타나지 않았다. Fig. 8의 (a)는 설계된 코어(core) 층의 개념을 설명한 것이고 (b)는 휨 개선전 보드의 내부 코어 층이며 (c)는 휨을 개선한

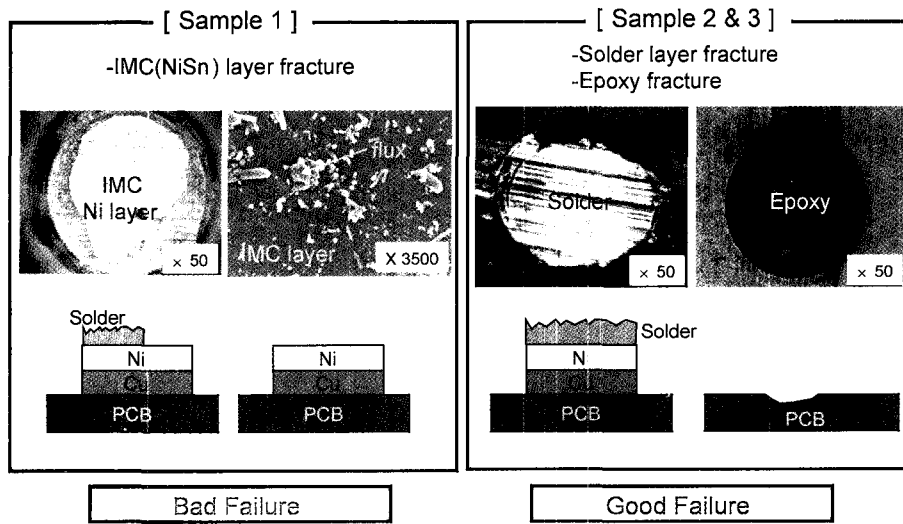


Fig. 7. Micrographs and fracture mode of test sample.

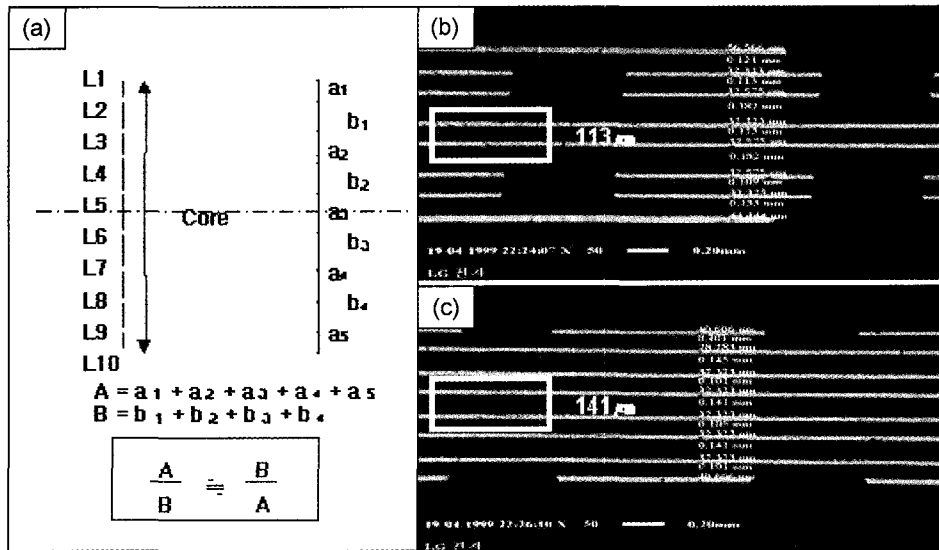


Fig. 8. Concept of inner layer structure and cross-section of inner layer.

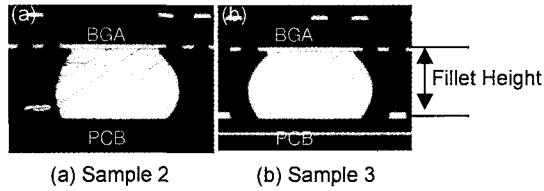


Fig. 9. Cross-sectional micrographs of fillet.

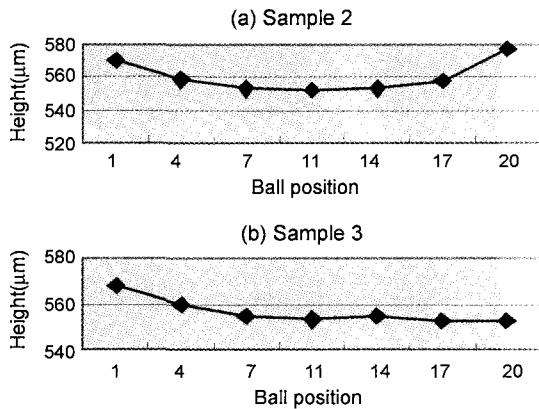


Fig. 10. Variation of fillet height according to ball position.

내부 코어 층의 단면 사진이다.

휨을 개선한 보드의 불량 유무를 검출하기 위해 단락은 2차원 X-ray 검사기를 활용하였으며, 단선 불량은 보드상의 test point를 오실로스코프로 측정하였다. 측정결과, 접합부의 어떠한 단선과 단락 불량도 검출되지 않았다.

### 3.3. BGA 접합부의 필렛 특성

BGA를 실장한 후 접합부를 분석하기 위해서 리플로우 솔더링 후 접합부를 단면 분석 하였다. BGA와 패드 사이의 필렛 높이를 측정하여 솔더링시의 휨 특성 변화를 분석하였는데, 이는 BGA의 경우 보드의 휨이 클 경우 접합된 위치에 외부에서 미치는 물리적인 휨에 의하여 접합부에 크랙이 발생하거나, 합금층(주로 Ni 층)이 파괴되는 현상이 발생할 수 있기 때문이다. 따라서 안정적인 필렛 높이를 가져 갈 수 있는 공정 조건과 보드의 휨을 최소화 할 수 있는 구조 특성이 제품의 장기 신뢰성에 매우 중요한 요소로 작용하게 된다. BGA와 패드 사이의 필렛 높이를 분석한 결과 측정된 대상 시료에서는 접합 신뢰성에 영향을 줄 수 있는 현저한 필렛 높이의 변화는 나타나지 않았다. Fig. 9는 측정된 BGA의 필렛 형상을 나타낸 예이고, Fig. 10은 측정 부위별 필렛 높이 변화를 나타낸 것이다.

결과적으로 필렛 높이 데이터 상으로는 접합 신뢰성 저해와 관련된 요소를 찾을 수 없었으며, 필렛 높이 측정 결과, 최대 76 µm 수준의 높이 편차를 나타내었다. 이는 일반적인 실장 공정에서 대응 가능한 양호한 수준으로, 이는 휨 특성이 개선된 결과로 사료된다.

## 4. 결 론

BGA 패키지와 같은 면실장형 부품이나 보다 미세한 피치의 부품을 실장시에는 기존의 HASL이 가진 제약(표면의 거칠, 미세 피치 적용이 어려움)으로 평탄한 표면처리가 필요하게 되는데, 현재 양산중이며 폭 넓게 사용되고 있는 무전해 Ni/Au 도금 표면 처리에 관한 요구와 적용은 상당히 증가되고 있다. 앞서 언급한 대로, BGA 제품군은 휨과 표면처리의 상태에 따라 최종 조립시의 품질과 접합 신뢰성에서 크게 영향을 받게 된다. 최근에, 표면 실장 공정 중에서도 종종 Ni 층 산화 특성에 의한 불량률이 주요 품질 문제로서 발생하고 있는 실정이다. 또한, 보드의 박형화 추세에 따라서 보드의 휨에 의한 BGA 부품의 단선 현상 또한 다발하고 있다.

따라서, 본 연구에서는 이러한 문제를 해결하기 위한 중요한 과제로서 베어 보드의 적층 구조 개선을 통해 보드의 대각선 기준 0.2~0.3%으로 휨을 최소화하였다. 아울러, 도금공정의 개선을 위해서 NiP층의 산화에 영향을 주는 수세시간을 단축하여 Ni층 산화 특성을 개선하였고, solderability에 영향을 미치는 P성분을 감소시켰다.

이를 통해서, 무전해 Ni/Au 도금에서의 가장 중요한 관리 인자인 Ni 두께(최소 3 µm이상~최대 8 µm이하), Ni 산화 상태 개선(수세시간 단축), P 성분 감소(6%)에 관한 연구를 수행하여 solderability를 개선한 결과를 얻을 수 있었다. 이러한 결과는 최근 일련의 보고 결과와도 잘 일치하고 있다.

결론적으로, 본 연구에서는 무전해 Ni/Au 표면 처리 기관에서 BGA 실장시에 발생하는 품질 저해 요소를 도금과 휨특성으로 정의하고 규명하여 기술적인 문제에 관한 가이드를 제시함으로써, 최종적인 전자제품의 조립 신뢰성을 보다 용이하게 확보할 수 있을 것으로 판단된다.

## 참고문헌

1. Don Cullen, "Electroless nickel/immersion gold deposit characteristics," Circuit Assembly Magazine, Nov., pp. 62~67 (1998).

2. Ronald A. Bulwith, "Soldering to Gold: A Practical Guide," Circuit Assembly Magazine, April, pp. 36~43 (1998).
3. Turn. J.C. and Own, E.L., "Metallic diffusion barriers for the copper-electrodeposited gold system." Plating, Nov. (1974).
4. Lockheed Martine and Hudson. N.H., "Effects of gold diffusion on a near-eutectic solder joint," Electronic Packaging & Production, June, pp. 68~72 (1998).
5. Antler, M., "Gold-plated contracts: Effect of heating on reliability," Plating, June, (1970).