회로 분할 유전자 알고리즘의 설계와 구현

Design and Implementation of a Genetic Algorithm for Circuit Partitioning

송호정, 송기용
충북대학교 컴퓨터공학과 · 컴퓨터정보통신연구소
Ho-Jeong Song, Gi-Yong Song
Dept. of Computer Engineering, Chungbuk National University
Research Institute for Computer and Information Communication
hjsong21@yahoo.com, gysong@chungbuk.ac.kr

요 약

CAD(Computer-Aided Design)에서의 분할(partitioning)은 기능의 최적화를 위한 대상의 그룹화(grouping)로 레이아웃(layout)에서 면적과 전파지연 최소화를 위해 함께 위치할 소자를 결정하는 문제 또는 스케줄링이나 유닛 선택을 위한 HLS(high level synthesis)에서의 변수나 연산에 대한 집단화(clustering) 문제들을 포함하며, 분할 문제에서 해를 얻기 위해 Kernighan-Lin 알고리즘, Fiduccia Mattheyses heuristic, 시뮬레이티드 어닐링(simulated annealing)등의 방식이 이용된다.

본 논문에서는 회로 분할 문제에 대하여 유전자 알고리즘(GA; genetic algorithm)을 이용한 해 공간 탐색(solution space search) 방식을 제안하였으며, 제안한 방식을 시뮬레이티드 어닐링 방식과 비교, 분석하였다.

Abstract

In computer-aided design, partitioning is task of clustering objects into groups so that a given objective function is optimized. It is used at the layout level to find strongly connected components that can be placed together in order to minimize the layout area and propagation delay. Partitioning can also be used to cluster variables and operations into groups for scheduling and unit selection in high-level synthesis. The most popular algorithms for partitioning include the Kernighan-Lin algorithm, Fiduccia-Mattheyses heuristic and simulated annealing. In this paper we propose a genetic algorithm searching solution space for the circuit partitioning problem, and then compare it with simulated annealing by analyzing the results of implementation.

Key words : genetic algorithm, circuit partitioning, simulated annealing

I. 서론

마이크로프로세서, 신호처리기, 시스템릭 어레이, 고용량 메모리, 메모리 관리장치, 입출력 제어장치로 대표되는 VLSI의 경우, 회로의 규모나 핀의 제한 등으로 대상 회로를 여러 개의 부회로(sub-circuit)로 분할하여 구성하는 경우가 흔히 있다. 이러한 부회로로의 분할로 on-chip 연결과 off-chip 연결(cut)이 발생하게 되며, off-chip 연결은 성능감소, 신뢰도 저하 등의 결과를 가져온다.

본 논문에서는 VLSI의 physical design 과정중 부회로 사이의 상호연결을 최소로 하는 회로 분할에 대하여 유전자 알고리즘[2]을 이용한 해공간 탐색 방식을 제안하였으며, 이 방식을 시뮬레이티드 어닐링[3] 방식과 비교하여 분석하였다.

본 논문의 구성은 다음과 같다. II장에서 회로 분할 문제의 정의와 시뮬레이티드 어닐링 알고리즘에 대하여 알아보고, III장에서는 본 논문에서 제안한 회로 분할 유전자 알고리즘의 데이터 표현, 연산자, 수행 내용에 대하여 설명한다. IV장에서는 제안한 유전자 알고리즘과 시뮬레이티드 어닐링 방식을 비교하였고, 마지막으로 V장에서는 결론과 향후 연구 방향에 대하여 기술한다.

II. 회로 분할 문제

1. 문제 정의

CAD에서의 분할 문제는 기능의 최적화를 위한 대상의 그룹화로 레이아웃에서 면적과 전파지연의 최소화를 위

해 함께 위치할 소자를 결정하거나 패키징 제한을 만족시키기 위해 회로를 분할하는 문제이다. 즉, 최적의 회로 분할은 그룹으로 분리된 소자들 사이의 상호연결이 최소가 되도록 각각의 소자들을 그룹화 하는 것이다[1,4].

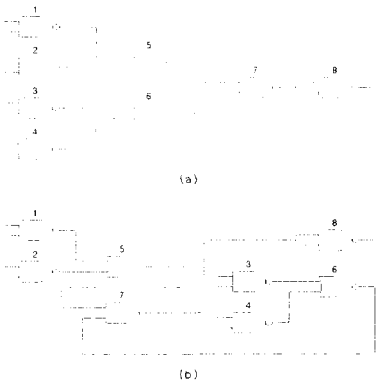

그림 1. 분할 문제
Fig. 1. Partitioning problem

그림 1(a)의 회로 분할에는 두 개의 그룹 사이에 4개의 연결이 있으나, 소자 5,7과 3,4를 교환을 하면 그림 1(b)에서와 같이 연결을 2개로 줄일 수 있다. 이와 같이 회로 분할 문제는 두 그룹 사이의 연결을 최소화하는 해를 구하는 것이다.

회로 분할 문제에서 최적해를 얻기 위한 알고리즘은 Kernighan-Lin 알고리즘[4], Fiduccia Mattheyses heuristic[5], 시뮬레이티드 어닐링등의 방식들이 있다.

2. Simulated Annealing Algorithm

시뮬레이티드 어닐링(simulated annelaing; SA) 알고리즘은 물질이 녹았을 경우 온도를 서서히 낮추면서 최소 에너지 상태를 관찰하는 물리학에서의 냉각과정(annealing process)과 조합 최적화(combinatorial optimization)의 유사성에서 유도되었다. 시뮬레이티드 어닐링 회로 분할 알고리즘은 임의의 초기 분할에서 출발하여 이웃(neighborhood)으로 이동하면서 새로운 비용(cost)을 계산하고, 이 값을 온도 T에 기반한 기준과 비교하여 이동 수용 여부를 결정한다. 이동의 수용여부는 현재의 온도에 비례하며 이 온도가 내려가면 이동의 수용확률도 작아지게 된다.

이러한 과정의 시뮬레이티드 어닐링 방식으로 지역해(local solution)가 아닌 최적해(optimal solution)에 근접할 수 있으며, 그림 A에 알고리즘을 보인다[7].

알고리즘 1에서 난수 값 r에 의하여 현재의 해에 대한 수용 여부가 결정되므로, 오르막(uphill)에 해당하는 해도 선택적으로 수용되어 지역해에서 벗어날 수 있는 기회가 제공된다.

그림 A. 시뮬레이티드 어닐링 알고리즘
Fig. A. Simulated annealing algorithm

```
T = initial_temperature
S_old = initial_partition
c_old = cost(S_old)
while o_num<=max_time do
  while i_num<M do
    S_new = GENERATE(S_old)
    c_new = cost(S_new)
    Δc = c_new - c_old
    x = F(Δc, T)
    r = RANDOM(0, 1)
    if r < x then
      S_old = S_new
      c_old = c_new
    endif
    increment i_num, o_num
  endwhile
  T = α*T, M = β*M
endwhile
```

III. 회로 분할 유전자 알고리즘

유전자 알고리즘은 진화(evolution) 과정에서 유도된 탐색방식으로, 이 알고리즘은 염색체와 유사한(chromosome-like) 자료구조를 사용하여 해공간을 부호화하며, 이러한 자료 구조에 재조합 연산자(recombination operator)를 적용하여 염색체들을 진화시킨다.

유전자 알고리즘은 처음에 임의로 선택된 염색체 집단(population of chromosome)에서 시작하며, 이러한 염색체 집단 중에서 일정한 방식으로 부모 염색체를 선택하고 이들 부모 염색체를 교배(crossover)시켜 자식 염색체를 생성한다. 새로 생성된 자식 염색체는 평가함수(evaluation function)에 의해 평가되며 좋은 평가 결과를 가지는 염색체가 다음 세대에 살아 남을 확률이 높게 된다. 이와 같은 방식으로 유전자 알고리즘은 염색체 집단의 진화를 통하여 최적해에 근접할 수 있으므로[7,9,11], 최적 해를 구하기 어려운 여러 NP-문제에 적용될 수 있다[6,10].

1. 염색체의 표현(Representation)

회로 분할 문제는 회로에 포함하는 소자를 그룹화 하는 것으로 회로 분할 문제를 유전자 알고리즘으로 표현하기 위해서는 각 소자들과 그들이 속한 그룹을 나타낼 수 있어야 한다.

회로 분할 문제에서 각 그룹에 포함되는 소자의 수가 n으로 같다고 가정 할 때, 각 그룹에 속해있는 소자들을 다음과 같은 염색체로 표현 할 수 있다. 그림 2는 소자

4,7,10,1,8이 그룹 A에 속해있고, 소자 3,2,5,9,6이 그룹 B에 속해 있는 것을 나타내고 있다.

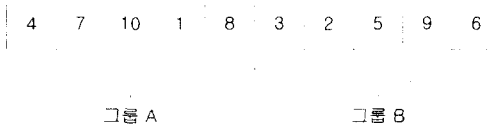

그림 2. 염색체의 표현
Fig. 2. Representation of chromosome

그림 2의 방식은 하나의 해에 대하여 그림 3에 보인바와 같이 여러 가지 표현이 가능하므로 좋은 방식이 아니다. 본 논문에서는 그림 2의 표현방식을 수정하여 그림 4와 같이 각 그룹에 포함된 유전 인자(gene)들을 오름차순으로 정렬하여 해와 염색체가 1:1로 대응 되도록 하였다.

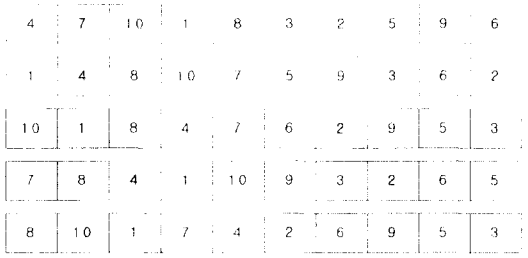

그림 3. 같은 해의 여러 표현들
Fig. 3. Several representations for a solution

그림 4. 수정된 염색체의 표현
Fig. 4. Modified representation of chromosome

2. 평가함수(Evaluation Function)

유전자 알고리즘이 진행되는 동안 현재 모집단(population)의 개체들은 특정 평가함수에 의해 평가된다. 회로 분할 문제에서의 평가함수는 분할된 두 그룹 사이의 연결이 가지는 가중치(weight)의 합을 나타내며, $Cost(A,B)$로 표시한다(식 1).

$$Cost(A,B) = \sum_{n \in cutset} W_n \qquad \text{(식 1)}$$

3. 교배 연산자(Crossover Operator)

본 논문에서 제안한 TGX(Two-way Grouped Crossover) 연산자는 PMX(Partially Mapped Crossover)[6,7,8]의 한 형태로 볼 수 있으며, 구체적인 연산 방식은 다음과 같다.(그림 5)

1단계 : 부모 염색체 P1, P2에서 각 그룹에 속하는 교배점(cross point)을 하나씩 랜덤하게 선택한다.

2단계 : 부모 염색체 P1에서 두 개의 교배점에 의해 만들어진 부염색체(sub-chromosome)를 자식 염색체 C2'의 같은 위치에 복사한다. 자식 염색체 C1'도 같은 방식으로 복사한다.

3단계 : 부모 염색체 P2에서 자식 염색체 C2'에 있는 유전인자를 삭제하고 P2의 나머지 유전인자를 C2'의 빈곳에 순서대로 채운다. 자식 염색체 C1'도 같은 방식으로 빈곳을 채운다.

4단계 : 새로 생성된 자식 염색체 C1'과 C2'를 각 그룹별로 오름차순으로 정렬을 하여 최종 자식 염색체 C1과 C2를 생성한다.

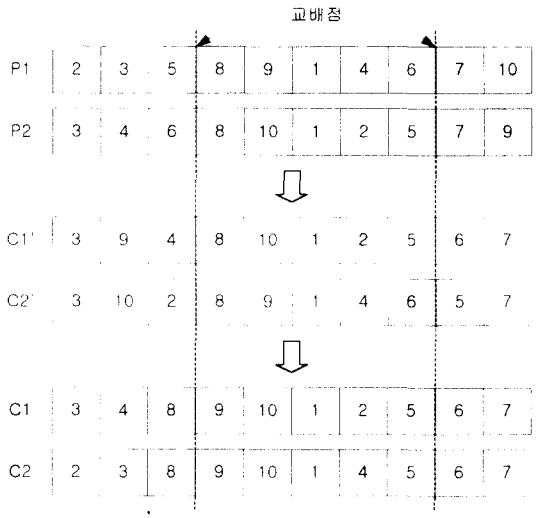

그림 5. TGX 교배 연산
Fig. 5. TGX crossover operation

4. 돌연변이(Mutation)

유전자 알고리즘에서 각 세대의 모집단은 진화를 진행하면서 얻고자 하는 해에 가까운 염색체들로 구성된 모집단으로 수렴하게 되지만, 그 결과가 최적해가 아닌 지역해로 수렴할 수도 있으며, 이러한 지역해로의 수렴을 막기 위하여 돌연변이(mutation) 연산을 수행하게 된다.

본 논문에서 사용한 돌연변이 연산 방식은 다음과 같다(그림 6).

1단계 : 염색체에서 각 그룹에 속하는 돌연변이위치(mutation point) m1과 m2를 랜덤하게 선택한

다. ($1 \le m1, m2 \le n$)

2단계 : 선택된 돌연변이위치에 속하는 유전인자를 서로 교환한다.

3단계 : 각 그룹을 오름차순으로 정렬한다.

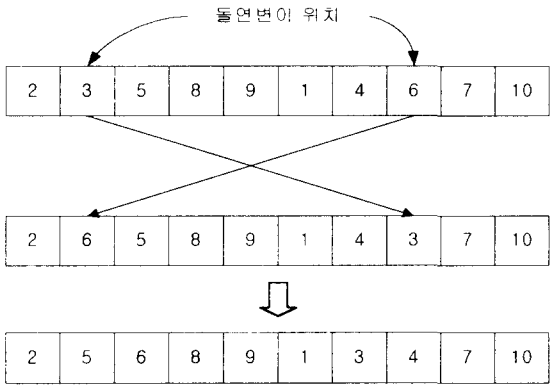

그림 6. 돌연변이 연산
Fig. 6. Mutation operation

5. 회로 분할 유전자 알고리즘

그림 B는 앞에서의 기술한 방식을 사용한 회로 분할 유전자 알고리즘을 나타낸다.

그림 B. 회로 분할 유전자 알고리즘
Fig. B. Genetic algorithm for circuit partitioning

단계 0 : 파라미터들의 설정
개체의 수를 나타내는 pop_size, 돌연변이율을 나타내는 P_m, 그리고 최대 생성 횟수를 나타내는 max_gen을 설정한다.

단계 1 : 초기 모집단의 생성
각기 다른 pop_size 만큼의 객체 S_i(i=1, …, pop_size)를 랜덤하게 생성한다.

단계 2 : 모든 모집단의 비용을 계산하고 최대, 최소 객체를 기억한다.

단계 3 : 교배
3.1 : 모집단으로부터 두 개의 부모 염색체 P1, P2를 랜덤하게 선택한다.
3.2 : Partially Mapped Crossover(PMX) 연산자를 사용하여 새로운 자식 염색체 C1, C2를 생성

단계 4 : 돌연변이
랜덤하게 $\varepsilon \in (0,1]$을 생성하고 돌연변이율 P_m과 비교한다. 만일 $\varepsilon < P_m$이면 돌연변이 연산을 수행한다.

단계 5 : 만일 생성된 자식 염색체 C1 또는 C2가 모집단 내의 어느 객체와 같다면, C1 또는 C2가 같은 객체가 없는 새로운 객체가 될 때까지 돌연변이 연산을 수행한다.

단계 6 : 새로운 세대의 구성
모집단 내의 최대 비용을 갖는 두 개의 염색체를 삭제하고 생성된 자식 염색체 C1과 C2를 모집단 내에 추가한다.

단계 7 : 새로운 염색체의 생성 횟수가 max_gen이 될 때까지 단계 1부터 6까지를 반복한다. 최적해는 모집단 내에서 가장 작은 비용을 갖는 염색체이다.

Ⅳ. 시뮬레이션

본 논문에서 제안한 유전자 알고리즘을 시뮬레이션 하기 위하여 각 10, 12, 14, 16, 18, 20개의 노드를 갖고, 랜덤 에지(edge)와 랜덤 가중치를 갖는 그래프를 각 4종류씩 자동으로 생성하고 동일 그래프에 시뮬레이티드 어닐링과 유전자 알고리즘을 각 100번씩 수행시켰고, 또한 회로분할 문제에 사용되는 벤치마크 회로인 fract와 primary1에 대하여 동일 알고리즘을 각 100번씩 수행시켜 그 결과를 분석하였다.

시뮬레이티드 어닐링은 조합 최적화 문제 해결에 적용되는 대표적 반복 휴리스틱 알고리즘으로 Timber-Wolf[14]등 실용 패키지뿐 아니라 알고리즘의 성능을 비교하는 벤치마크로 주로 사용된다.

본 시뮬레이션에서는 유전자 알고리즘의 돌연변이율 P_m=0.1, 모집단내의 개체의 수 pop_size=20, 최대 수행 횟수 max_gen=10000, 시뮬레이티드 어닐링의 한 온도에서의 알고리즘수행 횟수 M=10, 최대 수행 횟수 max_time=10000, 초기 온도 T=10, 냉각 파라미터 α=0.9, 그리고 β=1.0의 값을 사용하였다.

표 1. 생성된 회로의 네트리스트
Table. 1. Netlist

네트	가중치
N_1 = {C_1, C_5, C_8, C_4}	3
N_2 = {C_2, C_{10}}	1
N_3 = {C_3, C_9}	2
N_4 = {C_4, C_5, C_6, C_9}	4
N_5 = {C_5, C_6, C_9}	3
N_6 = {C_6, C_4, C_{10}, C_3, C_9}	4
N_7 = {C_7, C_{10}}	2
N_8 = {C_8, C_1}	2
N_9 = {C_9, C_{10}, C_5, C_4, C_8}	3
N_{10} = {C_{10}, C_4, C_9, C_1}	5

표 1은 자동으로 생성된 그래프의 네트리스트와 가중치의 값을 표시한 예이며, 그림 7은 표 1과 같은 네트리스트와 가중치의 값을 갖는 그래프를 회로로 표현한 예이다. 그림 7의 회로를 시뮬레이티드 어닐링과 유전자 알고리즘을 각각 적용하여 얻은 최적해는 그림 8로 동일하

며 비용이 15인 두 개의 그룹으로 분할되었음을 알 수 있다.

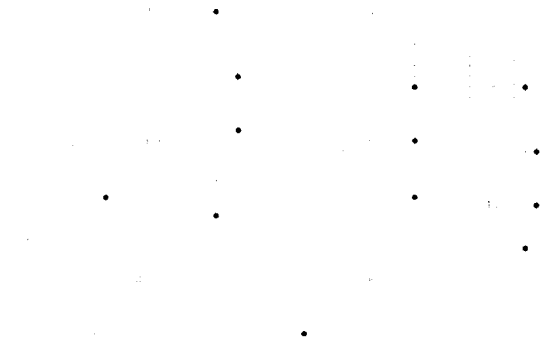

그림 7. 생성된 회로
Fig. 7. Generated circuit

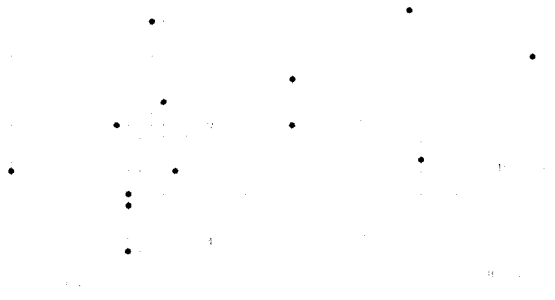

그림 8. 분할 결과
Fig. 8. Result of partitioning

본 논문에서는 자동 생성 회로와 fract, primary1에 대한 시뮬레이티드 어닐링과 유전자 알고리즘 적용 결과의 최적값, 최악값, 평균값을 구하여 각 알고리즘을 비교하였다(표 2, 그림 9,10,11, 표 3).

표 2와 표 3에서 노드 개수는 그래프의 노드 개수를 의미하며 그래프 종류는 동일한 노드 개수를 갖는 서로 다른 그래프를 의미한다. 또한 최적, 최악, 평균은 각 그래프에 대해 두 개의 알고리즘을 100번씩 수행한 100개의 결과 중 최적 비용, 최악 비용 그리고 비용의 평균값을 의미한다.

두 알고리즘의 구현 결과를 분석해보면 자동 생성 회로의 경우 최적 비용은 그림 9와 같이 두가지 방식에서 동일하나, 최악 비용의 경우 그림 10과 같은 차이를 보인다. 즉 유전자 알고리즘이 시뮬레이티드 어닐링 보다 빠르게 최적해에 수렴하는 것을 알 수 있으며, 이는 이웃해로의 이동범위 광역화에 의한 유전자 알고리즘의 효과적인 해공간 탐색에 기인한다.

표 2. SA와 GA의 자동 생성 회로 테스트 결과
Table 2. Generated graph test result for SA, GA

노드 개수	그래프 종류	시뮬레이티드 어닐링			유전자 알고리즘		
		최적	최악	평균	최적	최악	평균
10	1	15	15	15	15	15	15
	2	19	19	19	19	19	19
	3	17	17	17	17	17	17
	4	19	20	19.02	19	19	19
12	5	20	21	20.29	20	20	20
	6	22	24	22.14	22	22	22
	7	20	21	20.05	20	20	20
	8	17	21	17.31	17	17	17
14	9	31	32	31.01	31	31	31
	10	13	13	13	13	13	13
	11	27	29	27.45	27	27	27
	12	18	19	18.15	18	18	18
16	13	18	26	19.56	18	18	18
	14	20	25	21.56	20	23	20.03
	15	24	29	24.63	24	24	24
	16	11	11	11	11	11	11
18	17	27	29	27.58	27	27	27
	18	25	29	26.13	25	25	25
	19	15	19	16.52	15	17	16.28
	20	28	33	29.38	28	32	28.04
20	21	35	41	37.32	35	39	35.06
	22	25	33	25.88	25	26	25.01
	23	31	37	31.75	31	31	31
	24	17	20	17.21	17	17	17

표 3. SA와 GA의 벤치마크 테스트 결과
Table 3. Benchmark test result for SA, GA

노드 개수	그래프 종류	시뮬레이티드 어닐링			유전자 알고리즘		
		최적	최악	평균	최적	최악	평균
125	fract	45	59	51.88	41	55	46.64
752	primary1	183	207	200.43	175	205	188.03

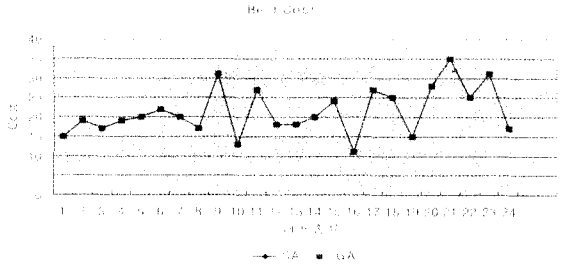

그림 9. 최적 비용 비교
Fig. 9. Comparison of the best cost

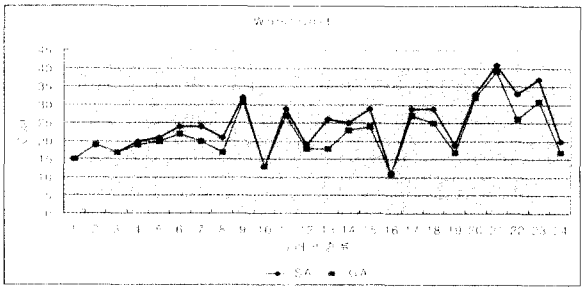

그림 10. 최악 비용 비교
Fig. 10. Comparison of the worst cost

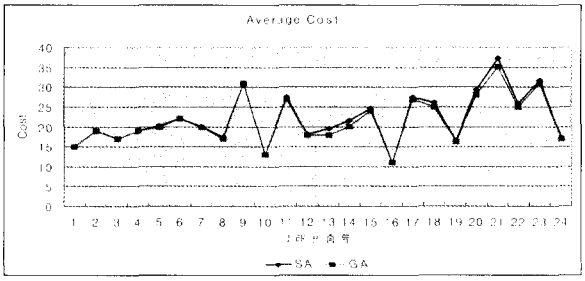

그림 11. 평균 비용 비교
Fig. 11. Comparison of average cost.

V. 결론

본 논문에서는 physical design 과정중 회로 분할 문제에 대하여 유전자 알고리즘을 이용한 회로 분할 방식을 제안하였으며, 제안한 방식을 시뮬레이티드 어닐링 방식과 비교, 분석하였다.

제안한 회로 분할 유전자 알고리즘을 시뮬레이티드 어닐링 방식과 비교, 분석한 결과 회로 분할 유전자 알고리즘이 시뮬레이티드 어닐링 방식보다 더 효과적으로 최적해에 근접하는 것을 알 수 있었다.

앞으로 분할 문제를 위한 보다 더 효과적인 염색체의 표현방식과 연산자들이 연구되어야 할 것이며, physical design 과정의 다른 문제들에 대해서도 유전자 알고리즘의 적용에 관한 연구가 필요하다고 생각된다.

접수일자 : 2001. 10. 5 수정완료 : 2001. 10. 25

참고문헌

[1] S. M. Sait, H. Youssef, *VLSI Physical Design Automation Theory and Practice*, World Scientific Publishing, 2001.

[2] J. H. Holland, *Adaptation in Natural Artificial Systems*, University of Michigan Press, Ann Arbor, 1975.

[3] S. kirkpatrick, C. D. Gelatt and M. P. Vecchi. "Optimization by Simulated Annealing," *Science*, vol. 220, no. 4598, pp.671-680, 1983.

[4] K. H. Kernighan and S. Lin, "An Efficient Heuristic Procedure for Partitioning Graph," *Bell System Technical Journal*, vol. 49, no. 2, pp. 291-307, February, 1970.

[5] C. M. Fiduccia, R. M. Mattheyses, "A linear time heuristic for improving network partitiions," *in 19th Design Automation conference*, pp. 175-181, 1982.

[6] M. Gen, R. Cheng, *Genetic Algorithms and Engineering Optimization*, Wiley-Interscience publication, 2000.

[7] S. M. Sait, H. Youssef, *Iterative Computer Algorithms with Applications in Engineering*, Computer Society, 1999.

[8] D.Goldberg, R.Alleles, "loci and the Traveling Salesman Problem," *proceedings of the First International Conference on Genetic Algorithms, Lawrence Erlbaum Associates*, Hillsdale, N.J., pp.154-159, 1985.

[9] Bäck, T., *Evolutionary Algorithms in Theory and Practice*, Oxford University Press, New Your, 1996

[10] M. Gen, M. Cheng, *Genetic Algorithms and Engineering Design, Wiley*, New Your, 1997.

[11] Z. Michalewicz, *Genetic Algorithm + Data Structure = Evolution Programs, 3rd edition*, Springer-Verlag, New York, 1996.

[12] C. Cheng and Y. A. Wei. "An Improved tow way Partitioning algorithm with stable performance". *IEEE Transactions on Computer Aided Design*, 10(12):1502-1511, 1991.

[13] J. Cong, L. Hagen, and A. Kahng. "Net partitions yield better module partitions". *In 29th Design Automation Conference*. pp.47-52, 1992.

[14] C.Sechen and A.L.Sangiovanni-Vincentelli. timberwolf3.2: A new standard cell placement and global routing package. Proceedings of 23rd Design Automation Conference, pp. 432-439, 1986.

송호정(Ho-Jeong Song)
正會員
1994년 배재대학교 물리학과(이학사)
1996년 청주대학교 전자공학과 (공학석사)
2001년 충북대학교 컴퓨터공학과 (박사수료)
관심분야 : VLSI 설계, High-level Synthesis

송기용(Gi-Youn Song)
正會員
1974~80년 서울대, 동대학원 (전자공학)
1995년 Univ. of Southwestern Louisiana 컴퓨터공학박사
1983년~현재 충북대학교 공과대학 컴퓨터공학과 재직중
관심분야 : 컴퓨터구조, VLSI 설계등