

비휘발성 메모리 FRAM의 원리와 강유전 박막

장현명

(포항공과대학교 신소재공학과)

1. 이상적인 비휘발성 메모리, FRAM

최근 정보통신 산업의 눈부신 발전으로 인하여 각종 메모리 디바이스의 수요가 급증하고 있다. 특히 시장 규모가 빠른 속도로 커지고 있는 휴대용 단말기, 각종 스마트 카드, 전자 화폐, 디지털 카메라, 게임용 메모리, MP3 플레이어 등에 필요한 메모리 디바이스는 전원이 꺼지더라도 기록된 정보가 지워지지 않는 "비휘발성"을 요구하고 있다. 비휘발성 메모리를 이용하면 입력된 정보가 자동적으로 저장될 뿐만 아니라 ROM (read only memory)의 내용을 바꾸어 쓸 수 있고, 전원을 끊더라도 정보가 지워지지 않으며 또한 전원을 넣었을 때 즉시 작동하는 TV, 각종 PC 등을 구현할 수 있기 때문에 멀티미디어 사회에서 요구되는 다양한 조건들을 만족하는 각종 전자기기들의 상품화를 촉진하게 할 것이다[1].

주지하다시피 현재 각종 전자기기에서 가장 많이 사용되고 있는 반도체 메모리는 DRAM인데, 이는 DRAM이 트랜지스터와 커패시터로 구성되어 구조가 간단할 뿐 만 아니라 고속으로 데이터의 쓰고 읽기가 가능하기 때문이다. 그러나 DRAM은 일정한 주기로 "기억 재생 (refresh라 부름)"을 하지 않으면 기록된 정보가 소실되는 큰 문제점을 가지고 있는데, 이 때문에 DRAM을 "휘발성 메모리"라 부르고 있다. 이러한 DRAM의 문제점은 정보저장의 수단으로 고정 전하나 전자 스핀의 방향성을 이용하는 것이 아니라 빠른 속도로 움직이는 전자들의 공간 전하분극을 이용하기 때문이다.

DRAM이 가지는 메모리의 휘발성 결점을 극복하고자 EPROM, EEPROM, 플래시 등 여러 가지 메모리 디바이스들이 개발되어 왔는데, 이중에서 현재 상용화되어 있는 대표적 비휘발성 메모리 디바이스가 "플래시 메모리"이다. 플래시 메모리에서는 고에너지 전자를 발생시킨 후 이를 부유 게이트 (floating gate)에 주입하여 정보를 쓰고, 정보의 소거는 1블럭 단위로 전기적으로 행한다. 그러나 플래시 메모

리는 DRAM등에 비해 기억정보의 바꾸어 쓰기 시간이 100배 이상으로 길고 (대략 10만분의 일 초), 고쳐 쓰기의 가능 횟수도 DRAM에 비해 일백만분의 일 정도로 제한되는 큰 문제점을 가지고 있어 비휘발성 메모리의 궁극적 대안이 될 수 없다고 예측된다.

DRAM이 가지는 정보 쓰고 읽기의 고속성과 무제한성 및 고집적화, 플래시 메모리의 비휘발성 등의 장점을 고루 갖춘 이상적인 메모리로서 현재 가장 유망시 되는 디바이스가 FRAM (Ferroelectric Random Access Memory)이다[1]. FRAM은 간단히 말해 DRAM 각 셀의 커패시터 유전체를 강유전 박막으로 대체한 것이기 때문에 (i) DRAM 공정과 호환성이 높아 쉽게 고집적화가 가능하며, (ii) 정보의 쓰기, 소거가 고속이고, (iii) 기억이 비휘발성이며, (iv) 쓰기 횟수에 제한이 없고, (v) 소비전력이 작은 등 이상적인 메모리의 특성을 고루 갖추고 있어, 흔히들 "꿈의 기억소자"라 부르고 있다. 간단히 FRAM은 "고속이며, 소비전력이 적고, 반복 수명이 긴 비휘발성의 DRAM이다" 라고 말할 수 있다. 그림 1(a)는 트랜지스터(T)/강유전 커패시터(C)로 구성된 소위 1T/1C형 FRAM 메모리 셀의 단면도인데, Si 기판상에 형성된 CMOS 트랜지스터 위에 강유전 박막 커패시터 층을 보여주고 있다. 그리고 그림 1(b)에 이러한 1T/1C형 메모리 셀의 등가회로를 나타내었다.

FRAM이 DRAM의 커패시터를 강유전 박막 커패시터로 대체함으로써 비휘발 메모리 특성을 가능하게 하는 가장 중요한 이유는 정보 저장의 수단인, DRAM과는 달리 전기장하에서 전자의 공간분극을 이용하는 것이 아니라, 유동성이 낮은 전하인 결정에서의 전기쌍극자의 크기와 방향을 이용하기 때문이다. 그러면 이제 FRAM 디바이스의 구현에 있어 가장 관건이 되는 안정화된 전기쌍극자 (보통 전기분극이라 부름)가 어떤조건에서 어떻게 박막 커패시터 내에서 생길 수 있는지 다음절에서 이에 대해 간단히 살펴보기로 하자.

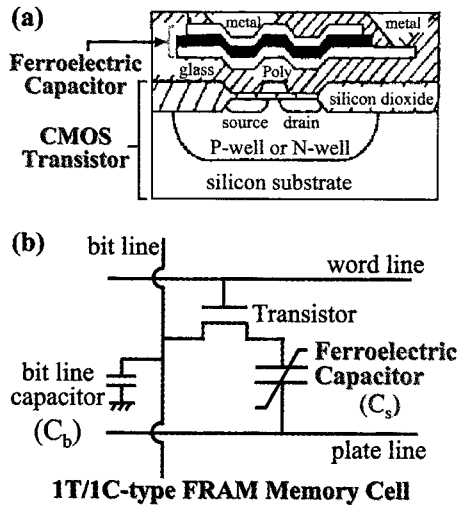


그림 1. 1T/1C형 FRAM 메모리 셀의 (a) 구조 단면도와 (b) 등가회로.

2. 전기분극 벡터의 중요성

먼저 FRAM 디바이스에서 핵심이 되는 강유전 재료의 기본특성에 대해 간단히 살펴보기로 하자. 강유전체 (Ferroelectrics)는 (i) 어떤 특정온도 이하에서 높은 대칭성 (예, 입방정상)을 가지는 결정상태가 불안정해지면서 결정의 특정 방향으로 자발적인 전기분극 (전기쌍극자)이 발생하고 낮은 대칭성의 상태로 되며, (ii) 외부에서 교류 전기장을 걸어주면 이에 대응하여 전기분극 벡터의 방향이 바뀌는 두가지 기본 특성을 가지고 있다.

FRAM 디바이스의 강유전 박막으로 활용되는 계는 기본적으로 페로브스카이트 (perovskite) 구조를 가지고 있으며, 이 중에서 가장 대표적인 $Pb(Zr,Ti)O_3$ (이하 PZT라 약칭) 결정에 대해 페로브스카이트 단위세포 구조를 그림 2에 나타내었다. 페로브스카이트 구조에서 강유전성의 발현은 단위세포의 중앙에 위치한 Ti 또는 Zr 양이온 원자와 이를 둘러싸면서 가상의 8면체 배위를 하고 있는 6개의 산소 음이온 원자들간의 상대적인 변위에 기인한다고 알려져 있다 [2]. 이를 좀 더 자세히 알아보기 위해 이제 PZT 박막을 높은 온도에서 냉각한다고 생각해 보자. Zr과 Ti 원자들의 상대적 분율에 의해 다소 차이가 있으나 대략 $400^{\circ}C$ 이하에서 이 계는 입방정상에서 좀 더 낮은 대칭성을 가지는 정방정상 구조 (결정의 a와 b축의 길이는 같으나 c축이 다른 두 축에 비해 조금 늘어난 상태)로 상전이를 하게 된다. 이와같이 상전이 온도이하로 냉각되어 정방정상 구조를 가지게 되면 중앙에 위치한 양이온 원자 (Ti 또는 Zr)와 가상 팔면체의 꼭지점에 위치한 6개의 산소 음이온 중심간의 상대적 변위 벡터 (즉, 전기쌍극자)가 그림 2의 좌측에 수직으로 나타낸 두 개의 반대되는 방향의 긴 화살표 중에서 어느 하나와 평행하게 되며, 이를 자발 전기분극 (spontaneous polarization) 벡터라 한다. 그림 2(a)의 좌측에 표시된 화살

표 방향을 양의 방향이라 하고, 반대로 (b)의 좌측에 표시한 화살표의 방향을 음의 방향이라 하자. 결정학에서는 양의 방향의 화살표를 c축 이라고 부른다.

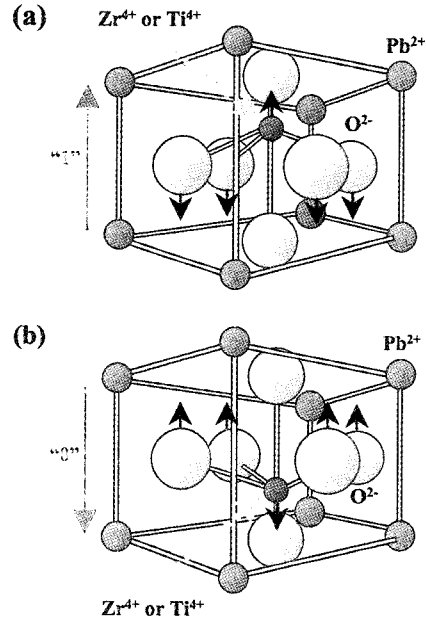


그림 2. 상전이 온도 이하에서 PZT의 페로브스카이트 단위 세포내에 유도되는 두 방향의 상이한 전기분극 벡터를 보여주는 그림.

이제 PZT 결정을 고온에서 상전이 온도 (T_c) 이하로 냉각한다고 생각하고, 이때 위에서 언급한 변위 벡터가 생기므로써 일어나는 에너지의 변화를 생각해 보자. 한 주어진 단위세포내의 전기분극에 기인한 쌍극자는 주위 단위세포들의 전기 쌍극자들과 비교적 장범위의 쌍극자-쌍극자 상호작용을 가지는데 이러한 상호작용은 항상 계의 에너지를 낮추어 주게 된다. 이러한 상호작용 에너지를 정량적으로 표현하면 $U_d = -a(\Delta r)^2$ 로 나타낼 수 있는데, 여기서 a는 비례상수, Δr 은 페로브스카이트 단위세포의 중앙에 위치한 양이온 원자 (Ti 또는 Zr)와 가상 팔면체의 꼭지점에 위치한 6개의 산소 음이온 중심 간의 상대적 변위 벡터의 크기를 나타낸다. 한편 상전이 온도 이하로 냉각될때 결정의 높은 대칭성이 불안정하게 됨으로서 생기는 양이온 중심과 산소 음이온 중심의 변위에 의해 격자 변형 에너지가 발생하게 되고, 이를 정량적으로 표현하면 $U_s = b(\Delta r)^2 + c(\Delta r)^4$ 와 같이 된다. 여기서 비례상수 b는 격자 진동운동의 조화성에 기인하며, 반면에 비례상수 c는 격자 진동의 비조화성 (anharmonicity)의 척도가 된다. 결정의 단위세포내의 변위에 의해 유도되는 알짜 포텐셜 (위치) 에너지는 이 두 효과의 합이 될 것이다.

위에서 설명한 논의를 바탕으로 결정의 c축에 평행한 방향에 대해 상전이 온도 이상과 이하에 대해 단위세포의 중심에 위치하는 전기분극이 느끼는 포텐셜 에너지를 Δr 의 함수로서 개략적으로 그려보면 그림 3(a)에 나타낸 바와 같이

된다. 즉, $U_s = 0$ 인 상전이 온도 이상에서는 단일 우물형의 포텐셜 에너지를 가지므로 $\Delta r = 0$ 이 가장 안정한 상태가 되지만 (즉, 전기분극이 0인 상태), 상전이 온도 이하로 냉각 되면 쌍극자-쌍극자 상호작용 에너지와 격자변형 에너지가 서로 반대 부호로 작용하여 이중 우물형 포텐셜 (double-well potential)이 생기게 된다[3,4]. 그림 3(a)에서 우측 우물의 극소점 ($+\Delta r^*$)이 어떤 특정온도에서 양의 방향의 평행 변이에 해당되며, 양의 전기분극 벡터의 크기는 이 값에 비례할 것이다. 또한 그림에서 알 수 있듯이 정방정식의 경우 상전이 온도 이하에서는 c축에 평행한 2개의 안정된 전기분극 벡터가 생기며, 두 극소점 사이에는 유한한 크기의 에너지 장벽이 존재하기 때문에 전기분극 벡터를 한 방향에서 다른 방향으로 바꾸어 주기 위해서는 외부로 부터 임계크기 이상을 가지는 전기장의 인가가 필요하게 된다.

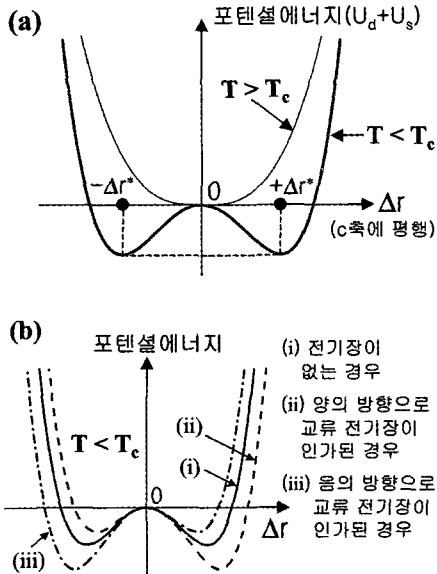


그림 3. 변위형 강유전체에 대한 포텐셜 에너지 개략도. (a) 상전이에 따른 포텐셜 에너지 곡선의 변화, (b) 상전이 온도 이하에서 전기장의 인가 효과가 포텐셜 에너지 형태에 미치는 영향을 개략적으로 보여주는 그림.

3. 잔류분극을 이용한 2진법 메모리, FRAM

이제 이러한 박막에 교류 전기장을 인가한다고 가정하여 보자. 강유전체의 기본 특성에 의해 양의 방향으로 전기장이 인가될 때에는 그림 2(a)의 좌측에 표시된 화살표 방향으로 전기분극이 더 크지게 되며, 반대로 음의 전기장이 인가될 때는 (b)에 표시된 화살표 방향으로 전기분극이 증가하게 될 것이다. 교류 전기장에 대응하여 변화하는 전기분극의 크기와 방향은 그림 3(b)에 나타난 포텐셜 에너지의 그림으로도 이해할 수 있다. 이러한 논의를 가지고 인가되는 전기장(E)의 세기와 방향에 대응하여 변화하는 전기분극(P)을 개략적으로 나타내 보면 그림 4와 같이 되며, 이를 P-E

이력곡선 (履歷曲線: hysteresis curve)이라 부르고 있다. 여기서 이력곡선이라 함은 전기장의 세기가 0일 때 전기분극이 0이 아니라 교류전기장의 인가 과정에 의해 $+P_r$ 또는 $-P_r$ 이 되는 이력의 특성을 가지기 때문이다.

이제 그림 3과 4를 가지고 FRAM에서 어떻게 2진법에 따르는 정보를 기록할 수 있는지에 대해 생각해 보자. 전기장을 0에서 양의 방향으로 증가시키면 격자에서 양이온-음이온 중심간의 대응하는 변위 (Δr)는 그림 3(b)에서 곡선 (ii)의 우측 극소점에 놓이게 된다. 양(+)의 전기장을 최대로 인가할 때 그림 4의 P-E 이력곡선에서 상응하는 점은 위상단 침점이 되고 이때 P도 양의 최대값을 가질 것이다. 이 침점에서 P-E 곡선에 접선을 긋고 E=0 일 때 P축과 만나는 가상의 P 값을 자발분극이라 하고 P_s 로 나타낸다. 침점에서 다시 전기장을 감소시켜 0으로 되돌리면 이때 상응하는 전기분극의 값은 그림 3(b)의 곡선 (i)의 우측 극소점에 놓이게 되며 상응하는 분극은 그림 4에 나타난 바와 같이 $+P_r$ 이 될 것이다. 이 값을 "잔류분극 (remanent polarization)"이라 부르며, $+P_r$ 을 "1"이라는 상태의 단위 정보로 대응시킬 수 있다. 다음으로 전기장을 음의 값으로 좌하단 침점까지 증가시킨 후 다시 0으로 되돌리면 상응하는 변위의 값은 그림 3(b), 곡선 (i)의 좌측 극소점에 해당되고, 여기에 상응하는 잔류분극은 그림 4에서 $-P_r$ 이 된다. 이와 같이 $+P_r$, $-P_r$ 각각을 "1"과 "0"의 상태로 대응시킴으로써 FRAM에서는 잔류분극의 부호와 크기를 이용하여 bit 단위의 정보를 기록할 수 있게 된다.

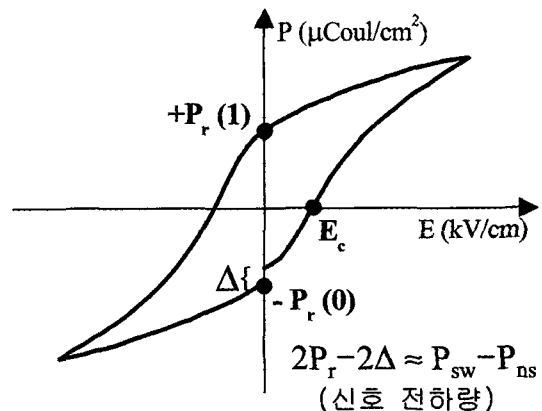


그림 4. 강유전체의 전형적인 P-E 이력곡선.

그림 4로 부터 알 수 있듯이 음의 전기분극을 가진 상태를 양의 방향으로 돌리기 위해서는 특정치 이상의 전기장이 요구되는데 이를 "항전계 (coercive field; E_c)"라 부르고 있다. 이치를 E_c 가 0이 아닌 유한한 값을 가지는 이유는 그림 3에 나타내었던 주어진 자발분극이 그 방향을 전환하기 위해서는 유한한 크기의 에너지 장벽을 뛰어 넘어야 하기 때문이며, 이 에너지 장벽의 존재가 강유전 박막을 비휘발성 메모리 소자로 활용할 수 있게 만드는 가장 중요한 요소가 된다. FRAM은 이와같이 강유전체의 P-E 이력특성을 이용함으로써 정보의 기록상태가 안정하게 유지되는 2진법의 비휘발성 메모리 소자를 구현한다.

4. FRAM 커패시터로서 요구되는 강유전 박막의 물성

앞 절에서 강유전 박막 커패시터의 어떤 특성을 이용하여 정보를 기록할 수 있는가를 살펴 보았으므로 이제 이상적인 FRAM 커패시터로서 요구되는 강유전 박막의 물성들에 대해 간략히 살펴보기로 한다. 강유전 커패시터를 이용하여 기록된 정보를 읽으려 할 때 정보 "0"과 "1" 상태의 차이로 말미암아 비트선에 유도되는 전위차는 그림 4에서 정보 "1"과 "0"에 각각 대응하는 잔류분극값의 차이, 즉 $2P_r$ 에 비례함을 그림 1(b)에 나타낸 등가회로를 이용하여 쉽게 보여줄 수 있다[1]. 따라서 " $2P_r$ "을 sensing margin 이라 하여 FRAM에서 매우 중요한 파라미터가 되며, 시간의 경과에도 불구하고 이 값이 어떤 기준치 (보통 $10 \mu\text{Coul}/\text{cm}^2$) 이상으로 유지되어야 기록된 정보 상태를 정확히 판독할 수 있게 된다. $2P_r$ 과 비슷한 개념이나 더 중요하게 사용되는 것으로 "신호 전하량" 또는 "비휘발성 전하량"이 있는데, 이는 스윗칭 전하량 (P_{sw})과 비스윗칭 전하량 (P_{ns})의 차이로 정의된다. 이 신호 전하량은 일반적으로 $2P_r$ 보다 조금 작은 값을 가지는데 이는 전기장이 0인 조건에서 짧은 특정 시간 내에 유동성이 높은 비강유전 전하가 공간적으로 흩어지는 현상에 기인하며, 이를 "분극 이완 (polarization relaxation)" 이라 부른다. 그림 4에 나타내었듯이 $-P_r$ 과 양의 전기장이 시작되는 점 사이에 전기분극이 일치하지 않고 일정한 간격 (Δ)을 일반적으로 보이는데 이 차이가 분극이완의 척도가 되며, 물론 이 간격이 작은 것이 FRAM 커패시터로서 바람직하다.

그외 FRAM 커패시터로서 강유전 박막이 가져야 할 물성과 공정상의 중요 조건들을 정리하면 다음과 같다 : (i) 대략 10^{12} 회 이상의 지속되는 쓰고 읽기 동작에도 잔류분극이 감소되지 않는 전기 분극의 내 피로성 (fatigue resistance)이 높을 것. 피로성이 있으면 전기분극의 크기가 감소하므로 일정 횟수의 쓰고 읽기 동작 이후에는 제대로 정보를 쓰거나 읽을 수 없게된다. (ii) 한 특정분극 상태에 비해 다른 분극 상태의 선호성이 없는 imprinting resistance가 요구되며, 이것이 낮으면 그림 4의 P-E 곡선이 쓰고 읽기 동작이 반복됨에 따라 한쪽으로 이동하게 되므로 "0"이나 "1" 상태의 정보중 하나를 제대로 쓰거나 읽을 수 없게된다. (iii) 기록된 정보, 즉 신호 전하량이 시간의 경과에도 불구하고 안정적으로 유지될 수 있는 전하유지 (charge retention) 능력이 우수할 것. (iv) 저 소비전력과 고집적화를 위해 작은 항전계를 가질 것. (v) 기록된 전기분극이 열적 요동에도 불구하고 안정화 될 수 있도록 상전이 온도 (Curie 온도)가 높을 것. (vi) 신호 대 잡음비를 높이기 위해 박막의 유전율이 500 이하 정도로 낮을 것. (vii) CMOS 트랜지스터 공정과의 정합성을 위해 커패시터의 제조 온도가 최대 650°C 이하일 것. (viii) 메모리 디바이스 제작공정의 후반에 도입되는 FGA 단계에서 환원성 수소 가스에 대한 내성이 높을 것 등이다. 이러한 요구조건들 중에서 현재 반도체 메모리 메

이커에서 가장 심각하게 고려하고 있는 것은 전기적 피로에 대한 내성 증진 및 전하유지 능력의 향상으로 알려져 있다. 다음절에서는 FRAM 디바이스에서 핵심이 되는 커패시터로서 유망한 대표적인 강유전 박막 몇가지를 살펴 보기로 하자.

5. 대표적인 강유전 박막과 신소재의 개발

현재 전세계 반도체 메이커들이 FRAM 커패시터 박막으로 응용하고 있거나 고려하고 있는 대표적인 신소재는 앞서 언급한 PZT계 박막과 층상 페롭스카이트 구조를 가진 몇가지 화합물로 대별될 수 있다. PZT는 우수한 전기분극성 (신호 전하량)과 높은 Curie 온도, 낮은 커패시터 제조온도, 우수한 압전 특성 등으로 각종 정밀 센서, 마이크로 액츄에이터, 초음파 영상탐지기, 주파수 필터 등에 활용되어 전자 세라믹스 중에서 가장 높은 응용성을 가지는 우수한 신소재로 알려져 왔다. 이에 따라 PZT는 FRAM 커패시터 박막의 가장 중요한 후보로서 전세계 반도체 메모리 메이커들로부터 집중적으로 연구되어 왔으나 가장 중요한 물성의 요구 조건인 전기적 피로에 대한 내성 및 전하유지 능력이 나빠 큰 문제가 되어 왔다. 이러한 문제들을 해결하기 위해 1990년 이후 집중적인 연구가 이루어 졌으며, 커패시터의 하부전극 (그림 1 참조)을 통상의 백금(Pt) 전극 대신 IrO_2 , RuO_2 등의 산화물 전극으로 대체하여 피로성 개선에 상당한 효과를 가져왔다[5,6]. 그러나 금속산화물 전극의 사용은 일반적으로 누설전류를 크게할 뿐 만 아니라 고가이고 공정을 복잡하게 하며 기존의 DRAM 디바이스 공정과의 호환성을 낮추기 때문에 이에 대한 해결이 오랫동안 숙제로 남아 있었다.

최근 필자의 연구실에서는 PZT 커패시터가 가지는 전기적 피로성의 주 원인이 (i) 재료내에 존재하는 산소 빈자리 결함 (V_o)과 (ii) 전극과 박막간의 격자상수등의 불일치에 기인하여 박막내의 존재하는 응력(film stress) 이라는 점에 착안하여 Pt 전극상에서 전기적 피로성이 없는 PZT 박막 커패시터를 개발하는데 성공한 바 있다[7]. 이를 위해 PZT계 박막과 Pt 하부전극간에 약 40 나노미터 두께의 seed층 초박막을 삽입하였으며, 이러한 과정을 통하여 제조된 박막 커패시터는 6.5×10^{10} 횟수의 쓰고 읽기 동작에도 신호 전하량이 안정되게 남아있어 전기적 피로 현상이 완전히 제거됨을 발견하였다. 또한 전하유지 능력도 기존의 PZT계 커패시터에 비해 현저히 개선되는 등 PZT계 FRAM 디바이스의 실용화에 있어 큰 진전이 이룩되었다고 평가된다.

FRAM 메모리 커패시터로서 PZT계의 대안으로 제시된 것 중에서 가장 대표적인 것이 층상 페롭스카이트 구조를 가지는 일련의 화합물들이다. 이중에서 가장 대표적인 신소재가 1995년 미국 Symetrix사에서 개발한 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 강유전 박막이다[8]. 그러나 SBT의 경우 분극의 내피로성은 높으나 신호 전하량이 PZT에 비해 매우 낮을 뿐 만 아니라 공정온도가 750°C 혹은 그 이상인 치명적인 약점을 가지고 있어 향후 PZT를 대체할 수 있는 대안이 될 수는 없다고

판단된다. 이로부터 4년이 경과한 1999년 서울대 물리학과 노태원 교수팀은 PZT가 가지는 전기적 피로성과 SBT가 가지는 높은 공정온도 및 낮은 신호 전하량을 모두 극복할 수 있는 대안으로 역시 층상 페로스카이트 구조를 가지는 La-변형 bismuth titanate (이하 BLT로 약기)의 개발을 Nature 지에 발표하여 세계적인 관심을 모은 바 있다[9]. 그림 5에 나타난 BLT의 구조에서 알 수 있듯이 BT의 Bi 원자 일부를 La등으로 치환하면 강유전 활성 단위인 TiO_6 팔면체 단위에 인접한 위치에 La이 존재하게 되어 TiO_6 단위에서 산소원자들의 안정성이 증진된다[9]. 이에 따라 페로스카이트 박막 내에서 전기적 피로성의 주요 원인이 되는 산소 빈자리의 생성을 상당한 정도로 줄일 수 있다고 해석되고 있다. 그러나 BLT는 SBT에 비해 신호 전하량이 높으나 PZT에 비해서는 현저히 낮으며, 박막의 배열이 균일하지 않다는 단점을 가지고 있다. 이러한 문제점에 대한 개선 외에도 BLT 박막의 실용화를 위해서는 전하유지 능력, imprinting 정도, 수소 가스 처리에 대한 내성 [10] 등이 먼저 면밀히 검토되어야 할 것이다.

2000년 이후 본 연구팀은 BT 계열 박막들을 결정의 c축으로 우선 배향시키는 기술을 발전시키고, 다음으로 c축에 평행한 전기분극의 크기를 검토하는 일련의 연구를 수행하였다. 그 결과 BT에 La 또는 다른 란타넘 (lanthanides) 이온을 치환할 때 c축으로 전기적 분극이 현저히 커진다는 사실을 발견하였다[11]. 순수 BT 결정의 경우 주된 전기분극은 결정구조의 b축에 평행하다고 알려져 왔기 때문에 (b축으로 대략 $50 \mu\text{Coul}/\text{cm}^2$, c축으로는 $4 \mu\text{Coul}/\text{cm}^2$) c축 배향성을 가지는 BT계열 박막의 중요성이 거의 인식되지 못

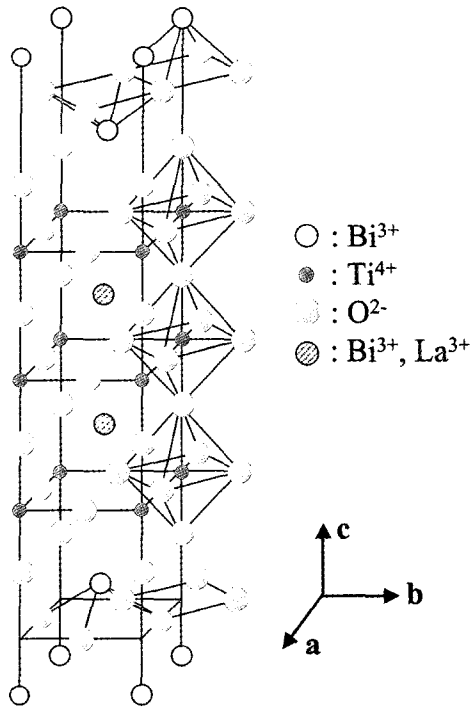


그림 5. 층상 페로스카이트 구조를 가지는 BLT 계열의 격자구조를 보여주는 그림.

하였다. 그러나 위에서 발견한 분극 벡터의 방향 변화는 란타넘 원자들의 적절한 첨가와 c축 배향성을 가지는 박막의 제조에 의해 전기분극이 현저히 개선될 수 있음을 시사한다. 이에 착안하여 본 연구팀은 BT 결정에서 Bi 원자 대신 Sm(사마리움) 원자를 일부 치환함으로써 c축 배향성의 에피택시 구조를 가짐과 아울러 높은 신호 전하량과 내 피로성, 우수한 전하유지 능력 및 imprinting 현상이 제거된 박막 커패시터를 제조하는데 성공하였으며, 이 계를 BSmT라 명명하였다[12]. BSmT 계는 동일한 인가 전위(10 V)에 대해 BLT 보다 현저히 높은 sensing margin을 보여 주었으며 (BSmT의 $49 \mu\text{Coul}/\text{cm}^2$ 대 BLT의 $27 \mu\text{Coul}/\text{cm}^2$), Pt/BSmT/Pt 박막 커패시터는 4.5×10^{10} 횟수의 쓰고 읽기 동작에도 불구하고 신호 전하량 ($P_{sw}-P_{ns}$)의 감소가 거의 없는 우수한 전기적 내 피로성을 나타내었다 (그림 6).

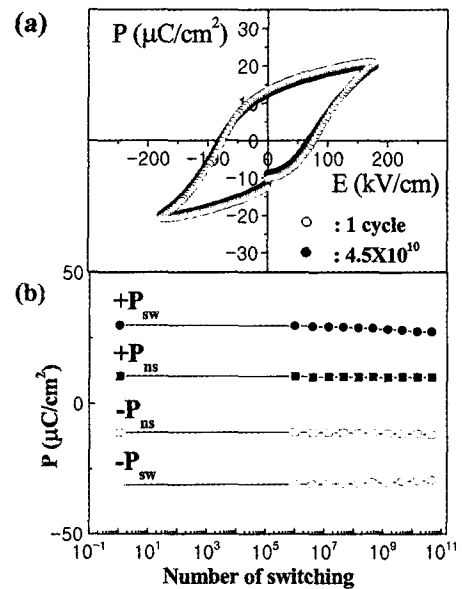


그림 6. 1 MHz 교류장 하에서 450억회의 쓰고 읽기 동작에도 전기적 피로성을 나타내지 않는 Pt/BSmT/Pt 커패시터의 특성을 보여주는 그림.

BT 계열 강유전계의 결정구조를 살펴볼 때 하나의 단위 세포에서 c축 방향으로 상하에 존재하는 Bi_2O_2 층 (그림 5에서 제일 아래와 위에 있는 두 층)에 인접한 두 개의 TiO_6 팔면체 단위는 c축으로 상당한 정도의 비대칭성 이중 우물형 포텐셜을 가지게 될 것이다. 그리고 이러한 예측을 최근 방사광 XANES 실험과 양자역학적 계산에 의해 실제적으로 확인한 바 있다. 비대칭 포텐셜 특성과 c축 배향성 박막이 가지는 우수한 강유전 특성에 착안하여 최근 본 연구팀은 FRAM 커패시터가 가져야 할 모든 조건을 잘 만족하며 (제 4절 참조), c축으로 거대 잔류분극 ($2P_r \approx 100 \mu\text{Coul}/\text{cm}^2$)을 가지는 BT 계열의 새로운 강유전 커패시터들을 개발하였는데[13], 이러한 결과는 신뢰성이 높은 고집적 FRAM 디바이스의 실용화 및 응용화 촉진에 획기적인 기여를 할 것으로 예측된다.

6. 끝 맺는 말

강유전재료가 가지는 기본 물성을 살펴봄으로써 차세대 비휘발성 메모리로서 가장 유망한 FRAM 디바이스의 작동 원리를 간략히 설명하였다. 다음으로 FRAM 디바이스에서 핵심이 되는 강유전 박막 커패시터가 가져야 할 조건들을 살펴보고, FRAM 커패시터로서 적합한 몇가지 강유전 박막계를 최근의 발전을 중심으로 소개하였다.

향후 초고집적, 초고속 FRAM 디바이스 개발과 관련하여 중점적으로 연구개발이 진행되어야 할 몇가지 문제들을 지적함으로써 이 글을 마치고자 한다. DRAM과 마찬가지로 FRAM 메모리 디바이스도 초고집적화에 따라 향후 커패시터의 스케일이 초미세화 되어갈 것이다. 이에 따라 강유전 물성의 열화 (degradation)가 현저하게 일어날 것인데, 이러한 열화는 많은 경우 박막과 전극의 계면에서의 여러 가지 화학적, 구조적 결함들에 기인한다고 알려져 있다. 따라서 초소형화 (궁극적으로 나노미터 스케일화)에 따른 결함 발생을 극소화할 수 있는 혁신적인 공정들이 기존 DRAM 초고집적 공정기술을 바탕으로 개발되어야 할 것이다. 비록 결함들에 기인하는 문제들을 극복하였다 하더라도 스케일이 나노화 됨에 따라 본질적으로 일어나는 하나의 중요한 문제가 초상유전(super-paraelectric) 효과이다. 이는 스케일의 축소에 따라 이중 우물 포텐셜 사이를 막고 있는 에너지 장벽이 줄어들어 전기분극의 열적요동 효과가 현저해 지기 때문인데, 이를 극복할 수 있어야 신뢰성 있는 작동을 보이는 나노 스케일 초고집적 디바이스의 구현이 가능할 것이다. 마지막으로 지적할 사항은 디바이스의 초고속화에 관련된 문제이다. 지금까지의 연구결과에 의하면 디바이스 작동 속도의 한계는 하나의 트랜지스터로부터 나오는 미세전류가 인접한 트랜지스터의 게이트를 charging 하는데 소요되는 상호연결 시간 (interconnect time)에 의해 결정되며, 이 한계 시간은 대략 200 피코 초 (2×10^{-10} 초) 정도라고 알려져 있다[14]. 그런데 커패시터에서 전기분극의 방향전환 (polarization switching)에 소요되는 최소한의 이론 시간은 500 피코 초 정도로 상호연결 시간보다 클것으로 예측되므로, 향후 기술의 진보에 힘입어 달성될 수 있는 초고속 FRAM 디바이스 작동 스피드의 한계는 500 피코 초 (즉, 100백억분의 5초) 정도가 될 것이다. 이렇게 되면 현재 가장 빠른 작동 스피드를 보이는 휘발성 SRAM (static RAM) 디바이스보다 대략 20배 이상 빠른 작동 스피드를 보이는 비휘발성 FRAM 디바이스의 출현이 가능하게 될 것이다.

참 고 문 헌

[1] 川 淸 知二 元 著, 유회준, 김시호, 유종선 옮김, "미래의 메모리 : FRAM" (시그마프레스, 2000년).
 [2] C. Kittel, "Introduction to Solid State Physics" (7th ed., John Wiley & Sons, Inc., 1996), Chapter 13.

[3] G. A. Smolenskii 외 지음, 장 현명 옮김, "강유전재료의 기초과학" (한국경제신문, 한국과학재단선정 과학기술신서 19, 2000년), 제3장.
 [4] S. M. Cho, H. M. Jang, and T. Y. Kim, "Origin of Anomalous Line Shape of the Lowest-Frequency $A_1(TO)$ Phonon in $PbTiO_3$," *Phys. Rev. B*, Vol. 64, pp. 014103-1 - 014103-11 (2001).
 [5] T. Nakamura, Y. Nakao, A. Kamisawa, H. Takasu, *Appl. Phys. Lett.*, Vol. 65, No. 12, pp. 1522-1524 (1994).
 [6] H. N. Al-Shareef, K. R. Bellur, A. I. Kingon, and O. Auciello, "Influence of Platinum Interlayers on the Electrical Properties of $RuO_2/PZT/RuO_2$ Capacitor Heterostructures," *Appl. Phys. Lett.*, Vol. 66, No. 2, pp. 239-241 (1995).
 [7] S. R. Shannigrahi and H. M. Jang, "Fatigue-free Lead Zirconate Titanate-based Capacitors for Nonvolatile Memories," *Appl. Phys. Lett.*, Vol. 79, No. 7, pp. 1051-1053 (2001).
 [8] C. A. de Araujo et al., "Fatigue-free Ferroelectric Capacitors with Platinum Electrodes," *Nature*, Vol. 374, pp. 627-629 (13 April, 1995).
 [9] B. H. Park et al., "Lanthanum-substituted Bismuth Titanate for Use in Non-volatile Memories," *Nature*, Vol. 401, pp. 682-684 (14 October, 1999).
 [10] U. Chon, K.-B. Kim, and H. M. Jang, "Degradation Mechanism of Ferroelectric Properties in Pt/BLT/Pt Capacitors during Forming Gas Annealing," *Appl. Phys. Lett.*, Vol. 79, No. 15, pp. 2450-2452 (2001).
 [11] U. Chon, H. M. Jang, S.-H. Lee, and G.-C. Yi, "Formation and Characteristics of Highly c-axis-oriented BLT Thin Films on $SiO_2/Si(100)$ and $Pt/Ti/SiO_2/Si(100)$ Substrates," *J. Mater. Res.*, Vol. 16, No. 11, pp. 3124-3132 (2001).
 [12] U. Chon, K.-B. Kim, H. M. Jang, and G.-C. Yi, "Fatigue-free Samarium-modified Bismuth Titanate Film Capacitors having large Spontaneous Polarizations," *Appl. Phys. Lett.*, Vol. 79, No. 19, pp. 3137-3139 (2001).
 [13] Hyun M. Jang, "Fatigue-free Titanate-based Capacitors for Nonvolatile Memories," in *Proceeding of the 19th ISRC Workshop, Keynote Lecture* (2001년 10월 26일, 서울대학교 반도체공동연구소), pp. 2-22.
 [14] O. Auciello, J. F. Scott, and R. Ramesh, "The Physics of Ferroelectric Memories," *Physics Today*, July 1998 issue, pp. 22-27 (1998).