

Zero Voltage Switching을 이용한 저전압 DC/DC 컨버터의 고집적회로 설계

全載薰, 金鍾兌*, 洪秉裕

VLSI Design of Low Voltage DC/DC Converter using Zero Voltage Switching Technique

Jae-Hun Jun, Jong Tae Kim, and Byungyou Hong

요약

본 논문은 휴대용 기기를 위한 고효율의 저전압용 DC/DC 컨버터의 고집적회로에 관한 연구이다. 컨버터의 모든 능동 소자들은 0.65 μ m 표준 CMOS 공정을 사용하여 단일 칩으로 구현하였다. 수동 소자들의 크기를 줄이기 위해서 1MHz의 주파수에서 동작하며 높은 주파수에서의 스위칭 손실을 최소화하기 위하여 ZVS 방식으로 설계하였다. 시뮬레이션 결과 출력 전압이 2V일 때 1W의 출력을 가지며 full 부하에서 95%의 효율을 보였다.

ABSTRACT

This paper presents the VLSI design of highly efficient low voltage DC/DC converter for portable devices. All active devices are integrated on a single chip using a standard 0.65 μ m CMOS process. The converter operates at the switching frequency of 1 MHz for reducing the size of passive elements and uses a ZVS for minimizing the switching loss at high frequency. Simulation results show that the circuit can achieve a 95% efficiency when the output voltage is controlled to be 2V with the load of 1W.

Key Words : DC/DC converter, VLSI, ZVS

1. 서론

최근 휴대용 기기들의 사용이 여러 분야에서 급속도로 증가하고 있다. 휴대용 제품은 초소형/조경량 설계를 해야 하기 때문에 크기, 무게, 사용시간 등이 중요시되고 있다. 설계 문제의 핵심은 한정된 배터리 크기를 가지고 사용시간을 극대화하는 것이다.

이 문제를 해결할 수 있는 방법 중에 가장 효과적인 방법은 휴대용 제품에 사용되는 칩들의 공급전압을 낮추어(1v~3.3v) 전력 소모를 줄이는 것이다. 하지만 공급전압을 낮출 경우 성능에 영향을 주기 때문에 기기 안에 사용되는 모든 콤포넌트들의 공급전압을 동일하게 낮추어 줄 수 없다. 특히 아날로그 회로는 공급전압을 낮추면 동작 영역이 줄어들고 고주파 특성이 저하된다. 그러므로 현재 휴대용 기기에는 다양한 공급전압이 필요하다. 이에 따라 휴대용 제품은 공급전압을 낮추어주거나 높여주는 회로가 필요하다. 전압을 가변 시켜주는 회로로는 linear regulator와 switched capacitor converter, DC-DC 컨버터(buck, boost, buck boost)가 많이 사용되어 지고 있다. Linear

*성균관대 전기전자 및 컴퓨터공학부 교수

E-mail : jtkim@yurim.skku.ac.kr

접수일자 : 2001.10.10

1차심사요청일 : 2001.10.17

심사완료일 : 2001.11. 8

regulator는 작은 소요 면적과 수동 소자가 쓰이지 않는 장점이 있지만 두 가지의 제한이 있다. 첫째로 출력(V_o)은 입력(V_i)보다 클 수 없다. 둘째로 효율은 V_o/V_{in} 보다 클 수 없다. 따라서 주로 매우 낮은 전력을 공급하거나, 출력 전압이 입력전압과 비슷할 때 주로 사용할 수 있다. Switched capacitor converter도 보통 집적회로에서 전압을 높이는 데 많이 사용되는 방법으로, 이것 또한 인덕터와 같은 수동소자가 쓰이지 않으나, 역시 효율이 낮은 단점이 있다. 따라서 아주 작은 전력을 요구하는 곳에 적합하다.

DC/DC 컨버터는 효율이 매우 좋고 전압을 낮추거나 높이는 데 있어서의 제약은 적은 반면 수동소자(L, C)의 사용으로 휴대용 기기에 사용하기에는 크기가 큰 단점이 있다. 이런 단점을 줄이기 위해서는 스위칭 주파수를 크게 하여 수동 소자의 크기를 줄여야 한다. 스위칭 주파수가 100kHz~500kHz인 DC-DC 컨버터는 인덕터의 크기가 커서 소형이며 경량이어야 하는 휴대용 제품에는 적합하지 않다. 따라서 1 μ H 정도의 microfabricated 인덕터를 사용하기 위해서는 1MHz 이상의 스위칭 주파수로 동작되는 DC-DC 컨버터가 필요하다. 하지만 보통의 SMPS(switch mode power supply)의 일반적인 특성은 스위칭시의 전력 손실이 기타 다른 부분에 비해 현저하게 많은 소모를 가지게 되어 스위칭 주파수가 증가하면 전력 소모도 같이 증가하게 된다. 전력 트랜지스터 스위칭에서 전력 소모가 많은 이유는 두 개의 전력 트랜지스터, PMOS와 NMOS가 스위칭시 동시에 on 되는 구간이 발생되기 때문이다. 스위칭 손실을 줄이기 위한 방법으로 스위칭시 V_{ds} 가 0이 되게 하여 전력소모를 줄이는 ZVS(zero voltage switching)^[1] 방법이 사용되어야 한다. 이를 위해서는 PMOS와 NMOS 두개가 모두 on이 되지 않는 구간이 발생하게 되고 이를 dead time이라 한다. 하지만 부하를 가정하고 dead-time을 일정하게 고정시키게 된다면 정확한 ZVS가 일어나기 힘들며 저주파수에서 밖에 사용될 수 없으므로 고주파수에서도 정확한 ZVS 동작을 위해 dead-time을 조정해야 한다.

고집적회로를 이용하여 컨버터를 단일 칩 구현하면 첫째로 시스템의 크기를 줄일 수 있으며, 둘째로 전력 소모를 최소화 할 수 있어서 컨버터의 효율을 향상시킬 수 있으며, 셋째로 과전류, 과전압과 같은 위험을 보호하는 회로를 내장할 수 있는 등 컨버터의 신뢰도를 높일 수 있다. 고집적회로를 이용하여 컨버터를 단일 칩으로 구현한 연구로는 Strarakos의 저전압 CMOS(complementary metal oxide semiconductor)

DC-DC 컨버터에 관한 연구^[1]가 있다. 본 논문의 ZVS 컨버터는 이 연구의 구조를 기반으로 설계되었다. MIT의 Dancy와 Chandrakasan은 디지털 PWM과 효율적인 low resolution feedback 방식, 동기정류(synchronous rectification)를 응용한 스위치들을 이용하여 고효율의 컨버터 컨트롤 회로를 구현하였다^[2]. 일본 NTT에서도 SOI 기술을 이용하여 단일 칩으로 DC-DC 컨버터를 구현한 연구가 진행되었다^[3]. 고정주파수를 가지는 하드스위칭(hard switching) 방식의 PWM DC-DC 컨버터에 관한 연구가 있었다^[4].

본 논문에서는 3개의 수동 소자(C_x , C_f , L_f)만을 사용하고, 높은 스위칭 주파수($f_s > 1\text{MHz}$)에서 동작하며, 다양한 부하에서도 정확한 ZVS 동작을 하는 단일 칩 buck 컨버터 고집적회로를 0.65 μm 표준 CMOS공정을 사용하여 구현하였다.

2. ZVS DC/DC 컨버터의 고집적회로 구조 및 설계

컨버터 회로는 크게 VCO(voltage controlled oscillator), dead time control 블록, 전력트랜지스터, 오차 증폭기(error amplifier)로 구성되며 그림 1은 ZVS buck 컨버터회로를 보여준다.

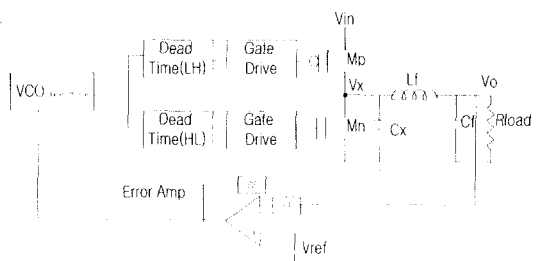


그림 1 DC-DC 컨버터 블록
Fig. 1 DC-DC converter block

회로의 동작은 오차 증폭기의 출력 값이 VCO로 입력되어 스위칭 주파수를 변화시켜 안정된 출력 전압을 발생시키기 위한 duty 사이클을 만들어 낸다. VCO에서는 두 개의 ring oscillator와 RS 래치(latch)를 사용하여 고정된 off time을 가진 펄스를 발생시킨다. 이 펄스는 dead time을 컨트롤하여 스위칭시 전력 소모가 없도록 하고, 게이트 드라이브를 거쳐 전력 트랜지스터(M_p , M_n)를 구동한다. 게이트 드라이브는 전력

트랜지스터 다음으로 전력 소모가 많은 부분으로 일반적으로 천이 시간에 중점을 둔 디지털 회로에서 보다 Tapering factor를 크게 하여 전력 소모가 가장 적은 것을 시뮬레이션을 통해 구하여 결정한다.

2.1 VCO

VCO는 DC/DC 컨버터의 전력 스위치의 구동을 하기 위한 펄스를 발생시켜 주는 부분으로 출력과 Vref의 값이 비교되어 오차 값이 Vcontrol로 피드백 되어 들어온다. 다양한 부하 변화와 입력전압의 변화에도 정확한 ZVS 이루기 위해서는 dead-time시 Vx 노드가 Vin으로 충전될 수 있도록 충분한 역 인덕터 전류가 필요하다. 따라서 off time은 일정 시간 이상 유지되어야 하고^[5], 이것을 만족시키기 위해서 off time은 충분한 역 인덕터 전류를 갖도록 크게 하고, Vcontrol에 따라 변화하지 않도록 고정시키는 방법을 사용한다.

기존의 컨버터 회로^[6]들은 VCO의 출력에 단안정(monostable multivibrator) 회로를 사용하여, off time을 고정시키지만, 단안정 회로는 저항과 커패시터를 필요로 하므로 고집적회로화 할 경우에는 사용을 제한하여야 한다.

따라서 이번 논문에서는 단안정 회로를 사용하지 않고 그림 2와 같이 ring oscillator 두개와 RS 래치를 사용하여 고정된 off time을 만드는 VCO를 사용하였다.^[7] 또한 대기 전류원을 두어 예기치 않은 Vcontrol 값에서도 oscillator가 발진 할 수 있도록 설계하였다. 그림 2에서처럼 off time 블록에는 펄스 폭을 고정하기 위해 일정한 전압 Vb를 가하고, on time 블록에서는 Vcontrol에 따라 가변 하는 펄스를 만들어 낸다. 두 개의 on, off time 블록은 각각의 입력에 low값이 들어왔을 경우에만 지연을 만드는 구조이기 때문에 입력이 high일 경우에는 곧바로 래치에 low값을 입력하여 Vout에는 영향을 미치지 않는다. 현재 Vout 이 high 일 때 on 블록에 low가 입력되면 Vcontrol에 따라 가변 지연 후에 래치에 high 가해져 Vout은 low가 되어 가변하는 on time을 만들며(off 블록에는 high가 입력되어 래치에는 지연 없이 low가 출력) 반대로 Vout이 low일 때 off 블록에는 low가 입력되어 고정된 지연 후에 출력 high가 래치에 가해져 Vout은 high가 되어 고정된 off time을 만들 수 있다. (on 블록에는 high가 입력되어 래치에는 지연 없이 low가 출력)

이런 on-off 블록 동작으로 그림 3과 같이 off time이 고정되는 구조를 만들 수 있다.

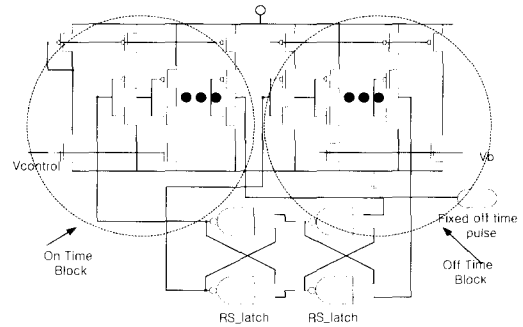


그림 2 고정된 off Time을 갖는 VCO
Fig. 2 Fixed off Time VCO

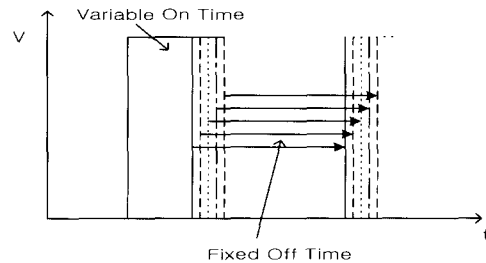


그림 3 고정된 off Time의 VCO 동작
Fig. 3 Operation of Fixed off Time VCO

2.2 Dead-time control 블록

정확한 ZVS를 이루기 위해 전력 트랜지스터 두 개가 모두 도통 하지 않는 구간은 인버터 노드(Vx)의 천이 시간과 정확히 같아야 한다.

$$\begin{aligned} T_{DLH} &= T_{xLH} \\ T_{DHL} &= T_{xHL} \end{aligned} \tag{1}$$

T_{DLH} : Mn off되고 Mp이 on 되는 구간
T_{xLH} : Vx 노드가 low에서 high가 되는 구간

만약 Vx 노드에서 high-to-low 천이 일 경우 dead-time이 너무 작으면 NMOS (Mn)는 Vds > 0 인 곳에서 on되어 부분적으로 저항을 통하여 Cx를 방전시켜 손실이 있게된다. 이는 고유의 기생적인 커패시터에 큰 커패시터(Cx)가 병렬로 더해져 천이를 느리게 하여 많은 손실을 가지게 한다. 또 dead-time이 너무 길게 되면 Vx의 노드의 전압 값이 7점지의 값 밑으로 떨어져 Mn의 드레인-기판 정션 사이에 순방향 바이어스 된다. 이때 Mn이 on이 되면 과도한 소수 캐리어를 제거해야 하며, Vx 노드를 집지만큼 충전 시켜야 하기

때문에 손실이 생기게된다. 또한 저 전력 응용에서는 이런 순방향 기판 다이오드는 출력에 커다란 영향을 미치게 된다. 따라서 효율적인 동작을 위해서는 이런 동작을 피해야 한다.

위와 같은 불일치와 다양한 부하 조건에서 식 (1)의 조건을 만족시키기 위한 방법으로 그림 4에서와 같이 Vx 노드와 게이트 드라이브에서의 출력 Gp, Gn 노드의 위상 차를 비교하여 Gp, Gn 펄스의 천이 속도를 조절하는 방법을 사용하였다.

또한 on(Mp on) → off(Mn on)시 dead-time이 작을 경우 전력소모가 있게 된다. 따라서 Gp_c가 high가 되면 charge pump의 Mp와 Mn이 동시에 on이 되어 각각 2I와 -I만큼의 전류가 흐르게 되고 Ci는 Vx_c가 low로 천이를 할 때까지 I로 충전하게 되고, 이후로 Vn_c가 high 될 때까지 -I 만큼의 전류만 흘러 Ci를 방전시킨다. 결과적으로는 Ci의 전압은 C×I×(A-B)가 된다. Ci의 전압은 Icontrol를 조절하여 Gn의 천이를 느리게 만들어 Vx의 천이를 Gp와 Gn의 정 가운데에서 일어나도록 하여 ZVS를 구현할 수 있다. 이 블록에서 가장 중요한 부분은 Icontrol을 제어하기 위한 Ci의 전압 Vi의 값인데 charge pump의 on, off 동작시의 잡음을 줄일 수 있도록 스위치가 직접 Ci와 연결되지 않도록 설계하였다.

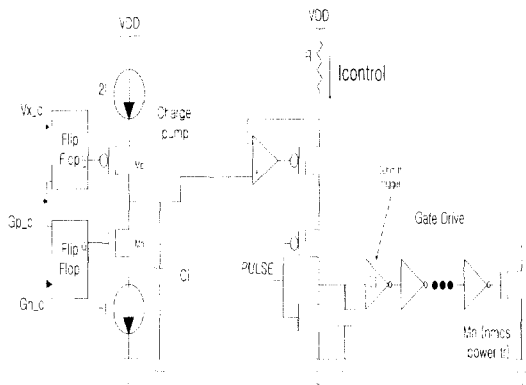


그림 4 Dead-time 콘트롤 블록
Fig. 4 Dead-time control block

2.3 전력 트랜지스터 설계

전력 트랜지스터는 도통 기간동안 저항 영역에서 동작하며 $r_{ds} = R_0 \cdot \frac{1}{W}$ 이다.(저항은 게이트 폭에 반비례한다.) 따라서 전력 트랜지스터에서의 도통 손실은 $P_{qj} = \frac{I_{D, rms}^2 R_0}{W_j}$ 이다. 만약 전력 트랜지스터가 이

상적인 ZVS를 한다고 가정하면, 스위칭 손실은 거의 무시 할만하다. 게이트 드라이브에서의 전력 소모는 전력 트랜지스터의 커패시터에 따라 변화하며 이것은 게이트의 폭에 비례한다.($C_g = C_{gd}W$)

게이트 드라이브에서의 전력 소모를 보면 $P_q = E_{gd}f_s W_j$ 이며, 여기에서 E_{gd} 는 low-high-low 천이 사이클에서의 게이트 드라이브의 전체 전력 소모량이다.

스위칭 손실을 제외한 전력 트랜지스터의 도통 손실과 게이트 드라이브 손실의 합이 최저가 되는 점은 두 요소의 값이 같아질 때이고^[11], 이때의 전력 트랜지스터의 폭은 $W_{j-opt} = \sqrt{\frac{I_{D, rms}^2 R_0}{E_{gd}f_s}}$ 이다. 따라서 게이트 드라이브 손실과 도통 손실의 값은 $P = \sqrt{I_{D, rms}^2 R_0 E_{gd} f_s}$ 가 된다.

2.4 게이트 드라이브

CMOS 회로에서 전력 트랜지스터는 보통 tapering factor u ($u^N = \frac{C_g}{C_i}$)를 사용한 N개의 인버터를 사용한다. 여기에서 C_g 는 전력 트랜지스터의 게이트 capacitor이며, C_i 는 첫 번째 단 인버터의 입력 capacitor이다. 이 방법을 그림 5에 보였다.

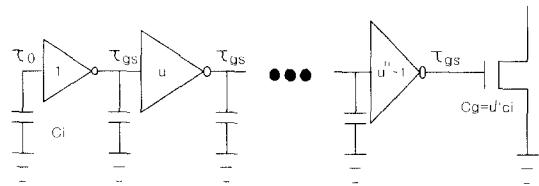


그림 5 CMOS 게이트 드라이브
Fig. 5 CMOS gate drive

여기에서 각각의 인버터 노드의 부하 커패시터에 대한 평균 전류의 비는 같게되고, 따라서 각각의 노드의 상승, 하강 시간도 같게 된다. Tapering factor u를 상수 e를 사용하는 방법은 잘 알려진 방법으로도^[12] 전달 지연을 최소로 하는 방법이다. 그러나 전력 회로에서의 주된 관심사는 전달 지연보다는 전력 소모에 있다. ZVS 회로에서는 다음의 시간 제약을 가진다.

$$\tau_x \gg \tau_{gs} \approx u\tau_0 \tag{2}$$

여기에서 τ_x 는 인버터 노드의 천이 시간이며, τ_{gs}

는 전력 트랜지스터에서 ZVS 동작을 보장하기 위한 최대의 게이트 천이 시간, τ_0 는 게이트 드라이브의 첫 번째 인버터의 출력 천이 시간(rise/fall time)이다. 또 u 는 인버터 채인에서의 tapering factor이다. 일반적으로 τ_{gs} 는 게이트 드라이브의 전력 소모를 줄이기 위해 가능한 큰 값으로 하는 것이 바람직하다.(그러나 여전히 τ_x 보다는 5~10배가 작다.)

주어진 τ_{gs} , τ_0 를 가지고 식 (2)의 조건을 만족하는 $u > e$ 가 존재한다면, e 를 사용한 것 보다 더 좋은 전력 특성을 가질 수 있다.

2.5 오차 증폭기

오차 증폭기는 컨버터의 높은 주파수에서 안정적인 동작을 위해서 넓은 대역폭 과 큰 위상 여유, 이득 여유를 가져야 한다. 그림 6과 같이 cascode구조를 사용하여 큰 이득을 얻도록 설계하였다. 이번 컨버터 회로에 사용된 증폭기는 이득 여유가 60db이고, 위상 여유는 60도로 충분한 이득, 위상 여유를 가지고 있다.

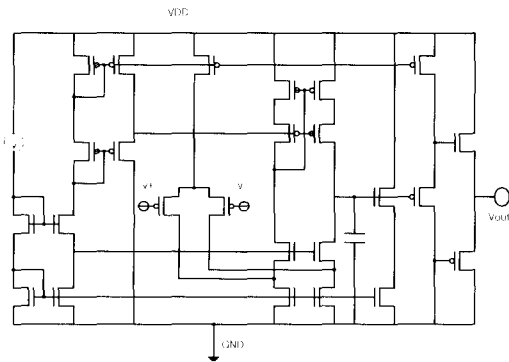


그림 6 오차 증폭기
Fig. 6 Error AMP

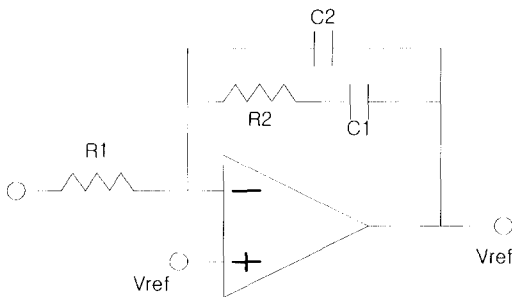


그림 7 Error Amp의 주파수 보상
Fig. 7 Frequency Compensation of Error Amp

DC/DC 컨버터의 경우 2차 특성의 전달 함수를 가지며 여기에 오차 증폭기의 1차 특성까지 고려하면 루프 전체로서 3차 특성을 가지게 되어 위상 여유에 그다지 유리하지 않은 조건이 된다. 따라서 궤환 루프의 안정성 설계는 동상 오차 증폭기에 극·영점 보상 (pole zero compensation)을 통하여 충분한 위상 여유를 확보함으로써 이루어질 수 있다. 그림 7은 오차 증폭기의 주파수 보상회로이고 이 컨버터에서는 여러 종류의 보상법 중에서 그림 8과 같이 하나의 영점과 두 개의 극점을 갖는 것을 사용하였다¹⁰⁾.

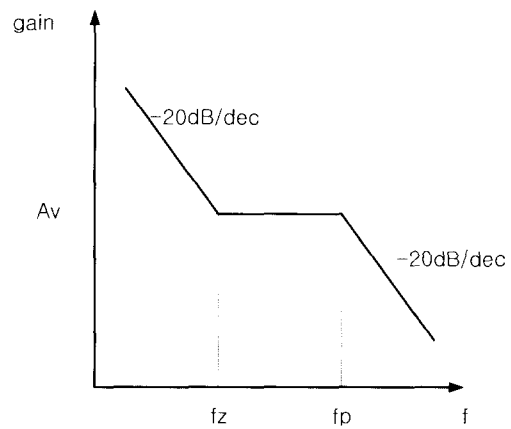


그림 8 Error Amp의 특성
Fig. 8 Characteristics of Error Amp

영점과 두 번째 극점 사이는 평탄한 이득 특성을 보이는데, 컨버터의 제어 회로의 루프 이득의 주파수 특성에서 교차 주파수가 이 영역 사이에 오도록 설계를 한다. 이 오차 증폭기의 전달 함수는 식 (3)과 같다.

$$\frac{V_c}{V_0} = \frac{(1 + sC_1R_2)}{s(C_1 + C_2)R_1(1 + s\frac{C_1C_2}{C_1 + C_2}R_2)} \quad (3)$$

여기서 영점 주파수 f_z 및 극점 주파수 f_p 는 각각 다음과 같다.

$$f_z = \frac{1}{2\pi C_1 R_2} \quad (4)$$

$$f_p = \frac{C_1 + C_2}{2\pi C_1 C_2 R_2} \cong \frac{1}{2\pi C_2 R_2} \quad (5)$$

그리고 W_z 와 W_0 사이의 직류 이득 A_v 는

$$A_v = \frac{R_2}{R_1} \quad (6)$$

로 주어진다.

2.6 컨버터의 layout

컨버터의 layout은 2poly 2metal 0.65 μm CMOS 공정을 사용하였다. CADENCE를 사용하여 Pcell을 만들고 각각의 block을 layout 한 후에 각각을 시뮬레이션 하였다. 정상 동작을 확인 후, 각각의 블록을 합쳐 가며 layout 하였다. Layout을 할 때 주목해야 하는 부분은 I/O cell과 전력 트랜지스터 부분이다. 전력트랜지스터의 크기는 보통의 블록보다는 상당히 크기 때문에 여러 개의 MOS 트랜지스터를 병렬로 묶어 만들었다. I/O cell의 출력은 큰 PMOS와 NMOS의 인버터 형태이므로 ESD(electrostatic discharge) 보호회로가 필요하지 않다. VDD 와 GND pad 의 경우도 내부의 모든 회로가 연결되어 수백 pF 또는 nF의 캐패시터가 묶여 있으므로 ESD 보호회로가 필요하지 않다. 하지만 입력 pad는 일반적으로 layout시 ESD 보호회로를 그려주지 않으면 공정 중이나 테스트를 위하여 손으로 만지는 과정 등에 의하여 입력 pad에 연결된 게이트의 산화막이 파괴되는 경우가 있다. 이를 방지하기 위해서 ESD 보호회로가 필요하다.

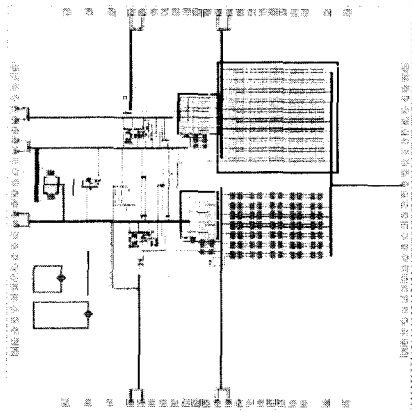


그림 9 DC/DC 컨버터의 layout
Fig. 9 DC/DC Converter layout

따라서 컨버터에서의 입력에서는 두 개의 다이오드를 사용한 보호회로를 사용하였다. 전체 컨버터 블록은 4.2x4.2(mm)의 die에 layout 하였고, 전체 면적은 3x3(mm) 정도 되었다. Layout된 전체의 컨버터 블록을 그림 9에 보였다.

3. 시뮬레이션 결과

컨버터 사양은 입력 전압이 5V이고 출력전압은 2V이며 1W의 전력을 공급한다. 3개의 수동 소자만을 사용하고 1MHz의 주파수에서 동작한다. 수동 소자의 크기는 $L_f = 670\text{nH}$, $C_f = 10\mu\text{F}$, $C_x = 6.66\text{nF}$ 로 하였다. 전력 트랜지스터의 크기는 시뮬레이션을 통해서 결정하였는데 Mp의 크기는 $L=0.8\mu\text{m}/W=100\text{mm}$ 하였고 Mn의 크기는 $L=0.8\mu\text{m}/W=75\text{mm}$ 로 하였다. 게이트 드라이브에서는 $n=4$, $u_n=7$, $u_p=9$ 로 하였다.

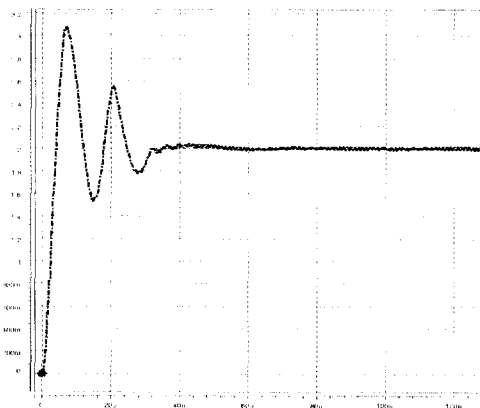


그림 10 컨버터의 Hspice 시뮬레이션 결과(4 Ω full load)
Fig. 10 The Results of Hspice simulation for the Converter (4 Ω full load)

표 1 다양한 부하에서의 효율 (단위: W)
Table.1 The Efficients under the various load (unit: W)

P 부하	Total	Load	Mp	Mn	Gp	Gn	효율 (%)
1(Ω)	3.6641	3.1341	0.2065	0.2979	0.0036	0.0027	85%
4	1.0615	1.0040	0.0165	0.0116	0.0054	0.0040	95%
10	0.4453	0.4017	0.0079	0.0056	0.0059	0.0043	90%
30	0.2027	0.1607	0.0071	0.0046	0.0059	0.0044	79%

그림 10은 컨버터의 전체 블록을 Hspice로 시뮬레이션한 결과를 보인다. Full load(4 Ω)시 95%의 높은 효율을 얻었고 40 μs 이후 안정된 2V의 전압이 나왔다.

표 1에서는 다양한 부하에서의 효율과 각각 블록들의 전력 소모를 보였다. 표 1과 같이 대부분의 전력

소모는 전력 트랜지스터와 게이트 드라이브에서 발생하며, 이것은 도통손실과 미세한 스위칭 손실이 포함되어 있다. Stratakos^[11]는 입력 전압이 6V, 출력 전압이 1.5V이고 full load시 출력 전력이 750 mW이며 92%의 효율을 가진 컨버터를 설계하였다. 서로 사양이 다르기 때문에 본 논문의 설계와 비교하는 것은 무리가 있다. 여러 가지 환경의 변화에 따른 컨버터의 안정적 동작을 보기 위해서 부하의 변동과 입력 전압의 변동 시의 컨버터의 동작을 시뮬레이션하였다.

그림 11은 부하가 100Ω에서 4Ω으로 변동시의 파형으로 15μs의 응답 속도를 가지고 안정화되는 것을 보여준다. 4Ω에서 100Ω으로의 부하변동에서는 출력 전압의 변동이나 기타 특이한 점은 없었다.

그림 12는 입력 전압의 변동 시 컨버터의 동작을 보여준다. 95μs이후 공급 전압은 4.5V로 감소하였지만 출력 전압은 거의 변동이 없는 것을 알 수 있다. 제작된 컨버터는 공급전압의 이상이나, 부하의 급격한 변화에도 안정된 전압을 얻을 수 있다는 것을 보여준다.

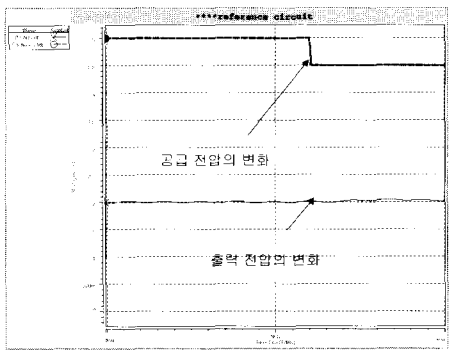


그림 11 전압의 변동에 따른 컨버터 출력의 변화
Fig. 11 The Converter Output Change with the voltage variation

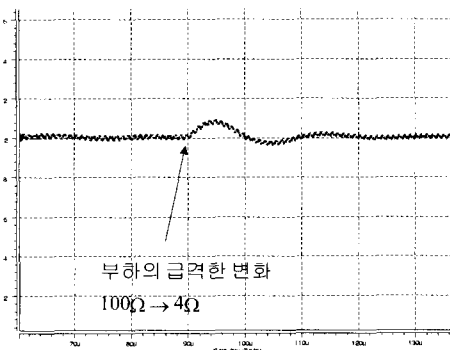


그림 12 부하 변화시의 출력
Fig. 12 The Output with Load variations

표 2 다양한 스위칭 주파수에서의 효율 및 수동소자의 크기

Table 2 The Efficients of the various switching frequency and The size of passive elements

Frequency	효율	Lf[nH]	Cf[μF]
500kHz	94%	1440	20.8
1MHz	95%	720	10.4
2MHz	90%	310	4.7

표 2는 스위칭 주파수에 따른 효율의 변화 및 수동소자의 크기를 보여준다. 스위칭 주파수를 1MHz 보다 크게 한다면 전력소모는 점점 증가하게 되어 효율을 떨어뜨리게 한다. 하지만 Lf, Cf 의 크기는 줄어드는 장점이 있다. 따라서 전력 소모보다는 크기에 좀더 많은 제약이 있을 경우에는 스위칭 주파수를 1MHz 이상으로 하여 크기를 줄일 수 있다.

4. 결 론

최근 사용이 급속도로 증가하는 휴대용 제품에서는 전력 소모를 최소화하기 위한 방법으로 칩들의 공급 전압을 낮추는 방법이 많이 사용되고 있다. 따라서 시스템들은 하나 이상의 전압들을 필요로 하며 따라서 전압을 변환해주는 회로가 사용된다. 이 논문에서는 0.65μm 표준 CMOS 공정을 사용하여 단일 칩과 세 개의 수동소자(Lf, Cf, Cx)만을 가지는 저전압 buck 타입의 DC/DC 컨버터를 고집적회로로 구현하였다. 스위칭 주파수는 1MHz로 하여 수동소자의 크기를 작게 하였고, ZVS 방식을 사용하여, full 부하에서 95%의 효율을 나타내었다.

구현된 컨버터는 다양한 부하의 값에도 정확한 ZVS 동작을 하여 높은 효율을 보였다. 또한 급격한 부하의 변화나, 공급전압의 변화에 따라 빠른 응답특성과 출력의 변화도 거의 없어 다양한 환경에 사용 가능하다. 따라서 제안된 컨버터를 저전력 시스템에 사용할 경우 넓은 부하 범위에서 안정된 전력 이득을 기대할 수 있을 것이다.

본 연구(관리번호 01-026)는 한국전력공사의 지원에 의하여 기초전력공학 공동연구소 주관으로 수행되었음.

참 고 문 헌

- [1] A. Stratakos, "High efficiency low-voltage DC DC conversion for portable applications", Ph.D. dissertation, UC Berkeley, 1998.
- [2] A. P. Dancy and A. P. Chandrakasan, "Ultra low power control circuits for PWM converters," IEEE Power Electronics Specialists Conference, pp. 21~27, 1997.
- [3] S. Matsumoto, M. Mino, and T. Yachi, "Integration of a power supply for system-on-chip," IEICE Trans. Fundamentals, Vol. E80-A, No. 2, February 1997.
- [4] S. Jung, N. Jung, J. Hwang, and G. Cho, "An integrated CMOS DC DC converter for battery-operated systems," 제4회 IDEC MPW 발표회, 1999.
- [5] Thomas G.Wang, Xunwei Zhou and Fred C. Lee, "A low voltage high efficiency and high power density DC/DC converter", IEEE, 1997.
- [6] 김 희준, "스위칭모드 파워서플라이", 성안당, 1995.
- [7] R. Jacob Baker, Harry W. Li, David E. Boyce, "CMOS circuit design, layout, and simulation", IEEE Press, 1997.
- [8] U.Schiller, J. R. Travis and Z. Ghassemlooy, "A voltage controlled oscillator for use within a pulse frequency modulation system", INT. J. Electronics, Vol. 84, No 1, pp. 37~43, 1998.
- [9] W. Lau and S. Sanders, " An integrated controller for a high frequency buck converter", IEEE Power Electronics Specialists Conference, pp. 246~254, 1994.

저 자 소 개

**전재훈(全載薰)**

1975년 9월 10일생. 1998년 2월 성균관대학교 전기공학과 졸업. 2000년 2월 동대학원 전기전자 및 컴퓨터공학부 졸업(석사). 현재 아남반도체 연구원.

**김종태(金鍾兌)**

1959년 11월 11일생. 1982년 성균관대 전자공학과 졸업. 1987년 University of California, Irvine 전기 및 컴퓨터공학과 졸업(석사). 1992년 Univ. of California, Irvine 전기 및 컴퓨터공학과 졸업(박사). 1993년~1995년 전북대학교 컴퓨터공학과 교수. 1995년~현재 성균관대학교 전기전자 및 컴퓨터공학부 교수.

**홍병유(洪秉裕)**

1960년 1월 25일생. 1986년 성균관대 전자공학과 졸업. 1989년 University of Florida 전기공학과 졸업(박사). 1995년 The Pennsylvania State University 전기공학과 졸업(박사). 1997년~현재 성균관대학교 전기전자 및 컴퓨터공학부 교수.