

# AC Plasma Display Panel 구동 장치의 고효율 전력 회수 회로에 관한 연구

尹源植\*, 姜彌淳, 金喆禹

## High Efficient Energy Recovery Circuit for AC Plasma Display Panel

Won Sik Yoon, Feel Soon Kang, and Cheul U Kim

### 요 약

현재 AC PDP( Plasma Display Panel )의 기술은 급속히 발전하고 있는 추세이지만 아직도 몇 가지 문제로 인해 이를 해결하기 위한 다각적인 접근이 이루어지고 있다. 동화상 윤곽의 세기, 광(光) 대비 향상을 통한 화질의 개선, 신뢰도 및 전력 효율을 개선하는 등의 문제가 여기에 해당되며 그 중에서도 특히, 전력 효율의 관점에서 40인치 이상의 대형화면을 지향하는 PDP기술에서 가장 큰 약점으로 분류되고 있는 수백 와트(watt)에 이르는 전력 소모를 CRT 수준인 200[W]미만으로 낮추는 것이 시급한 당면 과제이다. 전력 효율을 향상시키기 위해서는 PDP의 발광효율을 높이는 것과 함께 기체방전과는 직접적인 관련이 없이 구동과정에서 발생하게 되는 불필요한 전력소모를 최소화하여야 한다. 본 논문에서는 이러한 전력 소모를 최소화하기 위한 새로운 형태의 고효율 에너지 회수 회로를 제안하고 시뮬레이션을 통해 그 동작을 확인하였다. 또 이 회로를 실제 7.5인치 패널에 인가하고, 200 [kHz]에서 실험하여 제안한 고효율 에너지 회수 회로의 타당성을 검증하였다.

### ABSTRACT

The sustaining driver for color AC Plasma Display Panel should provide alternating high voltage pulses and recover the energy discharged from the intrinsic capacitance between the scanning and sustaining electrodes inside the panel. In this paper, a novel efficient energy recovery circuit employing boost-up function is proposed to achieve a faster rise-time and in order to obtain a stable sustain voltage. The principle of operation, features, simulated results and experiment results are illustrated and verified on a 7.5 inch-panel with 200 [kHz] switch frequency.

**Key Words** : Plasma Display Panel, Energy recovery circuit, Sustaining electrodes

### 1. 서 론

\*부산대 전자공학과 석사과정  
E-mail : yunwonsik@hanmail.net  
접수일자 : 2001. 7.26  
1차심사요청일 : 2001. 7.27 2차심사요청일 : 2001. 9.11  
심사완료일 : 2001.10. 6

최근 AC-PDP( Plasma Display Panel )의 기술은 급속히 발전하여 화질과 신뢰도면에서 CRT에 근접하였다는 평가를 받고 있다. 또한, 화면 크기에 있어서도 CRT가 제한이 있는 반면, AC-PDP는 대형화면 구현이 가능하고 구조상 박막형으로 부피가 작다. AC-PDP 기술은 90년대 초까지만 해도 고효율도, 동화상과 같은 기본적인 기술의 구현에 주력했다. 그러나, 기술의 발

전으로 동화상 윤곽의 제거, 광(光) 대비 향상을 통한 화질의 개선, 신뢰도 및 전력 효율을 개선하는 등의 문제에 주력하고 있다. 특히, 전력 효율의 관점에서 40인치 이상의 대형화면을 지향하는 PDP기술에서 가장 큰 약점인 수백 와트(watt)에 이르는 전력 소모를 CRT 수준인 200 [W]미만으로 낮추는 것이 시급한 당면 과제이다. 전력 효율을 향상시키기 위해서는 PDP의 발광 효율을 높이는 것과 함께 기체방전과는 직접적인 관련이 없이 구동과정에서 발생하게 되는 불필요한 전력소모를 최소화하여야 한다. AC PDP는 전극을 유전체로 도포하여 유전체 표면에서 일어나는 표면방전을 이용하고 있다.

그러나, 수 십 만개의 화소(Pixel)의 표현을 위하여 180V 정도의 높은 전압펄스를 100~200 [kHz] 이상의 높은 주파수로 인가하여 유지방전 시켜야 하므로 전극간에 높은 정전용량의 충·방전이 불가피하게 된다.

이론적으로 용량성 부하 자체만으로는 전력소모가 없지만, 단순히 직류전원으로부터 펄스를 공급하게 되면 많은 전력손실이 발생한다. 특히, 용량성 방전을 할 경우 부유 용량에 의한 변위전류가 흘러 큰 손실을 발생시키게 된다. 이 손실은 주로 스위칭 소자에 온도 상승을 초래하게 되고, 최악의 경우 스위칭 소자를 파괴시킬 수 있는 위험이 있다. 따라서, PDP 구동회로에는 이러한 변위 전류에 의한 손실을 최소화하기 위한 전력 회수 회로를 채용하게 되며, 미국의 Weber형<sup>[1]</sup>, 일본의 Fujitsu형<sup>[2]</sup> 에너지 회수 회로를 포함하여, 최근 다양한 전력 회수회로가 활발히 연구되고있는 실정이다.

제한한 에너지 회수 회로에서는 Pixel의 구조가 주어졌을때, Pixel의 구동 과정에서 발생하는 전력 에너지를 회수하여 Boost-up하여 다시 Panel에 인가함으로써 회수 에너지를 효과적으로 처리하고 PDP 구동에너지를 최소화 할 수 있는 한 방법에 접근 코져 한다.

## 2. 기존의 전력 회수 회로

그림 1은 기존의 전력 회수 회로<sup>[3]-[7]</sup> 중에서 가장 널리 쓰이고 있는 Weber의 전력 회수 회로이다. 그 외에 알려진 회수 회로 중에서 어느 정도의 인지도를 얻고 있는 것으로는 스위치의 온·오프에 따라 유지방전을 일으키고 두 개의 전극의 집단사이에 걸린 전압을 서로 교환하는 방법을 제안한 일본의 Sakai형 회로가 있으나 현재 실용화하여 채택되어져 사용되고 있는 Weber 형의 전력 회수 회로에 대해 그 동작 원리를

정상 상태에서 간단하게 설명하면 다음과 같다.

최초 출력 측인 패널 Cp의 전압이 0 [V]인 상태에서 스위치 S1을 ON 시키면 회수용 콘덴서 Cx의 초기 전압  $V_{cx} \approx 1/2 V_s$ 가 인덕턴스 Lx와 Cp를 통하여 공진 회로를 구성하고, 패널 측을 향하여 전류가 상승하게 된다.

그리고 패널의 전압은 Lx의 전류가 영이 되는 지점까지 상승하게 된다. 그리고 이때 스위치 S3을 ON 시키면 출력 측 전압은 Vs까지 상승한다. 그리고 일정 시간동안 이 유지 전압 ( Sustain Voltage )을 유지한 뒤에 스위치 S3을 OFF시키고 S2를 닫으면 이를 통해 출력 측에서 Cx로 전류가 흐르게 되고 일정 시간 후 S4를 ON하면 출력 측인 패널의 전압은 0[V]로 감소한다.

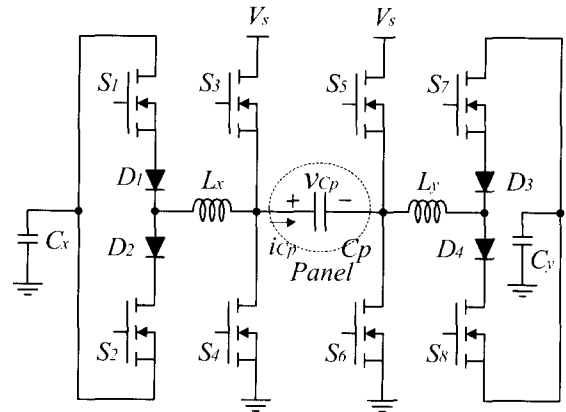


그림 1 Weber 에너지 회수 회로  
Fig. 1 Weber Energy Recover Circuit

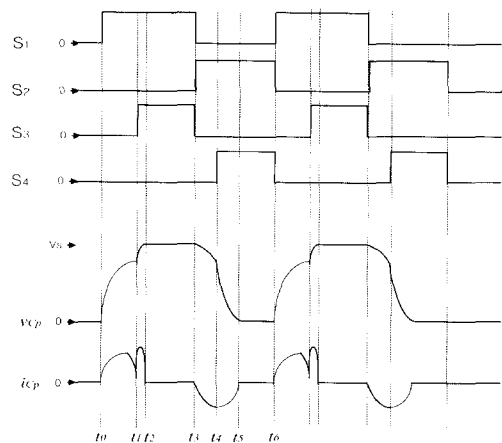


그림 2 Weber 회로의 인가 신호 및 파형  
Fig. 2 Gate Signals & Panel Waveform in Weber Energy Recovery Circuit

앞에서 설명한 동작들을 수행하기 위해 사용되어지는 Weber형 회수 회로의 각 스위치에 인가되는 신호 및 그때의 패널 양단에 걸리는 전압 및 전류 파형은 그림 2와 같다.

즉, 그림 1의 회로에서 두 전극간의 동작은 대칭적으로 이루어지므로 한 전극에 대하여 인가되는 신호와 이때의 패널의 전압 및 전류 파형을 도식화 한 것이 그림 2에 해당된다.

### 3. 제안한 전력 회수 회로

#### 3.1 기본 동작

그림 3은 제안한 전력 회수 회로도이다.

그림에서 기호 X, Y는 AC PDP의 구동 전극인 유지 전극을 의미한다.

패널의 X전극과 Y전극의 두 전극간에 대칭적으로 동작하도록 되어있으므로 여기서는 한 전극에 인가되는 스위치 신호(Sw1~Sw3)에 맞추어 패널에 인가되는 전압, 전류 및 동작을 기술하였다.

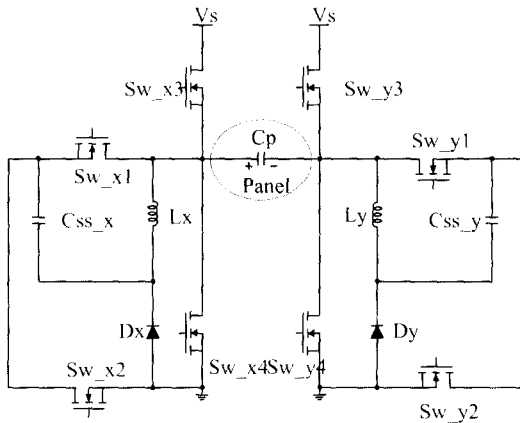


그림 3 제안한 고효율 에너지 회수 회로  
Fig. 3 Proposed Energy Recovery Circuit

제안한 에너지 회수 회로는 기존의 Weber형과 비교해 볼 때 Weber형의 경우 입력 전압이 인가되기 전에 패널로 전압이 상승하는 부분에 있어서 인덕턴스 L과 커패시터 C의 자연 공진에 의해 전압 상승이 일어나는데 비해 제안한 회로에서는 Sw1을 ON 시켰다가 OFF시켜 인덕턴스 L에 유기된 일정 전압을 패널에 인가하기 때문에 아주 빠른 Rising Time을 가지고 패널의 전압이 상승할 수 있다는 장점이 있다.

또한 회수용 커패시터  $C_{ss}$ 에 축전된 전하를 Boost-up시켜 패널에 공급함으로써 회수 에너지를 이용하게 되므로 입력 전력을 줄일 수 있다.

그림 4는 제안한 전력 회수 회로를 가지고 각각의 스위치에 신호를 인가하고 그에 따라 패널에 나타나는 전압과 전류를 도식화 해 놓은 것이다.

한 전극에 대한 모드 설명을 위해 그림 4에서는 세 개의 스위치를 가지고 여기에 인가되는 신호 패턴에 맞추어 패널의 전압, 전류를 나타내었으며, 접지를 위한 Sw4의 신호 패턴은 한 전극의 모드 설명에 있어서 생략하였다.

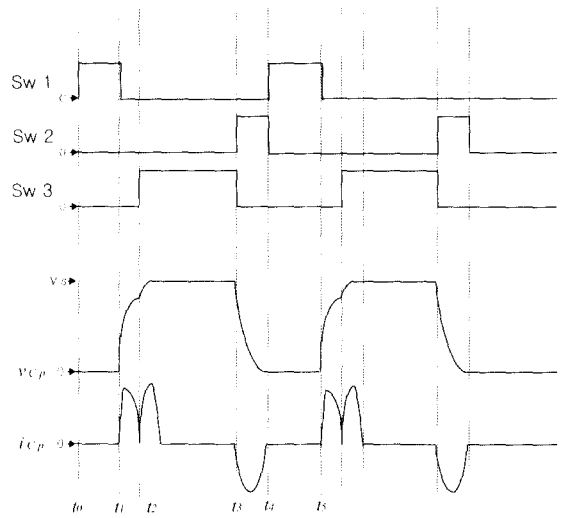


그림 4 게이트 신호에 따른 패널의 전압과 전류  
Fig. 4 Panel Voltage & Current Waveform according to Gate Signal

#### 3.2 모드별 분석

모드 - 1 : ( $t_0 \leq t < t_1$ )

제안한 에너지 회수 회로를 네가지 모드로 구분하였다. 최초 모드-1에서는 SW1을 ON하여 회수용 커패시터  $C_{ss}$ 에서 인덕턴스 L측으로 전류가 흐르게 되어 인덕턴스 L에 전류가 상승하게 되고, 에너지가 저장되는 구간이다. 그리고 그때에 해당되는 동작 회로를 그림 4에 나타내고 있는 시간 구간에 맞추어 그림 5 (a)에 나타내었다.

그리고 회수용 커패시터  $C_{ss}$  양단 전압을  $V_{C_{ss}}$  및 인덕턴스 L에 흐르는 전류  $i_L$ 은 식 (1)과 (2)로 나타내어진다.

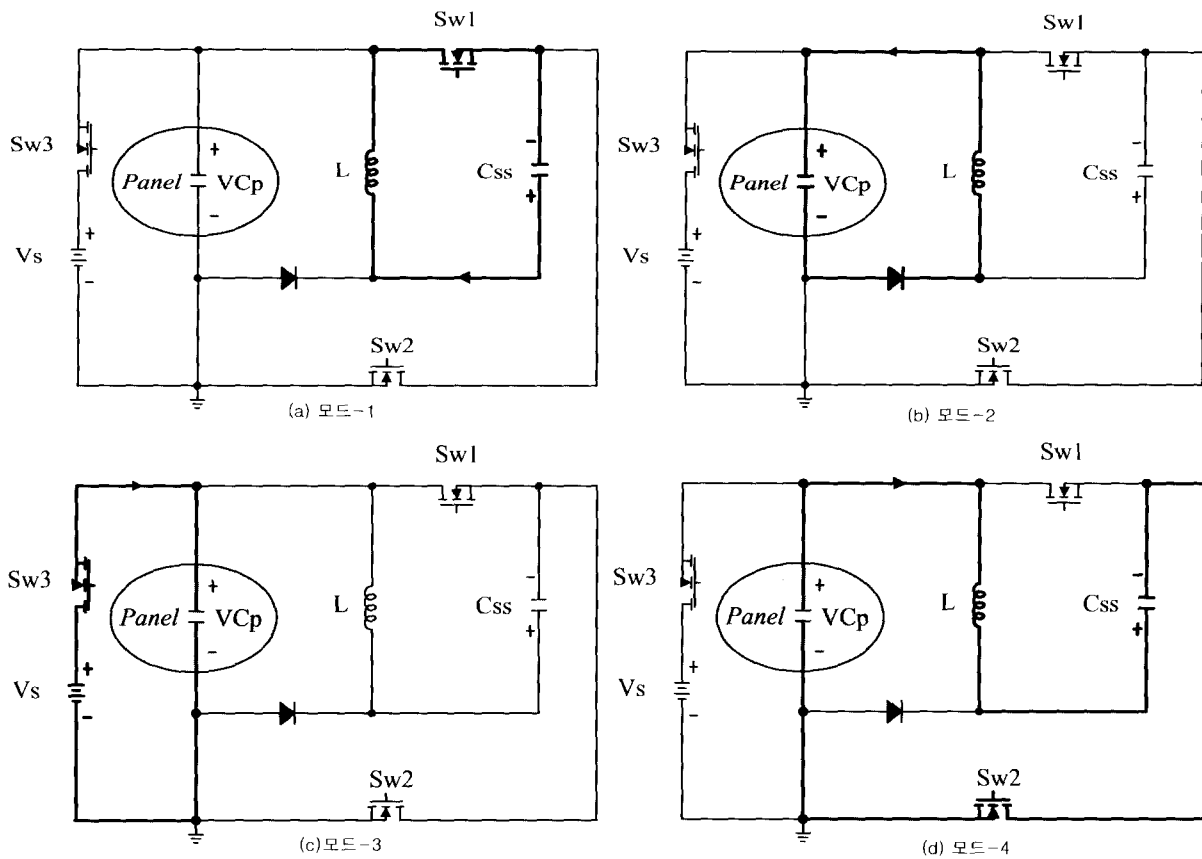


그림 5 모드별 등가 회로  
Fig. 5 Mode Equivalent Circuit

$$v_{C_{ss}} = L \frac{di_L}{dt} \quad (1)$$

$$i_L(t) = \frac{v_{C_{ss}}}{L} \cdot (t - t_1) + I_0 \quad (2)$$

여기서  $I_0$ 는 Mode-1에서의 초기 전류를 나타낸다.

모드 - 2 : ( $t_1 \leq t < t_2$ )

제안한 전력 회수에서 SW1이 오프하면서, 인덕턴스 L에 저장된 에너지가 패널로 향해 공급하게 된다. 이때의 전류는 인덕턴스 L과 다이오드를 통하여 패널의 Cp와 공진하면서 흐르게 되어 패널의 전압을 상승시키게 된다.

인덕턴스 L에 저장된 에너지가 Weber형에 비해 순간적으로 패널에 인가되므로 좀 더 빠른 Rising Time을 가지고 Boost-up된 전압이 Panel에 인가되므로 입력 전압에 보다 가깝게 전압이 인가되므로 입력 전류

또한 감소하게 되어, 전력 회수효율이 향상되고 방전 유지전압까지 도달하는 상승시간을 줄일 수 있어 안정적인 동작을 보장하게 된다. 시뮬레이션이나 그림 4 및 실험에서 보이고 있는 입력 전류가 흐르게 되는 구간에서 입력 전류의 양이 다르게 보이는 것은 이 Boost-up된 전압을 입력 전압에 얼마 만큼 가깝게 하느냐에 의해 그 양을 다르게 나타내며, 결국 이때의 인가되는 전압을 입력 전압과 더욱 근접하게 상승하여 입력 전류를 감소시켜서 입력 전력을 저감하게 된다. 그때의 해당되는 등가 회로를 그림 5 (b)에 나타내었고, 패널 양단 전압  $v_{Cp}$ 와 전류  $i_{Cp}$ 는 식 (3)과 식 (4)로 표현되어진다.

$$v_{Cp}(t) = L \frac{di}{(t - t_2)} \quad (3)$$

$$i_{Cp}(t) = \frac{v_{C_{ss}}}{L} \cdot (t - t_2) + I_1 \quad (4)$$

여기서  $I_1$ 는 모드-2에서의 초기 전류를 나타내며,  $\Delta i$ 는 전류 변화량으로 식 (5)와 같다.

$$\Delta i = \frac{v_{C_{ss}}}{L}(t - t_1) \quad (5)$$

모드 - 3 : ( $t_2 \leq t < t_3$ )

모드-3에서는 인덕턴스 L에 저장된 에너지를 패널로 전달한 후, Sw3를 ON 시켜 입력 전압  $V_s$ 를 인가하여 유지 (Sustain) 전압이 인가되는 구간이다. 이때 유지 전압에 가장 가까운 전압까지 Boost-up 해서 패널에 인가한 후  $V_s$ 가 투입되도록 함으로써 전원 측에서 공급하는 에너지의 양이 줄어들게 되고, 이와 동시에 스위치 소자의 전류 정격 또한 줄일 수 있으므로 전체적인 효율의 증대를 가져오게 된다.

그림 5 (c)는 모드-3에 대한 등가 회로이다. 그리고 모드-3에서 패널에 흐르는 전류  $i_{C_p}$ 는 식 (6)과 같다.

$$i_{C_p}(t) = C_p \frac{dv_s}{dt} + V_{CM} \quad (6)$$

여기서  $V_{CM}$ 은 모드-3에서의 초기 전압으로 모드-2에서 Boost-up하여 패널에 인가된 전압을 의미한다.

모드 - 4 : ( $t_3 \leq t < t_4$ )

모드-4에서는 스위치 Sw3의 OFF와 동시에 회수용 커패시터  $C_{ss}$ 에 에너지를 회수하는 구간을 나타내는 모드에 해당된다.

이 모드는 스위치 Sw2를 온시켜 회수용 커패시터  $C_{ss}$ 로 에너지를 회수·저장한다. 이때 패널의 방전 전류는 스위치 Sw2를 통하여 인덕턴스 L과 회수용 커패시터  $C_{ss}$ 와 공진하여 흐르게 되고 패널의 전압은 0 [V]로 감소한다.

그리고 이러한 회수 모드에 해당되는 회로를 그림 5 (d)에 나타내었다. 그리고 회수 시작시 패널 양단 초기 전압은 식 (7)과 같다.

$$v_{C_p}(0) = v_s \quad (7)$$

또 그때 패널에 흐르는 전류  $i_{C_p}$  및 패널의 전압 변화분  $\Delta v_{C_p}$ 를 식 (8)과 (9)와 같이 구해진다. 여기서 회수용 커패시터  $C_{ss}$ 에서 패널로 향해 흐르는 전류의 방향을 정으로 했기 때문에  $i_{C_p}$ 가 음으로 나타나게 된다.

$$i_{C_p}(t) = i_L(t) = -v_{C_{ss}} \cdot \frac{\sin \omega(t - t_1)}{\omega L} \quad (8)$$

$$v_{C_p}(t) = \int_{t_3}^{t_1} -v_{C_{ss}} \cdot \frac{\sin \omega t}{\omega L} \cdot dt \quad (9)$$

그리고  $\omega$ 는 식 (10)과 같이 표현 할 수 있다.

$$\omega = \frac{1}{\sqrt{L C_R}}, \quad \frac{1}{C_R} = \frac{1}{C_{ss}} + \frac{1}{C_p} \quad (10)$$

### 3.2 신호 발생

스위치의 게이트와 소호를 인가하기 전에 원하는 신호 형태는 ALTERA를 이용하여 구현하였다. 각각의 신호는 ALTERA의 GDF (Graphic Design Files)을 이용하여 구성하였으며, 그때의 그림을 그림 6에 나타내었다. 또 그림에서 나타나고 있는 Symbol 중 PDP\_1은 VHDL로 프로그래밍해서 각각의 신호를 만들어 내고 이를 Symbol로 만든 뒤 다시 AND 게이트와 NOT 게이트를 조합해서 원하는 스위치 신호를 만드는 부분을 나타낸 그림이다. 그리고 그림 6에서 enable 핀은 일정 시간의 회수 회로의 동작을 수행시키다가 외부에서 신호를 리셋 하고자 할 때 사용되어지는 단자로서 즉, 인터럽터 기능을 담당하는 핀이다. 또 그림 6은 한 전극의 동작을 수행하기 위해 사용되어지는 3개의 스위치 신호(Sw1~Sw3)에 해당되며, 이 신호들은 Gate-Amp를 통해 스위치 ON일 때는 +10 [V], 스위치 OFF일 때는 -5 [V]로 증폭되어 인가된다.

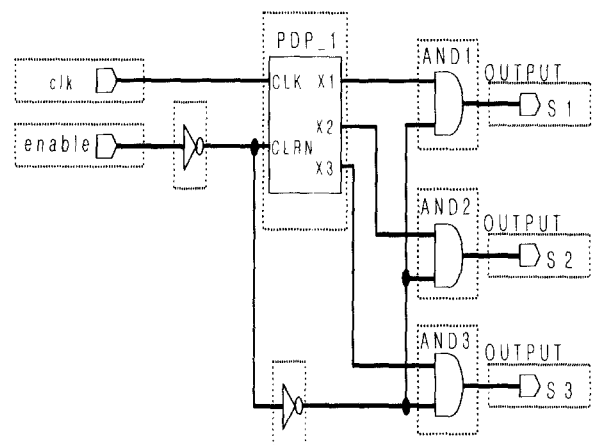


그림 6 ALTERA GDF를 이용한 신호 발생  
Fig. 6 Signal Generation of using ALTERA GDF

### 4. 시뮬레이션

제안한 에너지 회수 회로를 가지고 200[kHz]에서 시뮬레이션한 결과를 그림 7에 나타내었다.

앞에서 설명한 모드별 분석처럼 제안한 에너지 회수 회로는 Sw1을 ON시켜 인덕턴스 L에 에너지를 저장하고, Sw1을 OFF하여 패널의 전압을 상승시켰다가 유지 (Sustain) 전압이 인가되도록 하여 패널에 전압을 형성하고, 일정 시간 후 회수되어지는 형태의 파형을 보이고 있다. 즉 앞에서 설명한 에너지 회수 회로의 동작 설명처럼 수행되어지고 있음을 시뮬레이션에서 보이고 있다.

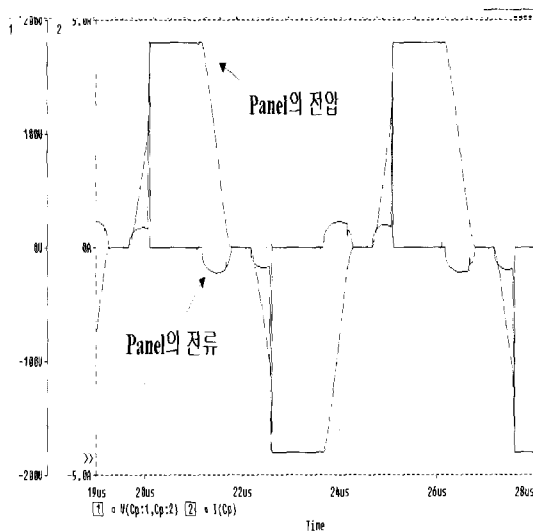


그림 7 패널의 전압 및 전류 시뮬레이션 파형  
Fig. 7 Panel Voltage & Current Waveform in Simulation

앞에서 설명한 모드 별 설명에서처럼 Sw1이 오프되고, Boost-up된 전압이 입력 전압에 가깝게 인가할수록 시뮬레이션에서 보이고 있는 입력 전류의 양이 줄어들 것이다. 따라서 실험에서는 최대한 입력 전압에 근접하게 전압을 인가하여 실험하였다.

그림 8은 제안한 에너지 회수 회로가 있는 경우 (Proposed circuit)와 회수 회로가 없는 경우(Non\_Er) 그리고 기존의 Weber & Wood의 에너지 회수 회로의 입력 전력을 비교하기 위해서 Pspice를 이용하여 각각의 회로를 동일 조건에서 시뮬레이션한 뒤, 입력 전압에 따라 나타나는 입력 전력을 나타내었다.

그러나 위에서 나타내고 있는 값들은 시뮬레이션을 통해 구해진 데이터이므로, 실제 실험을 통해 이를 구

한다면 약간의 차이가 있을 것이라 생각된다. 왜냐하면 실제 패널에서는 방전하기 전과 방전을 일으킨 후의 패널의 정전용량이 변화함으로 시뮬레이션에서 구한 값들과는 약간의 오차가 있을 것이다. 그러나 제안한 에너지 회수 회로와 에너지 회수가 없는 타입 그리고 Weber & Wood의 에너지 회수 회로 모두 동일 조건에서 시뮬레이션하여 나타낸 데이터를 가지고 그 입력 전력을 비교하였으므로 제안한 타입에서 입력 전력이 기존의 회수회로에 비해 감소한다는 경향성을 비교하는 데 있어서는 큰 무리가 없을 것이다.

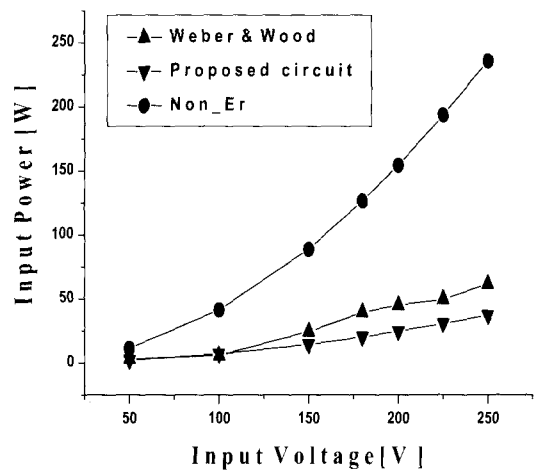


그림 8 입력전력 비교 (표 1)  
Fig. 8 Input Power Comparison (Table 1)

### 5. 실험 결과

제안한 에너지 회수를 가지고 200 [kHz]에서 실험하고, 스위치의 인가 신호는 앞에서 설명한 방법을 이용하여, 스위치의 게이트와 소스간에 인가하였다.

그리고 X, Y 두 전극 모두가 동작하도록 하여 실험한 파형을 그림 9에 나타내었다. 그리고 그림 9에 나타내고 있는 파형은 패널이 방전하기 전에 나타나는 패널의 전압, 전류에 해당된다.

그림 9에서 보이고 있듯이 Boost-up 되어 패널 양단에 걸리는 전압을 입력 전압에 가깝게 인가한 뒤 입력 전압이 인가되도록 함으로써 입력 전류가 흐르게 되는 시점에 입력 전류가 거의 흐르지 않음을 알 수 있다. 이로 인해 입력 전력도 그만큼 감소 할 것이다.

그리고 그림 10은 방전이 일어난 후의 패널의 전압 및 전류를 나타내었다.

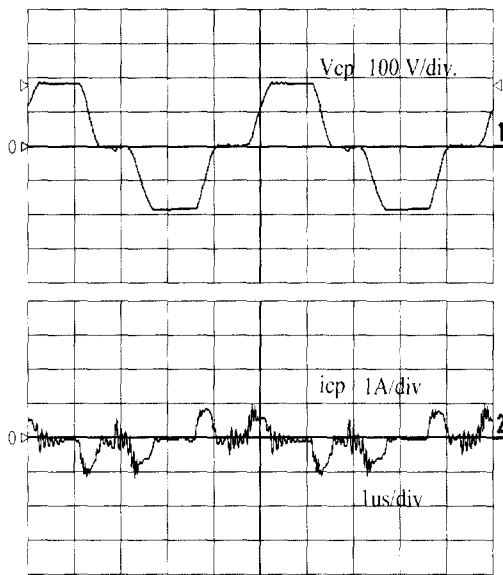


그림 9 패널의 전압 및 전류: 방전 전  
 Fig. 9 Panel Voltage & Current: Before discharging

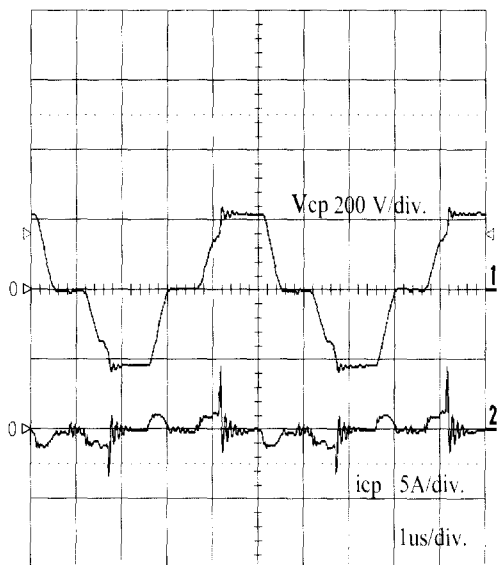


그림 10 패널 전압 및 전류: 방전 후  
 Fig. 10 Panel Voltage & Current: After discharging

방전 전의 파형과 비교하여, 방전이 일어났을 경우에는 패널의 전압 파형에서 Boost up하여 전압이 상승하는 부분이 방전 전에 비해 낮게 나오고 있음을 알 수 있다.

이것은 패널의 정전용량이 가변함으로 인해 발생하게 된다. 즉, 패널의 방전 전의 정전용량과 방전 후의

정전용량이 같지 않고 그 값이 바뀌므로 인해 패널에 Boost-up하여 전압이 상승하는 부분에서 방전 전에 비해 감소함을 보이고 있다.

이로 인해 입력 전압과 입력 전압이 인가되기 전의 전압의 전위차에 의해 입력 전류가 흐르게 되고, 그림 10에서 보이고 있듯이 패널에 흐르는 전류 역시 입력 전류가 흐르게 되는 시점에서 펄스 모양을 가지고 나타나고 있다.

### 6. 결 론

본 논문에서는 새로운 형태의 AC PDP 에너지 회수 회로를 제안하고 앞에서 제시한 모드별 동작의 수평을 시뮬레이션을 통하여 그 경향성을 검증하였다.

그리고 기존의 Wood & Weber형에서처럼 인덕턴스 L과 커패시터 C의 자연 공진에 의해 패널의 전압을 상승시키는 방법에 비해 제안한 형태에서는 스위치 Sw1을 ON 시켜서 인덕턴스 L에 에너지를 저장한 뒤 Sw1을 OFF시킴과 동시에 패널 양단에 전압이 인가되도록 함으로써 기존에 제시하고 있는 에너지 회수 회로에 비해 좀 더 빠른 Rising Time을 가지고 제안한 형태의 에너지 회수 회로의 동작이 이루어지게 하였다.

그리고 Boost-up된 전압이 입력 전압에 인가되기 직전에 입력 전압에 보다 가깝게 패널에 인가하도록 실험함으로써 제안한 에너지 회수 회로의 타당성을 입증하였다.

또 시뮬레이션을 이용하여 제안한 에너지 회수 회로의 입력 전력을 나타내었고, 동일 조건에서 회수 회로가 없을 경우와 Wood & Weber의 에너지 회수 회로와 입력 전력을 비교하여 제안한 에너지 회수 회로에서 보다 입력 전력이 저감됨을 검증하였다.

### 참 고 문 헌

- [1] L. E. Weber and K. W. Warren, "Power efficient sustain driver and address drivers for plasma panel", U. S. patent 4 886 349, Sept. 1989.
- [2] K. Tomokatsu, K. Kyoji, H. Tadatsugu, Y. Kazuo and K. Shigeki, Fujitsu Limited, "Drive device for a plane surface display", Patent May, 1996.
- [3] H. B. Hsu et al, "Regenerative Power Electronics Driver for Plasma Display Panel in Sustain-Mode Operation", IEEE Trans. on Industrial Electronics, vol. 47, No. 5, pp. 1118~1125, Oct. 2000.
- [4] M. Ohba and Y. sano, "Energy recovery driver for a dot matrix AC plasma display panel with a parallel

- resonant circuit allowing power reduction”, U. S. Patent 5 670 974, Sept. 1997.
- [5] J. Ryeom et al, “A Drive-Voltage Reduction of AC PDPs by Use of Space-Charge-Control Pulses”, Conf. Record of the International Display Research, pp. 390~393, 1997.
- [6] A. Tanaka, “Low power driver circuit for AC plasma display panel”, U. S. Patent 5 438 290, Aug. 1995.
- [7] T. Shinoda, “Method and a circuit for gradationally driving a flat display devices”, U. S. patent 5 541 618, July 1996.
- [8] 윤원식, 강필순, 박한웅, 김철우 “AC Plasma Display Panel 구동 장치의 고효율 전력 회수 회로에 관한 연구”, 전력전자 학술대회 논문집, pp. 442~445, 2001년 7월.
- [9] 김은수, 조기연, 계문호, 김윤희, 윤병도 “도전손실 저감을 위한 새로운 소프트 스위칭 FB DC-DC 컨버터”, 전기학회 논문지, 논문 47권, pp. 19~25, 1999년 2월.

## 저 자 소 개



### 윤원식(尹源植)

1974년 6월 30일생. 2000년 부경대 전기공학과 졸업. 현재 부산대 대학원 전기공학과 석사과정.



### 강필순(姜弼淳)

1973년 9월 5일생. 1998년 경상대 전기공학과 졸업, 2000년 부산대 대학원 전기공학과 졸업(석사). 현재 동 대학원 박사 과정.



### 김철우(金喆禹)

1942년 12월 5일생. 1969년 부산대 전기공학과 졸업. 1974년 일본 전기통신대 전자공학과 졸업(석사). 1986년 중앙대 전기공학과 졸업(박사). 현재 부산대 전자전기정보컴퓨터공학부 교수. 당 학회 자문 위원.