

# 플라잉 커패시터 멀티레벨 인버터 및 컨버터를 위한 스너버 회로

論 文

50B-9-5

## A Snubber Circuit for Flying Capacitor Multilevel Inverter and Converter

李珉守\* · 成賢濟\*\* · 金仁東\*\*\* · 盧義哲§ · 趙哲濟§§

(Min-Soo Lee · Hyun-Je Seong · In-Dong Kim · Eui-Cheol Nho · Cheol-Je Joe)

**Abstract** - This paper proposes a snubber circuit for flying capacitor multilevel inverter and converter. The proposed snubber circuit makes use of Undeland snubber as basic snubber unit. It has such an advantage of Undeland snubber used in the two-level inverter. Compared with conventional RCD/RLD snubber for multilevel inverter and converter, the proposed snubber keeps such good features as fewer number of components, reduction of voltage stress of main switching devices due to low overvoltage, and improved efficiency of system due to low loss snubber. In this paper, the proposed snubber is applied to three-level flying capacitor inverter and this feature is demonstrated by computer simulation and experimental result.

**Key Words** : flying capacitor, multilevel inverter, multilevel converter, snubber

### 1. 서 론

현재 널리 사용되고 있는 전력변환기, 즉 인버터 및 컨버터는 시스템의 효율향상, 에너지 절감, 품질향상, 자동화, 보수성의 향상 등을 위해 산업계에서의 응용범위가 점점 확대되고 있다. 특히 전력품질의 향상을 위한 무효전력보상기(Static Reactive Compensator), 능동 필터(Active Filter), 고압직류송전(HVDC), 유연송전시스템(FACTS)과 같은 전력분야뿐만 아니라, 고압 대전력 모터 구동과 같은 전동기구동 분야에서의 인버터 및 컨버터는 전체 시스템의 특성상 높은 전압과 대전력을 다루어야 하는 상황에 있다.

이를 위한 고압 대전력 인버터 및 컨버터를 기존의 2-레벨 인버터 혹은 컨버터로 구성할 시, 반도체 스위칭 소자의 한계, 즉 소자의 최대 전압 한계와 최대 작동 주파수의 한계 때문에 전력반도체를 직렬 연결해야 한다. 그러나 전력반도체소자를 직렬 연결할 때 정상상태 및 스위칭 동작시의 과도상태에서의 전압분배의 문제점을 안고 있어서 실제 사용에 많은 어려움이 있다.

이러한 문제를 해결하기 위한 대안으로서 전력반도체 소자에서의 전압분배를 효과적으로 할 수 있는 새로운 회로 토폴로지(topology)인 멀티레벨 인버터 및 컨버터의 실용화 연구가 진행되고 있다[1]-[8]. 1981년 A. Nabae 등과 1991년 N.S Choi 등에 의해 다이오드 클램프(Diode-clamped) 멀티레벨 인버터가 제안되었으며 [1]-[2], 1992년 T.A. Meynard에 의해 플라잉 커패시터 멀티레벨 인버터[3]-[4], 1996년 J.S. Lai에 의해 캐스케이드(cascaded) 멀티레벨 인버터가 제안되었다[5]-[6]. 이들 멀티레벨 인버터는 전압레벨의 숫자를 증가시킴으로써 전력스위칭 소자의 직렬연결에 따른 전압분배의 문제를 해결하여 인버터의 정격전압 및 정격출력을 증가시켰다. 또한 전압레벨의 증가에 따라 출력전압의 고조파성분을 감소시켜 스위칭소자의 작동 주파수를 증가시키지 않아도 유효 스위칭 주파수가 증가한다.

인버터의 레벨 증가는 스위칭 소자의 전압분담 문제없이 소자 자체의 정격전압보다 더 높은 DC 링크 전압을 확보할 수 있다. 이외에도 출력전압의 고조파 왜율 감소, EMI저감 등의 장점을 지니고 있어 지속적으로 연구되어 왔다. 최근에는 모터 드라이브에 적용한 플라잉 커패시터 방식의 멀티레벨 인버터와 H-Bridge 방식의 4-레벨 또는 5-레벨 인버터가 상용화에 성공하였다.

위에서 언급한 멀티레벨 인버터 중에서 플라잉 커패시터 멀티레벨 인버터는 스위칭 소자의 전압분담 문제 해결,  $dv/dt$  제한, 고조파왜율 감소 측면에서의 좋은 특성 때문에 앞으로 많은 응용이 기대된다. 따라서 본 논문에서는 플라잉 커패시터 멀티레벨 인버터 및 컨버터

\* 正 會 員 : 現代重空業(株) 研究員

\*\* 正 會 員 : 東亞일렉콤(株) 研究員

\*\*\* 正 會 員 : 釜慶大 電氣制御計測工學科 助教授 · 工博

§ 正 會 員 : 釜慶大 電氣制御計測工學科 副教授 · 工博

§§ 正 會 員 : 釜慶大 電氣制御計測工學科 教授 · 工博

接受日字 : 2001年 4月 10日

最終完了 : 2001年 7月 30日

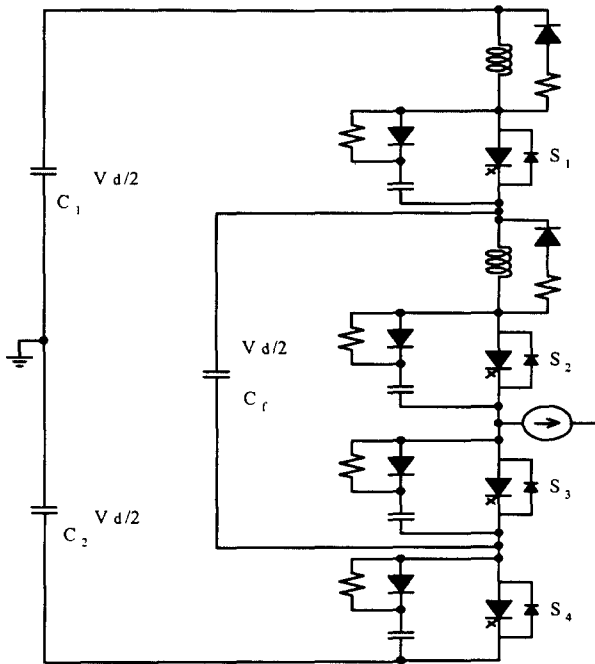


그림 1 기존의 RCD/RLD 스너버를 가진 플라잉 커패시터 3-레벨 인버터.

Fig. 1 Flying capacitor three-level inverter with conventional RCD/RLD snubber.

를 위한 스너버 회로에 대한 연구를 하고자 한다. 그림 1에서 보는 바와 같이 지금까지 플라잉 커패시터 멀티레벨 인버터 및 컨버터는 턴-오프 스너버, 턴-온 스너버로 구성되는 기존의 RCD/RLD 스너버를 주로 사용하여 왔다[8]. 그러나 기존의 스너버는 턴-오프 커패시터, 턴-온 인덕터, 저항, 다이오드로 구성되어 각각의 스위칭 소자에 연결되어야 함으로써 사용된 스너버 회로의 소자 수가 많아진다. 따라서 회로 구성이 복잡해져 경제적·시간적인 비용이 증가한다. 또한 많은 양의 스너버 에너지가 스너버 저항을 통해 소모되므로 시스템의 전력손실이 높아져 시스템의 효율도 낮아지게 된다. 턴-오프시 스위칭 소자 사이의 과전압(overvoltage) 문제도 스위칭 소자의 전압 스트레스를 더 나쁘게 만든다.

위에서 언급한 플라잉 커패시터 멀티레벨 인버터와 컨버터에 사용된 기존의 RCD/RLD 스너버의 단점들을 개선하기 위해 새로운 스너버 회로를 제안한다. 제안한 스너버 회로는 기본적인 스너버로 Undeland 스너버를 사용하여 구성한 것으로서, 2-레벨 인버터에서 사용되어 온 Undeland 스너버의 장점을 그대로 지니고 있다. 멀티레벨 인버터 및 컨버터를 위한 기존의 RCD/RLD 스너버에 비해 사용소자의 감소, 낮은 과전압에 의한 스위칭 소자의 전압 스트레스 감소와 스너버 손실 감소에 의한 시스템의 효율 개선 등 많은 장점을 지니고 있다. 또한 본 논문에서 제안하는 플라잉 커패시터 멀티레벨 인버터 및 컨버터를 위한 스너버 회로를 구성하는 방법은 McMurray 스너버와 같은 다른 스너버를 기본 스너버로 사용할 때도 그대로 적용할 수 있다. 또한 본 논문

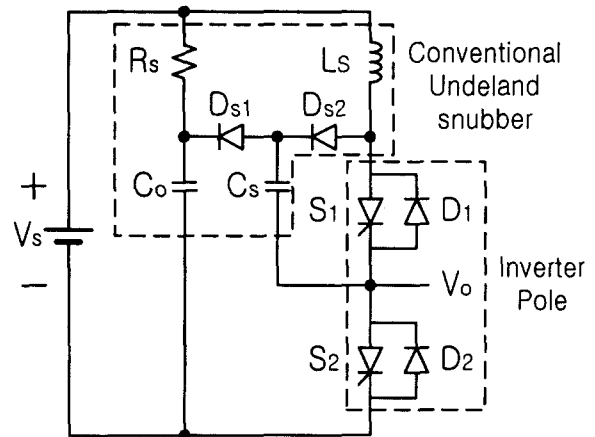


그림 2 기존의 Undeland 스너버 회로.

Fig. 2 Conventional Undeland snubber circuit.

에서는 제안한 스너버를 3-레벨 플라잉 커패시터 인버터에 적용하여 컴퓨터 시뮬레이션과 실험을 통해 제안한 스너버의 특성을 확인하였다.

## 2. 제안한 스너버의 동작 설명

### 2.1 기본 스너버로서의 Undeland 스너버

그림 2는 2-레벨에서 사용하는 Undeland 스너버를 가진 한 상의 인버터를 나타낸다[9]. 본 논문에서 이 Undeland 스너버를 플라잉 커패시터 3-레벨 인버터 및 컨버터를 위한 기본 스너버로 사용하고자 한다.

이 스너버 회로는  $dv/dt$  제한을 위한 턴-오프 커패시터  $C_s$ ,  $di/dt$  제한을 위한 턴-온 인덕터  $L_s$ , 과전압 클램핑을 위한 커패시터  $C_o$ , 스너버 인덕터와 커패시터를 초기 상태로 만들기 위한 저항  $R_s$ , 다이오드  $D_{s1}$ ,  $D_{s2}$ 로 구성된다. 기존의 RCD/RLD 스너버는 턴-오프 커패시터  $C_s$ 에 저장되어 있는 에너지  $P_c(=C_s V_s^2/2)$ 와 턴-온 인덕터  $L_s$ 에 저장되어 있는 에너지  $P_L(=L_s I_o^2/2)$ 이 전부 스너버저항  $R_s$ 에서 열로 소모되

표 1 스위칭 결합상태 및 출력전압.

Table 1 Switching combination state and output voltage

	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	출력전압
P	ON	ON	OFF	OFF	V <sub>d</sub> /2
Z <sub>P</sub>	ON	OFF	ON	OFF	0
Z <sub>N</sub>	OFF	ON	OFF	ON	0
N	OFF	OFF	ON	ON	-V <sub>d</sub> /2

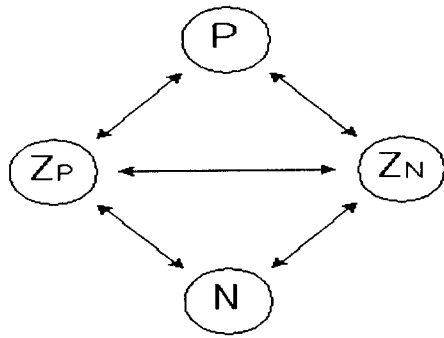


그림 3 스위칭 원리.

Fig. 3 Switching principle.

는 데 비해, 제안한 스너버는 클램핑 커패시터  $C_o$ 를 통해 전원으로 회생되는 에너지가 많음으로 스너버 손실이 현저히 작으며 따라서 전체적으로 효율이 상승한다. 뿐만 아니라 턴-오프시 턴오프 커패시터  $C_s$ 와 병렬로 연결되는 클램핑 커패시터  $C_o$ ( $C_s$ 의 수십배 크기)에 의해 과전압 클램핑 능력을 지니므로 스위치 소자의 스트레스를 RCD/RLD에 비해 거의 반으로 줄일 수 있다. 또한 RCD/RLD 스너버와 비교하여 소자의 수가 작으므로 소자의 배열과 냉각이 더 쉽고 간편하다. 따라서 Undeland 스너버는 멀티레벨 인버터 및 컨버터를 위한 최적의 기본 스너버로 선택할 수 있다.

2.2 스위칭 상태 및 출력전압

표 1은 3-레벨 플라잉 커패시터 인버터에서  $V_d/2$  (P),  $0(Z_p, Z_n)$ ,  $-V_d/2(N)$ 의 전압 레벨을 얻기 위한 스위칭 상태 및 출력전압을 나타낸다. 그림 3은 플라잉 커패시터 3-레벨 인버터의 한 폴(pole)의 스위칭 원리를 나타낸다. 플라잉 커패시터는 출력전압이 0인 상태에서 충전과 방전을 반복해야 하기 때문에 0 상태가  $Z_p$ 와  $Z_n$  두가지로 나뉘어진다. 출력전압이  $V_d/2$ 와 0 구간을 반복한다면  $P \rightarrow Z_p \rightarrow P \rightarrow Z_n \rightarrow P$ ,  $-V_d/2$ 와 0 구간을 반복한다면  $N \rightarrow Z_n \rightarrow N \rightarrow Z_p \rightarrow N$  상태로  $Z_n$ 과  $Z_p$ 가 번갈아 행해지게 된다. 그리고 스위칭 주기의 반주기마다  $Z_p \rightarrow Z_n$  또는  $Z_n \rightarrow Z_p$  상태로 변화게 된다. 이것은 플라잉 커패시터가 단자전압이 0인 상태에서 충전이나 방전이 오래 일어나지 않도록 하기 위함이다. 이러한 스위칭 상태는 Phase Shift SPWM(Sinusoidal Pulse Width Modulation) 방식으로 얻어진다[4]. 그림 4(a)와 같이  $180^\circ$  위상차를 갖는 두 개의 삼각파와 하나의 정현파를 비교함으로써 표 1과 같은 스위칭 상태를 얻을 수 있다. 본 논문에서는 Phase Shift SPWM 방식에서 착안하여 그림 4(b)와 같이 하나의 삼각파와  $180^\circ$  위상차를 갖는 두 개의 정현파를 비교함으로써 표 1과 같은 스위칭 상태를 얻어서 실험하였다.

2.3 3-레벨 인버터를 위한 Undeland 스너버 유도

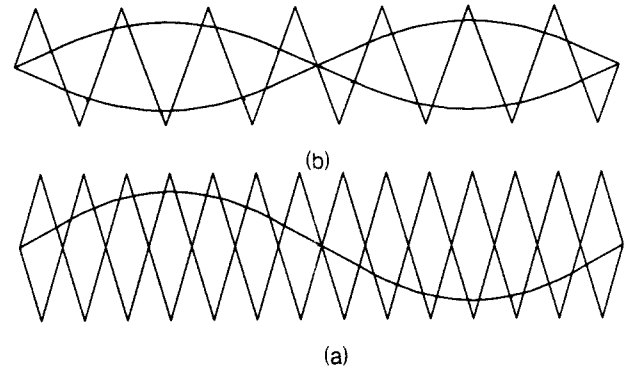


그림 4 페이스 시프트 SPWM (a)와 수정된 SPWM (b).  
Fig. 4 Phase-shifted SPWM (a) and Modified SPWM

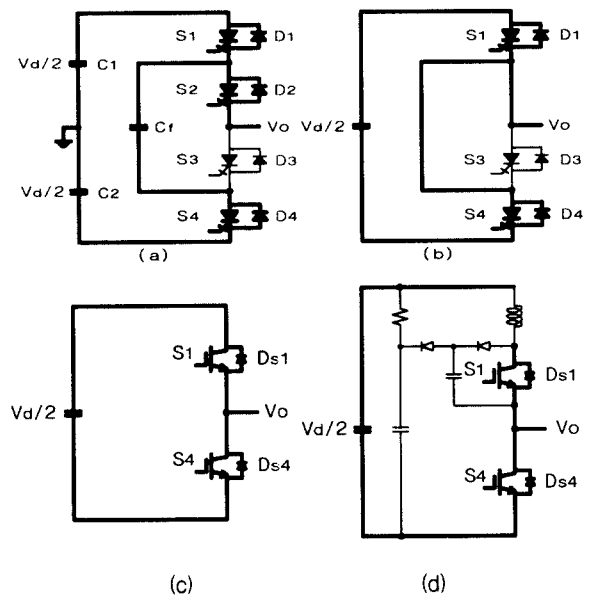


그림 5 3-레벨 플라잉 커패시터 인버터를 위한 제안한 스너버의 유도.(a)  $V_d/2$  와 0 사이의 레벨 변화 시 회로 동작 부분.(b) (a)의 재구성 회로, (c) 등가 2-레벨 인버터, (d) Undeland 스너버를 가진 등가회로.

Fig. 5 Derivation of the proposed snubber for 3-level flying capacitor inverter, (a) Operating part of circuit(thick line) during level changes between  $V_d/2$  and 0, (b) Redrawn circuit of (a), (c) Equivalent two-level inverter, (d) Equivalent circuit with Undeland snubber unit.

2-레벨에서 사용하는 Undeland 스너버를 3-레벨 플라잉 커패시터 인버터에 적용하기 위하여 그림 5에 유도 과정을 나타내었다. 전압레벨은  $V_d/2$ , 0,  $-V_d/2$ 이며 인접한 레벨 사이에서만 변화한다.

예를 들어 전압레벨이 P와  $Z_n$  사이에서 바뀐다면 스위치  $S_1$ 과  $S_4$ 는 온·오프를 반복하고 스위치  $S_2$ 는 계속 온 상태를 유지한다. 이러한 과정은 그림 5(a)와 같이 굵은 실선으로 나타낼 수 있다. 스위치  $S_2$ 는 항상

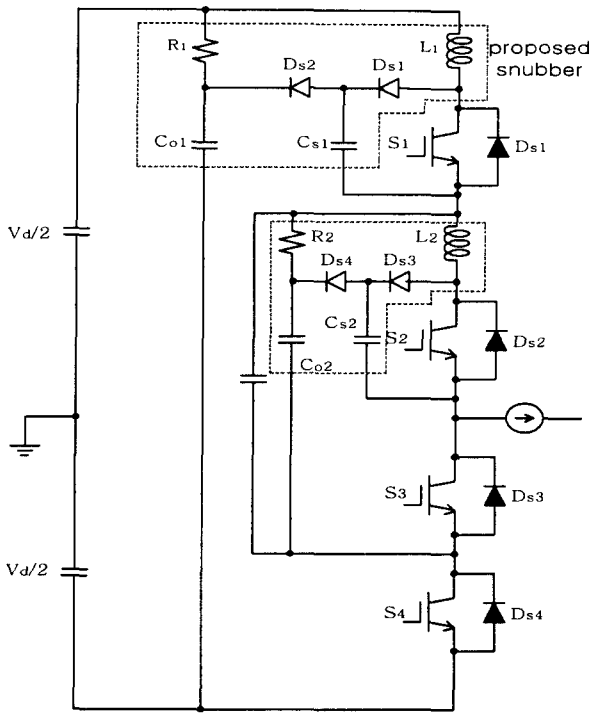


그림 6 제안한 스너버를 가진 3-레벨 플라잉 커패시터 인버터.

Fig. 6 Three-level flying capacitor inverter with proposed snubber.

은 상태이므로 그림 5(b)와 같이 나타낼 수 있다. 그림 5(c)와 같이 회로가 동작하는 부분만 나타내면 2-레벨 전압형 인버터(VSI)와 같음을 볼 수 있다. 그림 5(d)는 2-레벨 인버터에서 사용되는 Undeland 스너버를 그림 5(c)에 기본 스너버로 적용한 것이다. 같은 방법으로 전압레벨 Zp와 N 사이에서 작동할 때도 그림 5(d)와 같이 나타낼 수 있다. 스위치 S<sub>2</sub>, S<sub>3</sub>과 플라잉 커패시터로 구성되는 내부 인버터 회로는 그 자체만으로도 그림 5(c)와 같기 때문에 그림 5(d)와 같이 나타낼 수 있다.

따라서 그림 6과 같이 3-레벨 플라잉 커패시터 인버터에 제안한 스너버 회로를 적용할 수 있다. 제안한 tm너버의 특징은 소자 수의 감소, 낮은 스너버 손실에 의한 효율 개선, 주 스위칭 소자 사이의 과전압 클램핑 능력, 스너버 회로의 구성이 용이하다는 점이다. 또한 기존의 RCD/RLD 스너버에 비해 과전압 불평형 문제가 없어 모든 주 스위칭 소자의 전압 스트레스가 같다.

2.4 스너버의 동작특성

다음은 여러 스위칭 모드 중 Zn → P와 Zn → Zp 모드로 변화할 때의 스너버의 동작특성을 설명하였다. 각 모드 변화시 스위치의 온·오프는 표 1과 같다. 다른 스위칭 모드도 아래의 두 모드와 같은 방법으로 해석하면 동일한 결과를 얻을 수 있다.

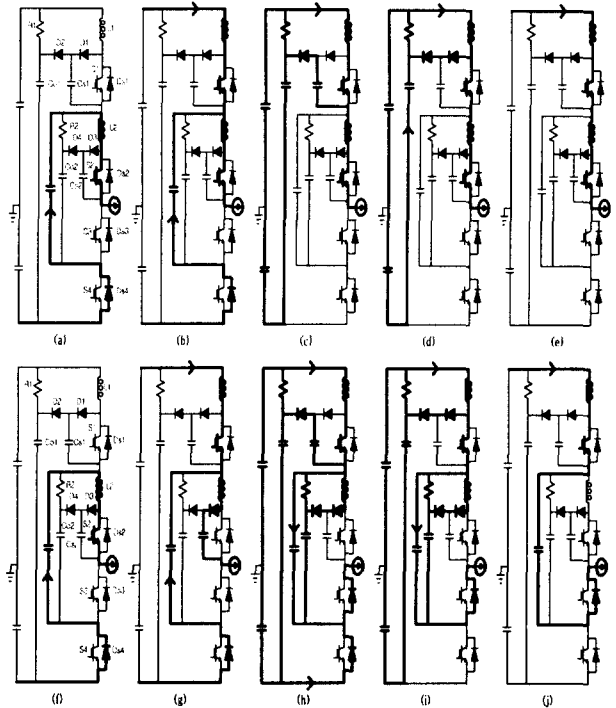


그림 7 각 스위칭 모드의 스너버 동작.

Fig. 7 Snubber operation of each switching mode.

2.4.1 Zn → P 모드

S<sub>1</sub>이 턴-온 되기 전에 부하전류는 인버터의 스위칭 상태 Zn에서 D<sub>s1</sub> → 플라잉 커패시터 → L<sub>2</sub> → S<sub>2</sub> 루프를 통해 흐른다고 가정한다[그림 7(a)]. 이 때 V<sub>cs1</sub> = V<sub>co2</sub> = V<sub>d</sub>/2, V<sub>co2</sub> = 0, V<sub>co1</sub> = V<sub>d</sub>이다. S<sub>1</sub>이 턴-온 되면 부하전류는 D<sub>s4</sub> → 플라잉 커패시터 → L<sub>2</sub> → S<sub>2</sub>와 L<sub>1</sub> → S<sub>1</sub> → L<sub>2</sub> → S<sub>2</sub> 루프를 통해 흐른다[그림 7(b)]. D<sub>s4</sub>를 통해 흐르는 전류가 0으로 감소하면 L<sub>1</sub> 전류는 계속 부하로 흐르고 C<sub>s1</sub>은 C<sub>s1</sub> → R<sub>1</sub> → L<sub>1</sub> → S<sub>1</sub> 루프를 통해 V<sub>d</sub>/2에서 0으로 방전한다. 그리고 C<sub>o1</sub>은 V<sub>d</sub>보다 조금 더 충전한다[그림 7(c)]. S<sub>4</sub>의 블로킹 전압은 C<sub>o1</sub>과 C<sub>o2</sub>의 전압차에 의해 V<sub>d</sub>/2로 유지된다. 동시에 C<sub>o1</sub>에 충전된 에너지는 R<sub>1</sub>로 소모되고 L<sub>1</sub>의 과전류(overcurrent)도 R<sub>1</sub>로 소모된다[그림 7(d)]. C<sub>o1</sub>과 L<sub>1</sub>의 에너지가 R<sub>1</sub>로 모두 소모되면 전류는 L<sub>1</sub> → S<sub>1</sub> → L<sub>2</sub> → S<sub>2</sub> 루프를 통해 흐른다[그림 7(e)].

2.4.2 Zn → Zp 모드

S<sub>1</sub>과 S<sub>3</sub>이 턴-온 되기 전에 부하전류는 인버터의 스위칭 상태 Zn에서 D<sub>s4</sub> → 플라잉 커패시터 → L<sub>2</sub> → S<sub>2</sub> 루프를 통해 흐른다고 가정한다[그림 7(f)]. 이 때 V<sub>cs1</sub> = V<sub>co2</sub> = V<sub>d</sub>/2, V<sub>co2</sub> = 0, V<sub>co1</sub> = V<sub>d</sub>이다. S<sub>1</sub>과 S<sub>3</sub>이 턴-온(S<sub>2</sub>와 S<sub>4</sub>는 턴-오프) 되면 부하전류는 D<sub>s4</sub> →

플라잉 커패시터 →  $L_2$  →  $C_{o2}$ 와  $L_1$  →  $S_1$  →  $L_2$  →  $C_{o2}$  루프를 통해 흐른다[그림 7(g)].  $C_{o2}$ 는  $V_d/2$ 까지 충전된다.  $D_{s1}$ 로 흐르는 전류가 0이 되기 전에  $S_3$ 이 턴-온 되므로 부하전류는  $L_1$  →  $S_1$  → 플라잉 커패시터 →  $D_{s3}$ 와  $D_{s1}$  →  $D_{s3}$  루프를 통해 흐르고  $C_{o2}$ 는  $V_d/2$ 보다 조금 더 충전한다[그림 7(h)].  $C_{o2}$ 에 충전된 에너지는  $R_2$ 로 소모되고  $L_2$ 의 과전류도  $R_2$ 로 소모된다. 그리고  $C_{o1}$ 은  $C_{s1}$  →  $R_1$  →  $L_1$  →  $S_1$  루프를 통해  $V_d/2$ 에서 0으로 방전하고  $C_{o1}$ 은  $V_d$ 보다 조금 더 충전된다.  $S_4$ 의 블로킹 전압은  $C_{o1}$ 과  $C_{o2}$ 의 전압차에 의해  $V_d/2$ 로 유지된다. 그리고  $C_{o1}$ 에 충전된 에너지는  $R_1$ 로 소모되고  $L_1$ 의 과전류도  $R_1$ 로 소모된다[그림 7(i)].  $C_{o1}$ 과  $L_1$ 의 에너지가  $R_1$ 로 모두 소모되고  $C_{o2}$ 와  $L_2$ 의 에너지가  $R_2$ 로 모두 소모되면 전류는  $L_1$  →  $S_1$  → 플라잉 커패시터 →  $D_{s3}$  루프를 통해 흐른다[그림 7(j)].

### 3. 시뮬레이션 결과

제안한 스너버 회로의 효과를 증명하기 위해서 3-레벨 플라잉 커패시터 인버터를 이용하였다. 출력단 전압  $V_o$ 와 입력전압  $V_d$ 의 중성점 사이에 RL 부하를 사용하였으며 그림 6과 같다. 시뮬레이션은 PSPICE Release 8 version을 사용했으며 시뮬레이션 조건은 아래와 같다.

$$V_d = 400 \text{ [V]}, \quad L_s = 25 \text{ [\mu H]}, \quad R = 5 \text{ [\Omega]}$$

$$C_o = 40 \text{ [\mu F]}, \quad C_s = 1 \text{ [\mu F]}$$

스위칭 주파수  $f_s = 780 \text{ [Hz]}$

제안한 스너버는 기본 스너버로 Undeland 스너버를 사용한 관계로 스너버 회로의 파라미터는 기존의 설계 방법에 따라 결정하였다[9],[11]. 먼저 소자의 안정적인 동작을 위해 필요한 조건  $dv/dt$ 와  $di/dt$ 를 만족하도록  $C_s$ 와  $L_s$ 를 결정하였으며,  $C_o$ 는 턴오프 과전압의 클램핑을 위해  $C_s$ 보다 수십배 크게 설정하였으며, 비교를 위해 기존의 RCD/RLD 스너버에도 같은  $C_s$ ,  $L_s$ 값을 사용하였다. 표 2는 기존의 RCD/RLD 스너버와 제안한 스너버의 소자의 수를 비교한 것이다. 다이오드와 방전 저항이 기존의 스너버보다 각각 2개, 4개가 적다. 그리고 제안한 스너버의 커패시터 중 2개는 과전압 클램핑의 용도로 사용되었기 때문에 스너버 측면에서만 비교한다면 총 8개의 소자가 감소된다.

제안한 스너버의 특성과 기존의 RCD/RLD 스너버의 특성을 비교하기 위하여, 두 스너버에 같은 용량의 턴-온 인덕터와 턴-오프 커패시터를 사용하여 시뮬레이션 표 2 소자 수의 비교

TABLE 2 COMPARISON OF THE NUMBER OF DEVICES

	C	L	Diode	R	Total
RCD/RLD	4	2	6	6	18
Proposed	4	2	4	2	12

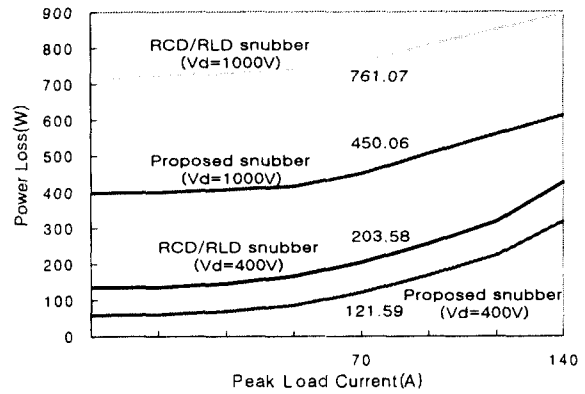


그림 8 스너버 저항에서의 전력손실.

Fig. 8 Power losses in snubber resistors.

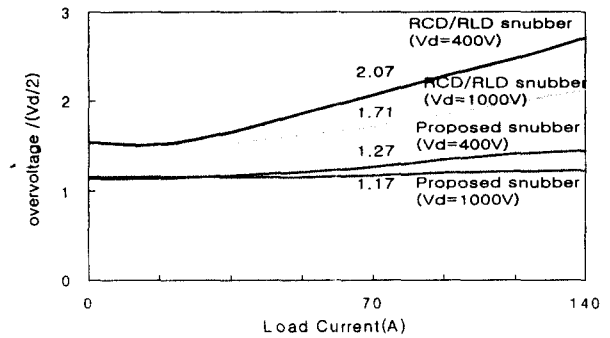


그림 9 주 스위칭 소자에서의 최대 과전압.

Fig. 9 Maximum overvoltages in main switching device.

하였다. 그림 8은 제안한 스너버 회로와 기존의 RCD/RLD 스너버 회로의 전력손실을 비교한 것이다. 제안한 스너버 회로의 전력손실은 기존의 RCD/RLD 스너버 회로와 비교하여 최대 부하전류 70A를 기준으로 볼 때 40% 정도 줄어든다.  $V_d$ 가 400V일 때와 1000V일 때를 비교하면, DC 링크 전압이 증가하면 스너버 커패시터  $C_s$ 에 축적된 스너버 에너지의 증가로 인해 시스템 효율은 더욱 개선됨을 알 수 있다.

그림 9는 두 스너버 회로에서의 주 스위치의 과전압을 보여준다. 최대 과전압은 기존의 RCD/RLD 스너버 회로에서는 부하전류 70A를 기준으로 볼 때,  $V_d/2$ 의 2.07배인 반면 제안한 스너버 회로에서는  $V_d/2$ 의 1.27배이다. 위의 결과로부터 제안된 스너버 회로가 턴-오프에서의  $dv/dt$  제한뿐만 아니라 각 스위칭 소자의 과전압 제한에 효과적임을 알 수 있다.

그림 10, 11, 12, 13, 14는 제안한 스너버의 전체 동작을 잘 이해할 수 있도록 하기 위하여 같은 시간 조건에서 시뮬레이션 하였다. 그림 10은  $180^\circ$  위상차를 갖는 기준 정현파  $V_{r1}$ ,  $V_{r2}$ , 삼각파  $T_1$ 과 출력전압 전압  $V_o$ , 출력전류  $I_o$ 를 보여준다. 삼각파와 기준 정현파를 비교함으로써 발생하는 PWM 게이트 신호  $G_1$ ,  $G_2$ 는 스위치  $S_1$ ,  $S_2$ 에 사용되고 스위치  $S_3$ ,  $S_4$ 는 스위치  $S_1$ ,

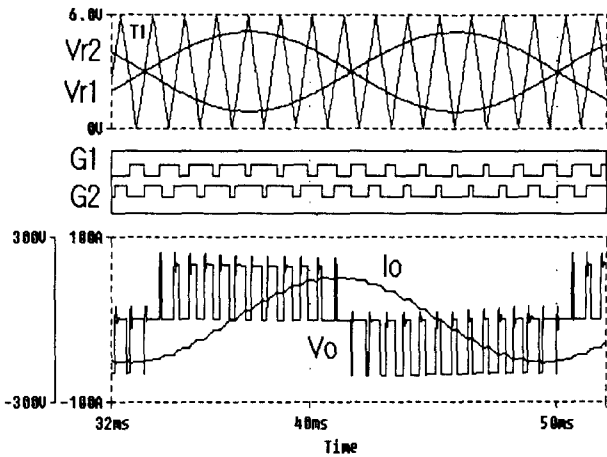


그림 10 PWM 발생 관련 신호 (a)와 한 주기 동안의 출력전압 Vo 및 출력전류 Io (b).

Fig. 10 PWM generation-related signals (a) and overall output voltage Vo and current Io waveforms during one fundamental period (b).

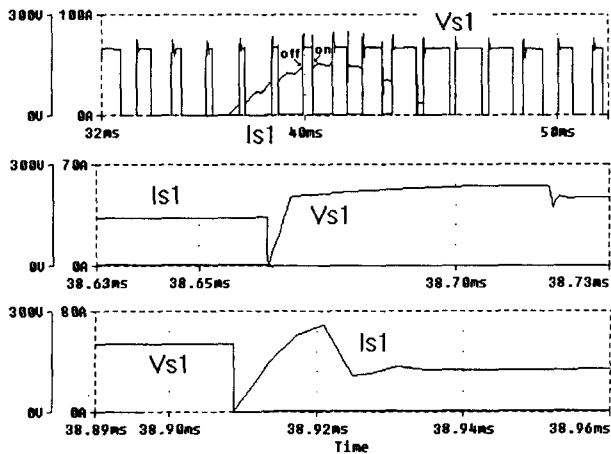


그림 11 스위치 S1의 전압 Vs1과 전류 Is1 (a), 턴-오프 구간과 턴-온 구간 동안의 확대된 파형(b).

Fig. 11 Voltage Vs1 and current Is1 of switch S1 (a), zoomed waveforms during turn-off interval and turn-on interval (b).

S<sub>2</sub>와 상보적인 관계이다.

그림 11(a)는 스위치 S<sub>1</sub>의 전압 V<sub>s1</sub>과 전류 I<sub>s1</sub>을, 그림 11(b)는 턴-오프 구간과 턴-온 구간 동안에서의 확대된 전압 및 전류파형을 보여준다. 그림 12(a)는 스위치 S<sub>2</sub>의 전압 V<sub>s2</sub>와 전류 I<sub>s2</sub>를, 그림 12(b)는 턴-오프 구간과 턴-온 구간 동안에서의 확대된 전압 및 전류파형을 나타낸다. 위 그림에서 보는 바와 같이 제안한 스너버가 과도스위칭 최대값(transient switching peak values), 전력소산(dissipative power), 스너버 손실에 관해서 주 스위치에 좋은 스너빙 효과를 가지고 있음을 증명한다.

#### 4. 실험 결과

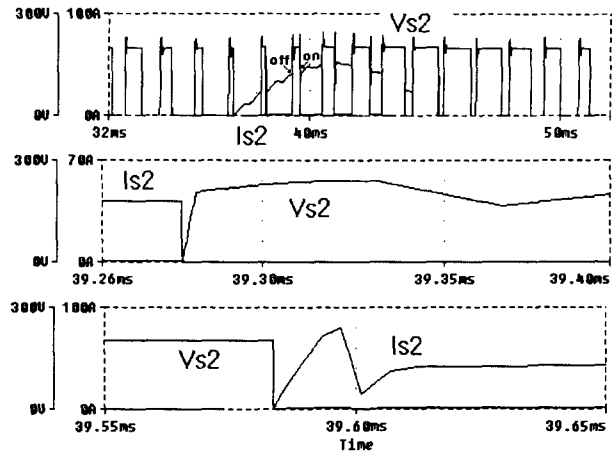


그림 12 스위치 S2의 전압 Vs2와 전류 Is2 (a), 턴-오프 구간과 턴-온 구간 동안의 확대된 파형 (b).

Fig. 12 Voltage Vs2 and current Is2 of switch S2 (a), zoomed waveforms during turn-off interval and turn-on interval (b).

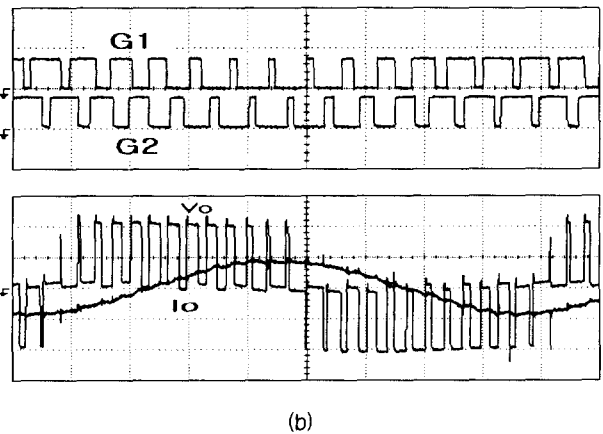


그림 13 스위치 S1, S2의 측정된 PWM 게이트 신호 G1, G2 (a), 출력전압 Vo와 전류 Io 파형 (b) [100V/div, 50A/div, 2msec/div].

Fig. 13 Measured PWM gate signals G1, G2 of switches S1, S2 (a), Overall output voltage Vo and current Io waveforms (b) [100V/div, 50A/div, 2msec/div].

제안한 스너버 회로의 동작을 입증하기 위하여 정격 전력 8kW, 출력전류 40A로 3-레벨 플라잉 커패시터 인버터를 구동하였으며 스위칭 주파수는 780Hz이다. 제안한 스너버 회로를 가진 인버터는 주 스위치 S<sub>1</sub>~S<sub>4</sub>에 IXYS IGBT MII(MID, MDI) 100-12A3를 사용하였으며 스너버 다이오드 D<sub>s1</sub>~D<sub>s4</sub>에 IXYS DSEI 2X31-06C를 사용하였다. 그리고 스너버 인덕터 L<sub>s</sub>에 25[μH]의 패 라이트 코어(ferrite core) 인덕터, 스너버 커패시터 C<sub>s</sub>에 400V 1[μF]의 폴리프로필렌 커패시터, 과전압 클램핑을 위한 스너버 커패시터 C<sub>o</sub>에 400V 40[μF]의 폴리프로필렌 커패시터, 스너버 저항 R1과 R2에 5[Ω]을 사

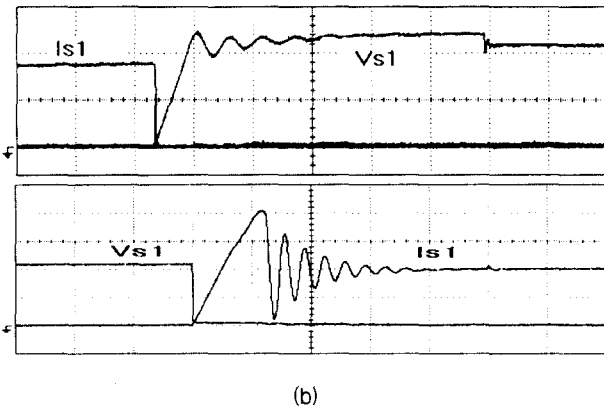


그림 14 턴-오프 구간 동안의 스위치 S1의 전압 및 전류파형 (a), 턴-온 구간 동안의 스위치 S1의 전압 및 전류파형 (b) [100V/div, 20A/div, 10 μs/div].

Fig. 14 Voltage and current waveforms of switch S1 during turn-off interval (a), Voltage and current waveforms of switch S1 during turn-on interval (b) [100V/div, 20A/div, 10 μs/div].

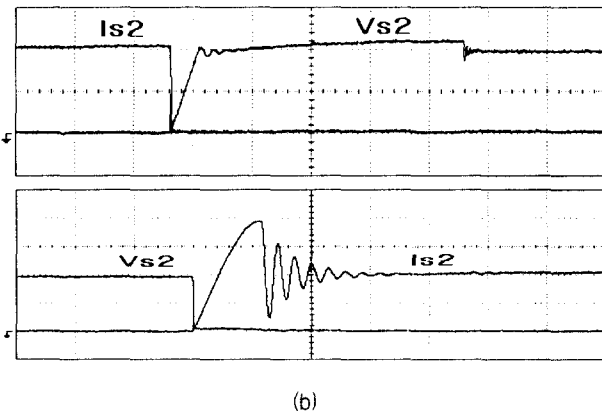


그림 15 턴-오프 구간 동안의 스위치 S2의 전압 및 전류파형 (a), 턴-온 구간 동안의 스위치 S2의 전압 및 전류파형 (b) [100V/div, 20A/div, 10 μs/div].

Fig. 15 Voltage and current waveforms of switch S2 during turn-off interval (a), Voltage and current waveforms of switch S2 during turn-on interval (b) [100V/div, 20A/div, 10 μs/div].

용하였다. 그림 13는 실험을 통하여 측정된 스위치  $S_1$ ,  $S_2$ 의 PWM 게이트 신호  $G_1$ ,  $G_2$ 와 출력전압  $V_o$  및 출력전류  $I_o$ 를 보여준다. 그림 14(a)는 턴-오프 구간 동안에서의 스위치의 전압  $V_{s1}$ 과 전류  $I_{s1}$ 을, 그림 14(b)는 턴-온 구간 동안에서의 전압 및 전류 파형을 나타낸다. 그림 15(a)는 턴-오프 구간 동안에서 스위치  $S_2$ 의 전압  $V_{s2}$ 와 전류  $I_{s2}$ 를 그림 15(b)는 턴-온 구간 동안에서의 전압 및 전류 파형을 보여준다.

실험 결과 제안한 스너버 회로가  $di/dt$ 와  $dv/dt$  제한에 의해서 스위치  $S_1 \sim S_4$ 에서의 파형이 시뮬레이션 결과와 상응하는 파형임을 알 수 있으며, 그 결과 스위칭 손실이 적음을 그림 8에 의해 예상할 수 있다. 또한

턴-오프시 과전압도  $V_d/2$ 의 1.25배로 그림 9의 시뮬레이션 결과와 상응하는 값으로 클램핑 되고 있음을 볼 수 있다.

### 5. 결 론

본 논문은 플라잉 커패시터 멀티레벨 인버터 및 컨버터를 위한 스너버 회로를 제안하였다. 제안한 스너버 회로는 Undeland 스너버를 기본 스너버로 사용하여 구성한 것으로서, 2-레벨 인버터에서 사용되어온 Undeland 스너버의 장점을 그대로 지니고 있다.

멀티레벨 인버터 및 컨버터를 위한 제안한 스너버 회로와 기존의 RCD/RLD 스너버를 비교하면 다음과 같다.

- 1) 사용소자의 수가 감소한다.
- 2) 낮은 과전압에 의한 스위칭 소자의 전압 스트레스가 감소한다.
- 3) 스너버 회로에서의 전력손실이 감소하여 전체 시스템에서의 효율이 개선된다.

본 논문에서는 제안한 스너버를 3-레벨 플라잉 커패시터 인버터에 적용하여 스너버 특성을 컴퓨터 시뮬레이션으로 분석하였으며 실험을 통해 제안한 스너버의 효용성을 입증하였다.

그리고 본 논문에서 제안하는 플라잉 커패시터 멀티레벨 인버터 및 컨버터를 위한 스너버 회로를 구성하는 방법은 McMurray 스너버와 같은 다른 스너버를 기본 스너버로 사용할 때도 그대로 적용할 수 있다.

플라잉 커패시터 멀티레벨 인버터는 다른 종류의 멀티레벨 인버터와 비교하여 스위칭 소자의 전압분담 문제 해결,  $dv/dt$  제한, 고조파왜율 감소 측면에서의 좋은 특성 때문에 앞으로 많은 응용이 기대된다.

### 감사의 글

본 논문은 한국전력공사의 지원에 의하여 기초전력공학 공동연구소의 주관으로 수행된 과제임.

### 참 고 문 헌

- [1] Nam S. Choi, Jung G. Cho and Gyu H. Cho, "A General Circuit Topology of Multilevel Inverter," IEEE PESC, pp96-103, 1991.
- [2] A. Nabae, I. Takahashi and H. Akagi, "A New Neutral Point Clamped PWM inverter", IEEE Trans. Indus. App. vol. IA-17, No. 5, pp. 518-523, Sep/Oct 1981.
- [3] T. A. Meynard and H. Foch, "Multilevel Conversion : High Voltage Choppers and Voltage Source Inverters", IEEE PESC Conf. Record, pp. 397-403, 1992.
- [4] Y. Liang, C. O. Nwankpa, "A Power Line Conditioner Based on Flying Capacitor Multilevel Voltage Source Converter with Phase Shift SPWM", Proceeding of the IEEE Ind.

- Appli.meeting., Vol. 4, No. 4, pp. 2337-2343, 1999, Sat.
- [5] J. S. Lai and F. Z. Peng, "Multilevel Converters - A New Breed of Power Converters", IEEE Trans. Indus. App. vol. IA-32, No. 3, pp. 1098-1107, May/June 1996.
- [6] F. Z. Peng, J.-S. Lai, J. Mckeever and J. VanCoeving, "A Multilevel Voltage-Source Inverter with Separate DC source for Static Var Generation," IEEE IAS Annual Meeting Conf. Record, pp. 2541-2548, 1995.
- [7] C. Hochgraf, R. Lasseter, D. Divan and T. A. Lipo, "Comparison of Multilevel Inverter for Static Var Compensation," IEEE IAS Annual Meeting Conf. Record, pp. 921-928, 1994.
- [8] G. Sinha, C. Hochgraf, R.H. Lasseter, D.M. Divan T.A. Lipo, "Fault Protection in a Multilevel Inverter Implementation of a Static Condenser," IEEE IAS Annual Meeting Conf. Record, pp. 2557-2564, 1995.
- [9] T. Undeland, F. Jensen, A. Steinbakk, T. Rogne and H. Hemes, "A Snubber Configuration for Both Power Transistor and GTO PWM Inverters," IEEE PESC, pp. 42-53, 1984.
- [10] W. McMurray, "Efficient Snubbers for Voltage-Source GTO Inverters," IEEE Trans. Pow. Elec., vol. PE-2, No. 3, pp. 264-272, July 1987.
- [11] N. Mohan, T. M. Undeland, W. P. Robbins, Power Electronics Second-Edition, Wiley, pp. 669-695, 1995.

## 저 자 소 개



**이 민 수 (李珉守)**

1973년 7월 20일 생. 1998년 부경대 공대 전기공학과 졸업. 2001년 동 대학원 전기공학과 졸업(석사). 현재 현대중공업(주) 전력 전자제어부 근무

Tel : 052-230-8412, Fax : 052-230-8410  
E-mail : cloud92@unitel.co.kr



**노 의 철 (魯義哲)**

1960년 8월 2일 생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박). 1997년~1998년 미국 Univ. of Wisconsin -Madison 방문교수.

1995년~현재 부경대 공대 전기제어계측공학부 부교수.  
Tel : 051-620-1439, Fax : 051-620-1425  
E-mail : nhoec@dolphin.pknu.ac.kr



**성 현 제 (成賢濟)**

1974년 2월 23일 생. 1999년 부경대 공대 전기공학과 졸업. 2001년 동 대학원 전기공학과 졸업(석사). 현재 동아일렉콤 전원연구소 연구원.

Tel : 031-330-5674, Fax : 031-330-5678  
E-mail : hjsung@dongahelecomm.co.kr



**조 철 제 (趙哲濟)**

1936년 4월 2일 생. 1961년 서울대 공대 전기공학과 졸업. 1963년 한국전력공사. 1974년 부산대 전기공학과 교수. 1982년 고려대 대학원 전기공학과 졸업(공학박). 현재 부경대 전기제어계측공학부 교수.

Tel : 051-620-1435  
E-mail : cjjoe@pknu.ac.kr



**김 인 동 (金仁東)**

1960년 8월 27일 생. 1984년 서울대 공대 전기공학과 졸업. 1987년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박). 1991년~1996년 대우중공업 철도차량연구소 책임연구원. 1997년~

1998년 미국 Univ. of Tennessee 방문교수. 1996년~현재 부경대 공대 전기제어계측공학부 조교수  
Tel : 051-620-1429, Fax : 051-620-1425  
E-mail : idkim@pknu.ac.kr