

광통신 모듈용 155.52 MHz 클럭복원 리시버의 구현

정회원 이길재*, 채상훈*

Implementation of the 155.52 MHz Clock Recovery Receiver for the Fiber Optic Modules

Gil-je Lee*, Sang-hoon Chai* *Regular Members*

요약

STM-1 체계의 광통신 수신부 광모듈에 내장하기 위한 리시버 ASIC을 0.65 μm 실리콘 CMOS 기술을 이용하여 설계 제작하였다. 제작된 ASIC은 155.52 Mbps 데이터신호 재정형을 위한 제한 증폭기와 155.52 MHz 시스템 클럭을 추출하기 위한 클럭 복원 회로를 주축으로 구성되어 있다. 또한 이 리시버는 전원이 켜지는 초기 동작 상태에서도 동작 도중 데이터신호가 입력되지 않더라도 155.52 MHz 부근의 클럭 주파수를 유지하여 항상 안정된 동작을 할 수 있게 하기 위한 수렴 보조 회로 및 LOS 감지 회로도 내장하고 있다. 측정 결과 설계된 리시버는 5 mV-1 V의 넓은 입력 전압에 걸쳐 데이터 재정형이 이루어지며, 항상 안정된 클럭을 복원하고 있음을 알 수 있었다.

ABSTRACT

A receiver ASIC for fiber optic modules of STM-1 optical communication has been fabricated with 0.65 μm CMOS technology. The ASIC has a limit amplifier circuit for the 155.52 Mbps data reshaping, and a clock extraction circuit for the 155.52 MHz clock recovery. The ASIC has an acquisition aid and LOS monitoring circuit for properly operation with near 155.52 MHz clock frequency in case of the data loss due to transmission line open or data transfer fail. Measured results show that the circuit reshapes data from 5 mV to 1 V wide range of input voltage condition, and it recovers system clock with stable on any condition.

I. 서론

155.52 Mbps STM-1 광통신 체계에서는 광섬유(optical fiber)를 이용하여 정보를 전송한다. 광섬유를 이용한 통신 방식에 있어서는 빛 형태의 데이터 신호가 광섬유를 통해 전송되면서 신호의 크기가 줄어들거나 원래의 형상을 유지하지 못하고 변형되는 퍼짐(dispersion) 현상 등이 수반된다. 광 감소 및 퍼짐 현상은 광신호가 전송로를 통과하면서 광섬유 자체의 흡수 및 분산 특성에 의하여 원래의 신호가 감소하거나 변형되어서 나타난다. 그러므로 광통신 시스템의 수신부에는 데이터신호를 증폭하고 원형대로 복원해 주는 데이터 재정형(data

reshaping) 회로가 사용되어야 한다(1).

한편, 입력된 데이터신호를 처리하기 위해서는 신호 처리 회로를 동작시키는데 필요한 클럭 신호를 복원된 데이터신호로부터 추출(extraction)해야 할 필요가 있다. 이를 위해서 여러 가지 형태의 클럭 추출(clock recovery) 회로가 쓰여지고 있으며, 특히 최근에는 응답 특성이 양호하고 온도 등 주변 환경의 변화에도 비교적 영향을 적게 받는 PLL(Phase Locked Loop) 방식을 이용한 회로가 각광을 받고 있다(2). 현재 광모듈에 쓰이는 PLL을 이용한 클럭 추출회로를 갖는 리시버 회로는 Agilent, Analog Devices, Lucent, Maxim, Microcosm 등 몇몇 업체에서 패키지(package)된 ASIC(특정용도 집적회로)

* 호서대학교 전자공학과 (shchai@hoseo.ac.kr),

논문번호 : K01139-0529, 접수일자 : 2001년 5월 29일

※ 이 논문은 2000년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2000-003-E00218).

형태로 생산되고 있으나 국내 개발은 미흡한 실정이다. 그리고 이들 업체 대부분은 동작속도 및 전류 구동능력을 고려하여 바이폴라를 이용한 리시버를 출시하고 있다(2)(3).

본 연구에서는 B-ISDN 가입자의 수신부 광모듈에 내장되어 155.52 Mbps STM - 1 신호 체계의 데이터신호를 재정형하고, 155.52 MHz 클럭 신호를 추출하기 위한 고속 리시버 ASIC을 경제성 및 제작의 편의성 등을 고려하여 제작비용이 적게 들고 현재 보편적으로 사용되고 있는 0.65 μ m 표준형 디지털 CMOS 기술로 설계한 다음 제작하였다. 제작된 리시버 ASIC은 광검출기(photodiode)에 의해 수신되어 전류 신호로 변환된 다음 전치 증폭기(pre-amplifier)에 의해 수 mV - 수 V의 광범위한 전압으로 변환된 155.52 Mbps의 데이터신호를, 증폭을 통하여 원래의 파형으로 재정형하고, 재정형된 데이터신호로부터 155.52 MHz의 시스템 클럭을 추출하는 역할을 한다. 본 논문에서는 설계된 리시버의 회로 구성과 제작된 칩의 측정 결과에 대해 주로 기술하였다.

II. 가입자용 광모듈의 구성

그림 1은 광 수신부에 쓰이는 가입자용 광모듈의 구조를 개략적으로 나타낸 것이다. 일반적으로 광모듈은 광검출기, 전치 증폭기, 리시버가 하나의 모듈 속에 내장되어 있으며, 외부는 주로 금속 또는 플라스틱으로 패키징 되어 있다.

여기서 광검출기는 광섬유를 통해서 전송된 광신호를 받아서 전류 신호로 바꾸어 주는 역할을 하며, 주로 PIN (P-insulator-N) 다이오드 또는 에벌런치(avalanche) 다이오드가 많이 쓰인다. 전치 증폭기는 광검출기에 의해 변환된 전류 신호를 전압 신호로 바꾸어 주는 트랜스 임피던스(trans-impedance) 증폭기로서 GaAs 등 화합물 반도체를 사용하여 제작한 MESFET 집적회로가 많이 쓰인다. 그리고 본

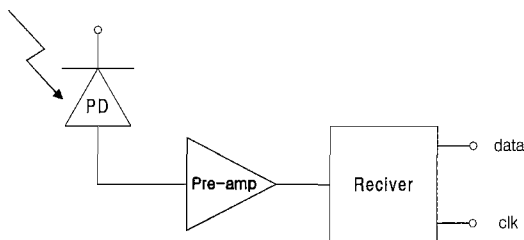


그림 1. 가입자 수신부 광모듈의 구성도

연구의 대상인 리시버는 데이터 복원을 위한 제한 증폭기(limit amplifier)와 클럭 추출을 위한 PLL 회로, 데이터 미입력을 알려주는 LOS(loss of signal) 회로 등으로 구성되어 있으며, 관련 반도체 업체에서는 속도, 전류 용량 등 회로 특성을 고려하여 실리콘을 이용한 바이폴라 ASIC 형태로 제작하고 있다.

III. 리시버 회로의 설계

그림 2는 본 연구에서 설계한 리시버 회로의 개략적인 구조를 나타낸 블록도로서 제한 증폭기 회로와 클럭 추출 회로로 구성되어 있으며, 신호 미입력을 감지하는 LOS 회로와 클럭의 신속한 수렴을 도와주고 신호 미입력 시 자체 발진을 위한 수렴 보조(acquisition aid) 회로, 신호 레벨을 CMOS에서 PECL로 변환해 주기 위한 버퍼(buffer) 회로들도 배치되어 있다.

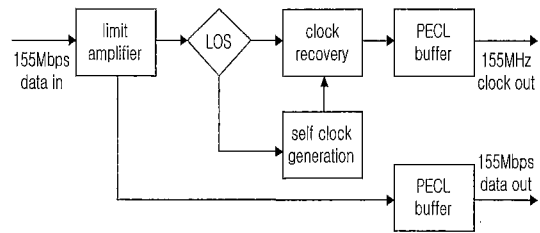


그림 2. 설계된 리시버의 구성도

일반적으로 광신호가 광섬유(optical fiber)를 통하여 장거리 전송이 되면 광섬유의 분산(scattering) 및 흡수(absorption) 특성에 의해 퍼짐(dispersion) 현상 및 감쇠(distortion) 현상이 일어난다. 제한 증폭기는 퍼짐 및 감쇠 현상이 일어난 광신호를 원래대로 재정형하여 복구하는 구실을 하며, 그림 3과 같이 연산 증폭기(operational amplifier)를 5단 직렬로 연결한 형태로 이루어져 있다. 제한 증폭기는 퍼짐 및 감쇠에 의해 정현파(sine wave) 형태로 변환된 광신호를 큰 이득으로 증폭한 후 클리핑(clipping)함으로써 구형파(square wave)의 형태로 만들어 주는 역할을 한다. 여기서 전치 증폭기로부터 출력

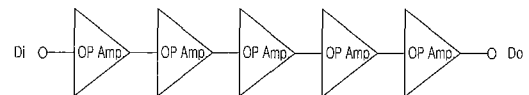


그림 3. 제한 증폭기의 구성도

되는 전압이 대략 1 mV - 1 V 범위이므로 CMOS 레벨(level) 즉, 5 V 이상의 신호 전압 얻기 위하여 5단 제한 증폭기 전체 이득을 10,000 정도로 설계하였다.

일반적으로 NRZ 신호를 이용한 유선 통신에서는 의미 있는 정보를 담은 신호는 50개정도 이상의 비트가 연속적으로 '0'으로 유지되는 경우가 존재 않는다. 그러므로 시스템 동작 시 '0' 신호가 일정 시간이상 계속 입력되면 이는 전송 선로가 단락 되거나 전송 중단 상태로 판단하여 조치를 취할 필요가 있다. 본 연구에서는 전송 상태를 감시하는 LOS 회로를 추가하였다. 그림 4는 사용된 LOS 회로로서 기본적으로 적분기(integrator)와 비교기(comparator)로 이루어져 있다. 이 회로의 동작원리는 '1'에 해당하는 높은(high) 상태의 5 V NRZ 데이터신호와 '0'에 해당하는 낮은(low) 상태의 0 V NRZ 데이터 신호가 섞여서 입력될 때에는 적분기는 5 V와 0 V를 평균하여 2.5 V 부근의 평균 전압을 출력한다. 그러나 NRZ 신호가 입력되지 않으면 즉, 입력이 0 V 상태로 계속 유지되면 적분기 회로의 출력은 거의 0 V 상태에 해당하는 낮은 전압으로 떨어진다. 이 상태에서 비교기의 또다른 입력 단에 평균 전압보다 약간 낮은 2.0 V 정도의 전압을 외부에서 설정해 놓으면 데이터신호 입력 시와 미입력 시에는 비교기의 출력이 5 V로 변하므로 데이터신호의 입력 유무를 판단할 수 있다. 이 LOS 회로의 출력은 외부로 LOS 상태를 경보해 줄뿐만 아니라 다음 단의 수렴 보조 회로에도 정보를 전달하여 수렴 보조 회로를 동작시키는 구실도 한다.

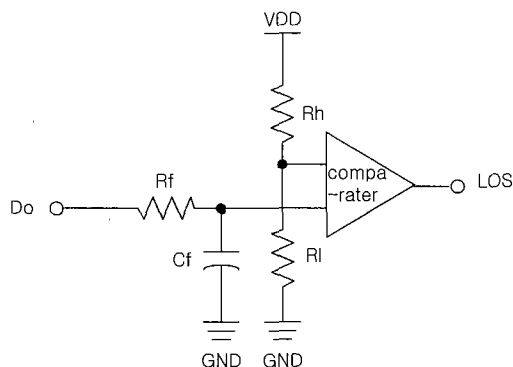


그림 4. LOS 회로의 구성도

클럭 복원 회로는 155.52 MHz의 고주파 클럭을 발생시켜야하므로 고속 동작 시 안정성이 좋은 전하 펌프(charge pump)형 PLL 구조를 채택하였다

(4). 설계된 클럭 복원 회로의 구조는 그림 5와 같이 PLL 회로의 기본 구조인 위상 비교기(phase detector), 전하 펌프, 저역 필터(low pass filter), 전압제어 발진기(voltage controlled oscillator)들로 구성되어 있다. 여기서 전압제어 발진기는 다른 PLL 회로와의 집적화를 위해 응답 특성이 양호하고 CMOS 디지털 공정으로 제작이 가능한 CMOS 인버터형 링발진기(ring oscillator)를 사용하였다(5).

정전이나 시스템의 유지 보수를 위하여 전원을 차단하였다가 다시 복구시킬 때 등 동작 초기 상태 및 데이터 입력이 중단되었다가 재개될 때 등 특별한 상황 하에서는 PLL 회로는 155.52 MHz의 정상 주파수로 수렴하는데 많은 시간이 소요될 가능성이 있다. 본 연구에서는 이 문제를 해결하기 위하여 PLL의 전압제어 발진기를 155.52 MHz의 안정된 상태로 신속하게 수렴시키는 수렴 보조 회로를 설계하였다. 이 회로는 그림 5에서와 같이 동작 중 LOS 감지회로에서 LOS 신호가 발생하면 이 회로는 동작을 시작하며, VCO의 제어 전압 패스를 PLL 루프 대신에 자체에 설치된 기준 전압으로 전환해 준다. 이 기준 항상 안정된 전압을 공급하므로 PLL의 전압제어 발진기에서 발생하는 클럭이 신속하게 155.52 MHz로 부근으로 수렴하도록 한다(5).

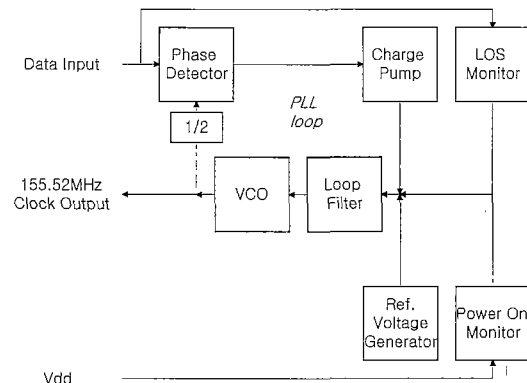
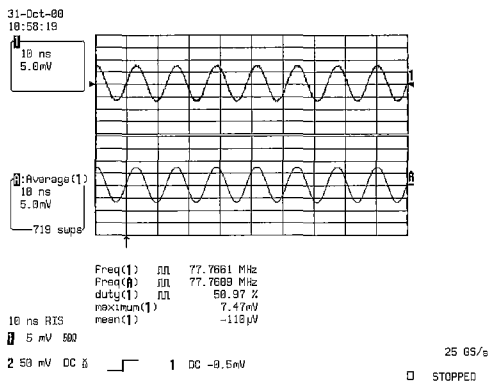


그림 5. PLL 회로의 구성도

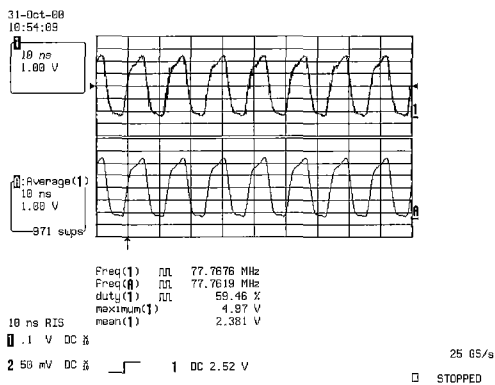
IV. 측정 결과

0.65 μm CMOS 공정에 의해 제작된 칩에 대하여 측정해 보았다. 모듈별 특성을 자세히 분석하기 위하여 먼저 ASIC을 크게 제한 증폭기 부분(데이터 재정형 회로)과 PLL 회로 부분(클럭 추출 회로)으로 나누어 측정해 보았으며, 그 다음 전체 칩의 특성을 측정하였다. 그림 6은 제작된 리시버의 제한

증폭기에 대하여 측정을 수행한 결과이며, 입력 신호의 피크값 감쇠를 고려하여 155.52 Mbps의 데이터에 해당하는 77.76 MHz, 약 7 mVp-p의 정현파를 입력 신호로 사용하였다. 그림에서 (a)는 입력 신호이며 (b)는 제한증폭기의 출력이다. 그림에서 보듯이 입력 데이터가 제한증폭기를 통해 입력되었을 때 제한증폭기를 거친 출력은 0 V에서 5 V의 전압으로 충분한 스윙을 하고 있음을 알 수 있다. 다만 출력이 구형파가 아니고 약간의 찌그러짐을 보이는 것은 155.52 Mbps의 높은 속도를 갖는 신호가 CMOS 버퍼를 거쳐서 나오기 때문이다.



(a)



(b)

그림 6. 제한 증폭기 측정 결과.(a)입력신호, (b)출력신호

그림 7은 그림 6에 나타난 재정형된 데이터 신호를 입력으로 한 PLL 회로의 클럭 추출 동작 측정 결과이다. 그림에서 신호는 155.52 MHz 출력 클럭으로서 VCO의 CMOS 레벨 출력이 CMOS-PECL 신호변환기를 거쳐서 PECL 레벨로 변환되어서 나온 차동(differential) 출력에 해당한다.

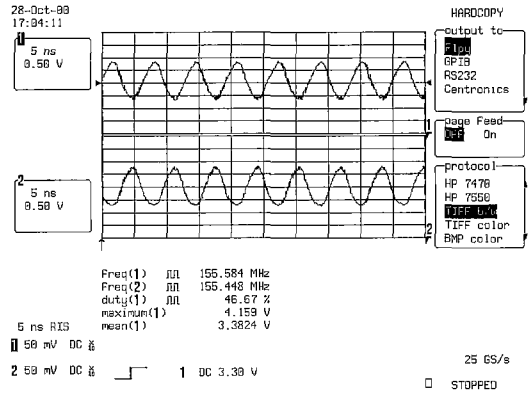


그림 7. 데이터 입력시 PLL의 클럭 출력.

그림에서 출력 파형은 미세한 지터(jitter)를 포함하고 있음을 관찰할 수 있었다. 이 특성은 VCO의 발진주파수가 입력 데이터신호에 락킹(locking)을 하는 과정에서 PLL 루프의 주파수 특성 조건이 맞지 않아 나타나는 현상으로 분석되며, PLL 저역필터의 R, C 값을 조정함으로써 줄일 수 있었다.

그림 8은 PLL 회로에 대한 데이터 복원 동작 측정 결과이다. 이 신호는 제한증폭기의 데이터 출력을 D-플립플롭 회로를 이용하여 추출된 155.52 MHz 클럭과 동기 시킨 다음 PECL 레벨로 변환한 155.52 Mbps의 데이터신호이다. 그림 7 및 8에서 신호가 구형파로 나타나지 않고 찌그러지는 것은 고속 회로의 출력 임피던스와 측정 장비의 입력 임피던스가 정확하게 일치하지 않아서 나타나는 현상으로, 테스트 보드의 매칭(matching) 회로를 좀더 고주파 환경을 고려한 설계로 바꾼다면 상당부분 개선될 것으로 본다.

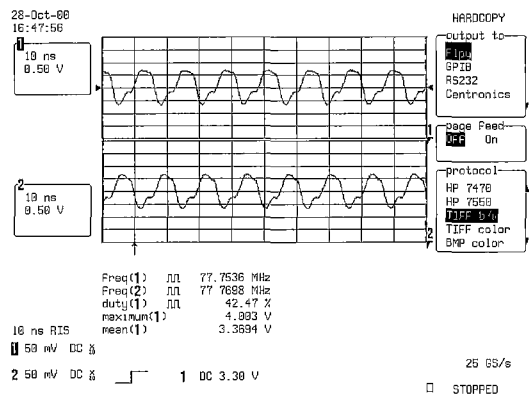


그림 8. 데이터 입력시 PLL의 데이터 출력.

그림 9는 회로에서 데이터 신호를 제거하여 입력이 없을 때를 가정한 PLL 회로의 클럭 출력을 나

타낸 것으로서 157.7 MHz로 동작하여 155.52 MHz에 거의 근접한 주파수로 동작하고 있음을 알 수 있다. 이 결과에 의해 본 설계에 의한 클럭 추출 회로는 데이터 입력이 없더라도 PLL에서는 항상 안정된 155 MHz에 가까운 클럭이 출력되고 있음을 확인할 수 있었다. 그러나 이 주파수는 주위 온도 및 전원 전압의 변동에 의해 변할 수도 있으므로 차후에는 VCO에 가해 주는 제어 전압 즉, 기준 전압을 필요에 따라 외부 프로그램에 의하여 조절할 수 있는 형태로 설계한다면 훨씬더 정확한 클럭 주파수를 얻을 수 있을 것으로 본다.

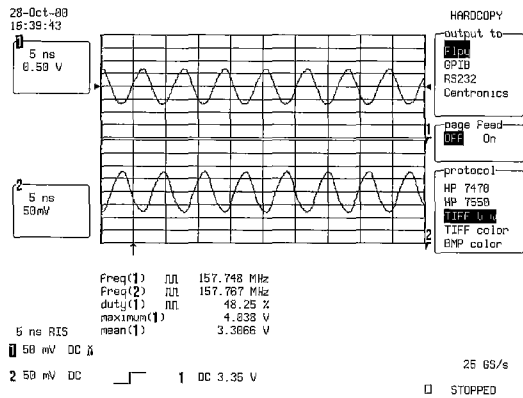


그림 9. 데이터 미입력시 PLL의 클럭 출력.

그림 10은 제작된 ASIC에 입력 데이터를 인가하여 PLL이 정상적으로 동작할 때의 지터 특성을 관찰한 것으로서 rms 지터가 약 23 ps, 최대 (peak-peak) 지터가 약 124 ps로 나타나서 매우 양호한 결과를 보였다. 다만 지터의 분포를 나타내는 히스토그램이 정확한 가우시안(Gaussian) 분포를 보이지 않고 가장자리로 일부 치우쳐 있는 것은 PLL 회로의 동작조건이 최적화되지 않았기 때문에 일어나는 현상으로 분석된다. 따라서 실제 사용시 루프 필터 값 등을 좀더 정밀하게 조정한다면 개선된 결과를 얻을 수 있을 것으로 본다.

그림 11은 0.65 μm 디자인 룰을 이용하여 CMOS로 설계한 칩의 레이아웃 사진으로서 실제 크기는 3.2 μm X 3.2 μm 이다. 그림에서 위 부분은 클럭 추출을 위한 PLL 회로와 데이터 미입력을 감지하기 위한 LOS 회로이며, 왼쪽 아래 부분은 데이터 재정형을 위한 제한 증폭기, 오른쪽 아래 부분은 데이터 및 클럭 신호를 CMOS 레벨에서 PECL 레벨로 변환하는 버퍼 회로이다.

측정 결과 회로 전체 동작시 ASIC 칩의 소비전

력은 650 mW 정도로 나타났다.

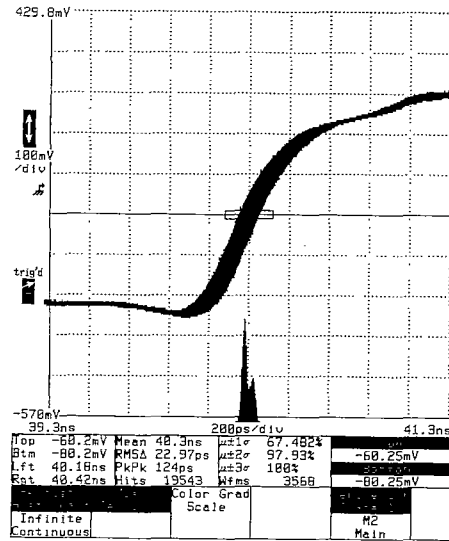


그림 10. 정상동작시 PLL의 지터 특성.

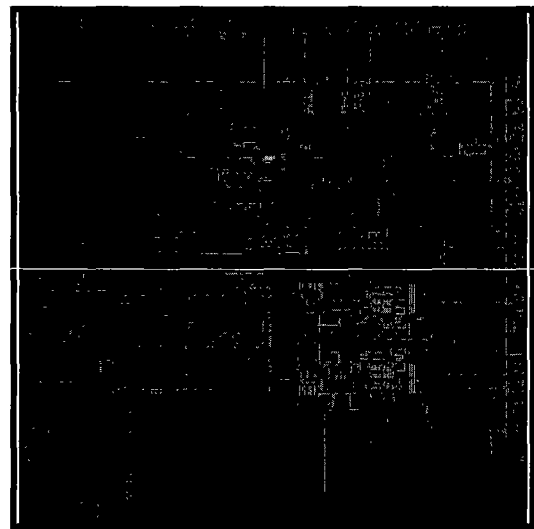


그림 11. 제작된 칩의 레이아웃 사진.

V. 결론

B-ISDN의 가입자 수신부 광모듈용 155.52 Mbps 리시버 ASIC을 실리콘 0.65 μm CMOS 기술을 이용하여 설계 제작하였다. 이 리시버는 동작 초기에 빠르게 155.52 Mbps의 안정된 상태로 수렴하기 위한 부가 회로를 내장하고 있으며, 전송 중단 등 특수한 상황에서도 정상적으로 클럭 신호를 발생시켜 단말기에 항상 안정된 155.52 MHz 부근의 클럭 신

호를 공급할 수 있는 특징을 갖는다. 이러한 기능을 갖기 위해 이 리시버는 제한 증폭기를 이용한 데이터 재정형 회로와 PLL을 이용한 클럭 추출 회로 외에 LOS 회로, 수렴 보조 회로 등이 추가로 내장되어 있다. 따라서 이 리시버의 회로는 초기 동작 시 또는 전송 중단 시 등 특수한 상황에서도 정상 동작을 유지하여 항상 안정된 클럭 신호를 시스템에 공급할 수 있는 특징을 갖는다. 측정 결과 설계된 리시버는 5 mV - 1 V의 넓은 입력 전압에 걸쳐 데이터 재정형이 이루어지며, 데이터 입력 유무에 관계없이 155.52 MHz 부근의 안정된 클럭 발생을 하고 있음을 알 수 있었다. 설계된 리시버 회로는 전압제어 발전기 회로를 비롯한 여러 종류의 회로들을 1개의 칩 형태로 집적화 하였기 때문에 광검출기 및 전치증폭기와 더불어 하이브리드 형태의 광모듈을 제작할 수 있다. 그리고 칩 제작에 있어서도 기존 제품이 주로 바이폴라로 이루어져 있는데 비해 제작비용이 적게드는 0.65 μm CMOS 공정으로 설계하였기 때문에 대량생산을 할 경우 경제적인 면에서도 큰 효과가 있을 것으로 기대된다.

※ 감사의 글

이 논문의 실험에 필요한 ASIC 칩 제작 지원을 해 주신 IDEC 및 하이닉스 반도체에 진심으로 감사드립니다.

이 길 재(Gil-je Lee) 정희원
 1999년 2월: 호서대학교 전자공학과 공학사
 2001년 2월: 호서대학교 전자공학과 공학석사
 2001년 3월~현재: (주)다반테크 근무
 <주관심 분야> 아날로그 ASIC 설계, 아날로그 회로 모델링

채 상 훈(Sang-hoon Chai) 정희원
 현재: 호서대학교 전자공학과 조교수
 한국통신학회 논문지 제23권 제2호 참조

참 고 문 헌

- [1] Beomsup Kim, "High speed clock recovery in VLSI using hybrid analog/digital techniques", *Memorandum No. UCB/ERL M90/50 p. 7, june, 1989.*
- [2] D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generationcircuits", *IEEE JSSC, Vol. sc-22, No. 2, April, 1987.*
- [3] Z. Wang, U. Langmann, "Multi-Gb/s silicon bipolar clock recovery IC", *IEEE JSSC, Vol. 9, No. 5, pp. 656-663, Jun. 1991.*
- [4] F. Gardner, "Charge-pump phase locked loops", *IEEE Communication, Vol. com-28, No. 11, pp.1848-1858, Nov. 1980.*
- [5] 채상훈, 광명신, "ATM 교환기용 데이터 및 클럭 복원 회로의 설계", *대한전자공학회 논문지, 제 32 권, B 편, 제 4 호, 1995년 4월.*
- [6] 채상훈, 이홍수, 송원철, "광통신 모듈용 155.52 Mbps 리시버의 설계", *한국통신학회 논문지, 제 22 권, B 편, 제 4 호, 1999년 10월.*