

2-선 양방향 선로 스위칭 링을 위한 자기치유 공간분할 스위치 소자

정회원 이상훈*, 김성진**

A Self-healing Space-Division Switch for a 2-Fiber Bidirectional Line Switched Ring

Sang-hoon Lee*, Seong-jeen Kim** *Regular Members*

요 약

본 논문에서는 현재 우리 나라의 초고속 국가기간전송망의 기본 전송장비인 2.5Gb/s SDH 전송시스템에 적용되어 2-선 양방향 선로 스위칭 링의 자기치유동작을 가능하게 하는 공간분할스위치 소자의 설계와 시스템에의 적용을 다룬다. Compass tool로 설계된 스위치 소자는 1.25Gb/s의 스위칭 처리용량을 가지며 0.8 μ m CMOS gate-array로 제작되었다. 제안된 스위치 소자는 2-선 양방향 전송선로 상에 장애가 발생했을 때 신속한 자기치유동작을 가능하게 한다. 스위치의 구조는 Add/Drop 제어부, Cross-point switch, 데이터 프레임 위상 정렬부, 비장착(Unequipped) 신호 프레임부, 프로세서 접속부 등으로 구성된다. 제작된 2개의 스위치를 병렬구조로 구성하여 2.5Gb/s SDH 전송시스템에 적용하여 시험한 결과 임의의 광선로 장애 시 신호채널들의 링 스위칭 동작으로 즉시 복구가능함을 보여준다.

ABSTRACT

This paper describes the design of a space-division switch which can support a self-healing operation of 2-fiber bidirectional line switched ring in 2.5Gb/s SDH-based transmission system. The switch having a 1.25Gb/s throughput has been designed and implemented with COMPASS tool and 0.8 μ m CMOS gate-array. The proposed switch is suitable for the quickly self-healing operations when a failure occurs in a 2-fiber bidirectional switched ring composed of ADM transmission systems. The switch is composed of an add/drop control part, a cross-point switch, a frame-phase aligner, processor interface and an unequipped data framer. The test results of the switch adapted to 2.5Gb/s SDH-based transmission system, show immediate restoration when a failure occurs.

I. 서 론

B-ISDN(Broadband Integrated Service Digital Network)는 음성, 문서, 영상, 비디오 등의 통합적인 멀티미디어 서비스를 가능하게 하는 광대역 망이다. 현재 이러한 B-ISDN은 ATM (Asynchronous Transfer Mode) 교환망과 SDH(Synchronous Digital Hierarchy) 전송망으로 구현되고 있다. 멀티

미디어 서비스에 적합한 ATM 교환망은 주로 시분할(Time-Division) LSI 스위치들이 적용되고 있다.^[1,2] SDH 전송망은 대용량의 데이터를 초고속으로 전송할 수 있기 때문에 국가 기간 전송망이나 대도시 시내 기간 전송망의 하부구조 역할을 한다. 그러나 기간전송로 상에 장애가 발생할 때 대용량의 데이터를 장시간 손실할 수 있기 때문에 이에 대한 대책들이 국내외적으로 연구되어 왔다.^[3,4,5] 전

* 경남대학교 전기전자공학부 디지털시스템연구실(sanghoon@kyungnam.ac.kr),

** 경남대학교 전기전자공학부 반도체센서연구실(sjk1216@kyungnam.ac.kr)

논문번호 : K01194-0830, 접수일자 : 2001년 8월 30일

송선로 장애에 대한 대책으로는 ADM(Add/Drop multiplexer) 전송시스템들로 구성되는 자기치유링(self-healing ring)을 구축함으로써 전송망의 생존율을 향상시킬 수 있다. 이는 전송망을 환형 구조로 구축하여 전송되는 데이터의 예비경로를 마련함으로써 전송로 중 어느 한곳의 결합 발생 시 다른 경로를 통해서 전송 데이터를 전송시킴으로 신뢰성 있는 데이터 전송을 할 수 있다. 환형 구조의 전송망으로는 비교적 적은 량의 데이터가 전송되는 접근망(access network)에 적합한 단방향 경로 스위칭 링(unidirectional path switched ring)과 대량의 데이터가 전송되는 전달망(transport network)에 적합한 양방향 선로 스위칭 링(bidirectional line switched ring)이 있다. 이와 같이 전송망이 대용량 데이터의 신뢰성 있는 전송과 재난발생에 대비하여 환형 구조와 같이 복잡해짐에 따라서 각 전송망에서 노드의 역할을 하는 전송시스템도 용량 증가와 더불어 복잡해진다. 즉 전송시스템에 접속되는 종속 신호들의 수가 많아지고 또한 그 신호들의 흐름이 재난발생에 대비하여 별도의 대안 경로를 가져야 하므로 복잡해지며, 선로 화재 등의 사고 발생 시 이들 신호들의 신속한 선로변경이 이루어져야 한다. 따라서 ADM 전송시스템에 자기치유동작이 가능한 스위치 회로의 도입이 요구된다. 이에 대한 연구로 기존에 2-선 및 4-선 양방향 선로 스위칭 링에 적합한 공간분할(Space-Division) 스위치 소자가 보고되었다.^[6] 그러나 그 소자는 622Mb/s 자기치유링에 적합하도록 설계되었으며 그 구조가 먼저 입력 데이터를 저속 데이터 변환시키는 DEMUX 부분과 이를 공간분할 스위칭 한 후 다시 고속 데이터로 변환하기 위해 MUX 부분의 채택으로 다소 복잡하고 embedded RAM이 요구되며 0.5 μ m full custom CMOS 기술을 사용하기 때문에 chip의 설계 비용이 높다. 본 논문에서는 먼저 2-선 양방향 선로 스위칭 링의 자기치유동작을 살펴보고 기존에 보고된 단방향 경로 스위칭 링에 적용되었던 스위치 소자^[7]의 기능을 개선하여 단일소자로 선형 전송망과 단방향 경로 스위칭 링 및 2-선 양방향 선로 스위칭 링의 구조에 적합하고 전송로 상에 장애가 발생할 때 데이터 복구가 될 수 있는 구조를 갖는 공간분할 스위치 소자를 제안하고 이를 0.8 μ m CMOS gate array로 제작하였다.

II. 2-선 양방향 선로 스위칭 링

그림1은 단국(terminal multiplexer)과 중계기, Add/Drop Multiplexer 등으로 구성된 기존의 선형 전송망을 보여준다. 선형 전송망은 사고 등으로 인해 통신 전송로인 광선로가 절단될 때 데이터의 생존을 측면에서 취약한 구조를 갖는다. 그림에서와 같이 노드 A와 B간 광선로가 절단될 때 노드 A와 노드 B, C간의 데이터 전송은 다른 통신경로가 없기 때문에 불가능한 상황이다. 선형 전송망의 선로 보완책은 운용 광선로마다 각각 예비 광선로를 동일 케이블 내에 이중화하는 1+1 dedicated protection이나 하나 또는 여러 개(m개)의 예비 광선로가 n개의 운용 광선로를 백업하는 1:n, 혹은 m:n(단, n>m) shared protection을 사용하고 있다. 그러나 선형 전송망은 별도로 다른 경로의 전송로를 마련하지 않은 한 예비 광선로를 포함한 선로장애 시 데이터 생존율을 높일 수 없다. 이에 비해서 자기치유링은 페루우프를 형성하는 노드들로 구축된다. 이 때 각 노드들은 전이중방식으로 두 개의 인접노드들과 연결되어 있다. 자기치유링은 풍부한 대역폭을 제공하며 망 장애 발생 시 손실된 서비스를 즉시 복구할 수 있을 뿐만 아니라 특정 선로가 과부하 시 우회 회선의 제공이 용이하고, 망의 재구성이 쉬우며, 서비스를 중단하지 않고 시설의 교체 및 전송 노드의 변경을 할 수 있다. 대표적인 자기치유링인 양방향 선로 스위칭 링은 선로의 회선 수에 따라서 2선과 4선으로 구분된다. 4선 양방향 선로 스위칭 링(BLSR/4)은 span switching이 가능하기 때문에 전송망의 높은 신뢰성을 구축할 수 있다. 그러나 선로 구축비용과 전송시스템의 복잡성으로 인해 현재 우리 나라에서는 채택하지 않고 있는 실정이다.

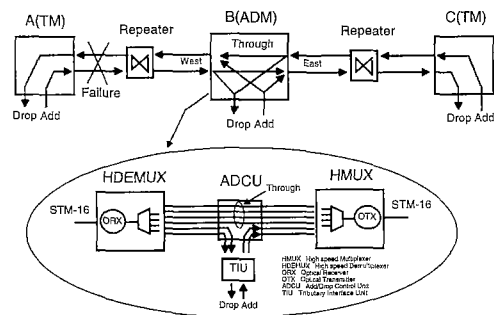


그림 1. 선형 전송망

그림2는 2-선 양방향 선로 스위칭 링(BLSR/2)의 구조와 자기치유동작을 보여준다. 그림에서 나타낸

바와 같이 별도의 예비 채널을 위한 선로가 없이 2선 모두가 운용 채널로 사용된다. 그런데 각 선로의 채널 용량이 절반으로 나뉘어져서 절반은 운용 트래픽으로, 나머지 절반은 예비 트래픽을 위한 용량으로 사용된다. 따라서 정상 동작상태 시에는 단지 운용 채널 용량만으로 트래픽을 전달한다. 그러나 광선로 절단 등 선로장애가 발생할 때는 타임 슬롯 교환(time slot interchange)에 의해 운용 채널상의 데이터가 예비 채널 상으로 링 스위칭 되어 선로장애를 치유한다. 그림2(a)에서처럼 노드 A와 노드 B 간 광선로 절단 사고가 발생했을 때 복구를 위해서 루우프백에 의한 링 스위칭 동작은 그림2(b), (c)에 나타낸 바와 같이 선로가 절단된 곳의 인근 양쪽 노드 A와 B에서만 일어난다. 정상 동작상태 시 노드 A에서 1번 운용채널(Link1)의 운용대역(working bandwidth)을 따라서 반 시계방향으로 노드 B를 거쳐 노드 C로 전달되는 신호들은(A→C(L1-W_BW)) 장애가 발생할 때 노드 A에서 타임 슬롯 교환에 의해 2번 운용채널(Link2)의 예비대역(protection bandwidth)으로 링 스위칭(A→C(L2-P_BW))된 후 시계방향으로 pass through 상태에 있는 노드 D를 거쳐서 목적지인 노드 C에 바로 도달하는 것이 아니라 노드 C도 역시 pass through 된 후 노드 B에서 다시 한번의 링 스위칭 루우프백에 의한 타임 슬롯 교환으로 1번 운용채널(Link1)의 운용 대역으

로 스위칭(A→C(L1-W_BW))된 후 최종적으로 노드 C에 도착된다. 마찬가지로 노드 C에서 2번 운용 채널(Link2)의 운용대역을 통해 시계방향으로 노드 B를 경유하여 노드 A에 전달되던 신호들은(C→A(L2-W_BW)) 노드 A, B간 장애가 발생할 때 노드 B에서 링 스위칭 루우프백에 의한 타임 슬롯 교환으로 1번 운용 채널(Link1)의 예비 대역으로 링 스위칭된 후(C→A(L1-P_BW)) 반 시계방향으로 다시 노드 C와 노드 D를 경유한 후 노드 A에 도달한다. 이 때 노드 A에서 다시 한번 링 스위칭에 의해 2번 운용채널(Link2)의 운용 대역으로 타임 슬롯 교환(C→A(L2-W_BW))된 후 최종적으로 노드 A에서 수신된다. 따라서 노드 A와 C는 광선로 장애 발생 여부와 관계없이 기존의 수신방향으로 해당 신호를 수신하게 된다. 이상에서와 같이 2-선 양방향 선로 스위칭 링은 임의의 선로 장애 발생 시에 인접 양쪽 노드에서의 두 번의 링 스위칭 동작에 의해 장애를 치유하므로 장애가 발생되어도 링 토폴로지는 그대로 유지된다. 그러나 전송 노드의 수가 증가함에 따라서 발생 가능성이 높은 복수의 선로장애 발생 시는 2-선 양방향 선로 스위칭 링의 구조적인 한계로 인하여 장애를 치유할 수 없다.

III. 자기치유 공간분할 스위치 소자의 설계

그림3은 본 논문에서 제안한 스위치 소자가 적용되는 ADM 전송시스템의 신호접속 블록도 이다. ADM에 입·출력으로 접속되는 west, east 및 tributary link의 데이터 용량은 각각 48채널의 51.84Mb/s 신호로서 2.5Gb/s의 용량이다. west 및 east의 링크는 2.5Gb/s(STM-16) 신호로 접속되고 tributary의 링크는 전송시스템의 구성에 따라 48 채

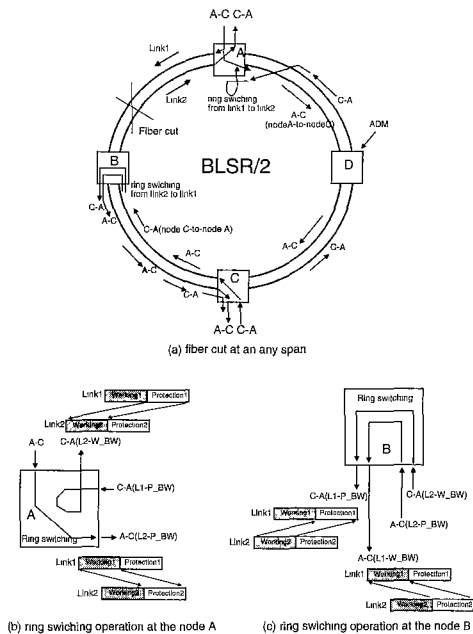


그림 2. 2-선 양방향 선로 스위칭 링의 자기치유동작

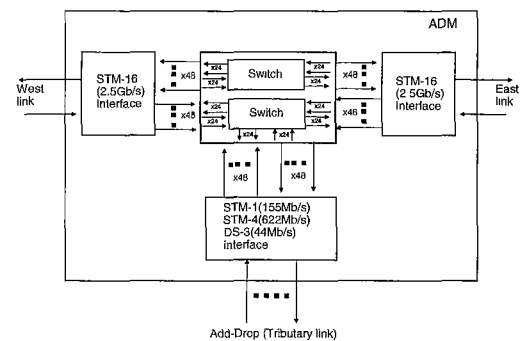


그림 3. 스위치 소자의 신호접속 블록도

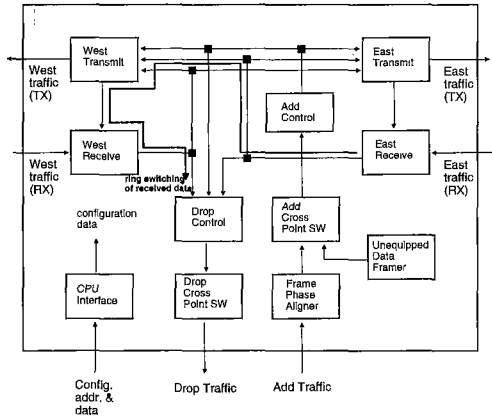


그림 4. 스위치 소자의 내부 구성도

널의 44.736Mb/s(DS-3) 혹은 16 채널의 155Mb/s (STM-1) 또는 4 채널의 622Mb/s (STM-4) 신호들로 접속된다. 결국 스위치 소자를 하나의 칩으로 설계할 때 요구되는 예상 I/O의 수는 288 pin 과 그 이외에 클럭, 프레임 동기신호, power, ground, 마이크로프로세서 인터페이스를 고려하면 300 pin 이상이 되므로 칩 패키지 이용의 어려움과 과다한 설계비용이 소요되므로 본 논문에서는 2개의 동일한 스위치 소자를 병렬구조로 사용하여 이를 해결하였다. 즉, 각 칩의 west, east 및 tributary 방향의 데이터 용량은 1.25Gb/s로 24 채널의 51.84Mb/s 데이터들이 각각 입·출력된다. 이는 하나의 스위치 소자가 처리하는 데이터 용량은 west, east, tributary 방향으로 각각 1.25Gb/s 용량으로 입·출력되지만 칩 내에서 처리되는 총 신호의 용량은 7.2Gb/s가 된다. 설계한 스위치 소자의 구조는 그림4에서와 같이 West 송/수신부, East 송/수신부, Add/Drop 제어부, 교차 스위치, 데이터 프레임 위상 정렬부, 마이크로프로세서 접속부 및 Unequipped data framer로 구성된다. 아울러 그림5에 스위치 소자의 세부 구성도를 나타내었다.

West 수신부는 정상동작 시 west link로부터 입력되는 24채널의 51.84Mb/s 신호들을 51.84MHz 클럭 신호로 리타이밍(retiming)한 후 전송망의 설정 형태 즉, 선형 혹은 단방향 경로 스위칭 링 혹은 2-선 양방향 선로 스위칭 링에 따라서 east through traffic이나 drop traffic으로 공급한다. 그러나 west link상에 장애가 생겼을 때 링 스위칭 루우백이 가능하도록 east link로부터의 west through traffic과 tributary link로부터의 west add traffic을 입력받아 자기치유를 위한 설정데이터에 의해 링 스위칭 루

우백 된다. 아울러 west link의 선로 시험용으로 west remote 루우프백이 수행되던 east through traffic과 west drop traffic의 모든 채널에 논리 값이 모두 'high'인 AIS(Alarm Indication Signal) 신호가 삽입되도록 하였다.

West 송신부는 정상동작 시 전송망의 설정 형태에 따라 East 수신부로부터 공급되는 west through traffic과 Add 제어부로부터 공급되는 west add traffic을 입력받아 설정데이터에 의해 해당 채널신호를 선택한 후 51.84MHz 클럭 신호에 의해 리타이밍하여 west transmit traffic으로 공급한다. 그러나 west link상의 장애 발생 시 링 스위칭 루우백이 가능하도록 West 수신부로 스위칭된 채널 신호들을 제공한다. 아울러 west link 선로 시험을 위한 west remote 루우백 신호를 입력받아 west transmit remote 루우백 신호로 공급한다.

East 송/수신부의 구성은 채널신호들의 전달방향만 다를 뿐 서로 대칭구조로서 각각 West 송/수신부와 동일하다.

Drop 제어부의 구성은 West 수신부로부터의 west drop traffic과 East 수신부로부터의 east drop traffic을 입력받아 전송망의 설정 형태에 따라서 해당 채널을 선택한 후 최종적으로 51.84MHz 클럭 신호에 의해 리타이밍하여 drop traffic 신호로 제공한다. 이 때 tributary link에서의 시험용 local 루우백 신호도 채널 별로 수신 할 수 있게 되어있다.

Add 제어부의 구성은 24×24 교차스위치(cross-point switch)로부터 add traffic을 입력받아 51.84MHz 클럭 신호로 리타이밍한 후 선형 혹은

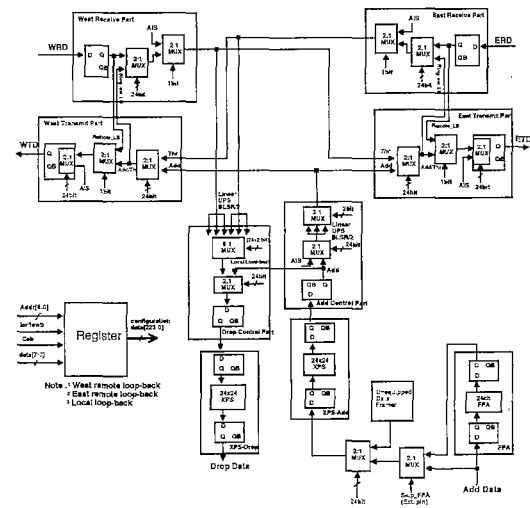


그림 5. 스위치 소자의 세부 구성도

단방향 경로 스위칭 링 혹은 2-선 양방향 선로 스위칭 링의 전송망의 구성형태에 따라 해당 채널 신호들을 West 송신부 및 East 송신부로 제공한다. 이 때 add traffic의 local 루우백 시험 시 up-stream으로 AIS 신호가 삽입될 수 있게 하였다. 이와 같이 west, east 및 add, drop 신호의 경로들은 전송 시스템이 전송망에 적용되는 구조에 따라서 시스템의 설정정보에 의해 물리적으로 연결된다. 즉 전송 시스템의 설정 모드가 선형 전송망 모드이거나 단방향 경로 스위칭 링 혹은 2-선 양방향 선로 스위칭 링 모드에 따라서 내부 채널 신호들의 연결이 달라지게 된다. 내부 신호들의 경로는 주로 멀티플렉서와 플립플롭들로 구성되는 회로에 의해 연결된다. 이들 내부 채널 신호들의 경로 제어 동작은 시스템 제어부인 마이크로 프로세서의 인터페이스에 의해 수행된다. 즉, 시스템 제어부의 8-bit 설정 데이터가 어드레스신호와 칩 선택신호, I/O 쓰기 신호에 의해 여러 번에 걸쳐 선택제어신호의 형태로 스위치 소자의 내부 레지스터에 저장된 후 마스터 신호에 의해 일시에 해당 채널들의 경로를 결정하게 된다. 하나의 마스터 신호의 활성화에 의한 내부 채널 신호들의 경로설정작업은 신호들의 경로변경이 ITU 권고안에 따라서 50ms이내에 수행되어야 하기 때문이다.^[8] 따라서 임의의 광선로 절단과 같은 장애가 발생할 때 자기치유동작은 내부 신호들의 흐름이 그림5에서와 같이 물리적으로 모든 가능한 경로로 연결되어 있기 때문에 가능하다.

한편 전송시스템의 tributary link로부터 입력되는 add traffic과 반대로 출력되는 drop traffic은 각각 24 채널의 51.84Mb/s 신호들이다. 이들 신호들은 DS-3 동축케이블에 의해서 최종적으로 연결되어 전송망에서 Add/Drop 되는 부분이므로 입·출력되는 신호들의 흐름이 Nonblocking 구조로 설계되어야 전송시스템이 가변성을 가질 수 있다. nonblocking 스위치 구조에 대해서는 많은 연구가 이루어져 왔고^[9] 가장 기본적인 구조가 3단 T(Time)-S(Space)-T(Time) 연결 구조이다. 즉 입력 및 출력단 노드는 TSI(Time Slot Interchange) 구조이고 중간단 노드는 TMS(Time Multiplexed Switch) 구조이다. 본 논문에서는 24 x 24 nonblocking 구조의 cross-point 스위치를 설계하기 위해서 24개의 24:1 MUX와 플립플롭들을 사용하여 1단 구조로 설계하였다. 각 해당 채널신호의 선택은 시스템 제어부의 설정 데이터에 의해 임의의 경로로 자유롭게 선택되기도 하며 bypass 모드 및 broadcasting 모드의 설정도

가능하다. 따라서 전송시스템의 tributary link에 접속되는 동축케이블의 위치를 변경시키지 않고 설정 데이터에 의해 소프트웨어적으로 변경 가능한 구조를 갖는다.

데이터 프레임 위상 정렬부는^[10] tributary link로부터 전송시스템으로 add 되는 24 채널의 51.84Mb/s 데이터들이 동선 전송 케이블로 접속되기 때문에 케이블 길이의 차이와 인쇄회로 기판상의 데이터 버퍼의 전파지연시간의 차이 등으로 인해 클럭과 데이터 경로 상에 시간적 편차인 skew가 존재한다. 이것은 각 채널들의 데이터 프레임 위상이 서로 다른 상태로 스위치 소자에 입력됨을 의미한다. 따라서 이들 신호들을 cross-point 스위치 블록에서 처리하기 전에 그 데이터 프레임 위상들을 일치시켜야 한다. 즉 전송케이블을 통해 프레임 위상 편이를 가지고 입력되는 add 신호들의 데이터 프레임 위상을 기준 프레임 동기신호(rfs)와 기준 동기클럭(rclk)에 의해서 프레임 동기 시켜 출력시킨다.

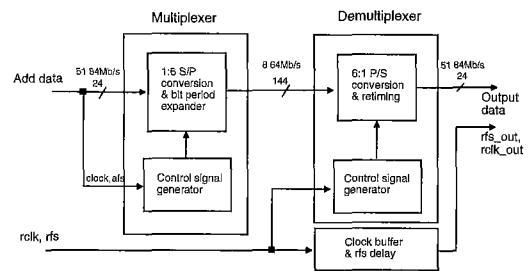


그림 6. 프레임 위상 정렬부

프레임 위상 정렬부는 그림6과 같이 먼저 24채널의 51.84Mb/s 입력데이터들을 1:6 직/병렬 변환을 수행하여 144채널의 8.64Mb/s의 저속신호들로 변환시키는 역다중화부와 다시 동기제어신호와 기준 동기 클럭신호에 의해 6:1 병/직렬 변환을 수행하여 최종적으로 동기 출력시키는 다중화부로 구성된다. 설계된 프레임 위상 정렬부의 frame phase margin은 -2/+3 bit time을 갖는다. 이것은 tributary link로부터 스위치 소자로 입력되는 24

채널의 51.84Mb/s 데이터들의 프레임 위상이 기준 프레임 위상보다 2-bit time(=38.4ns)만큼 빠르거나 3-bit time(=57.6ns)만큼 늦을 경우도 프레임 위상이 정렬될 수 있음을 의미한다.

마이크로 프로세서 접속부는 전송시스템이 전송망에의 적용 구조에 따라 configuration data를 쓰고

(provisioning), 읽는 기능을 수행한다. 이를 위해서 마이크로 프로세서 접속부는 address decoder, data register들로 구성된다. 그림7은 마이크로프로세서 접속부의 구성도이다. 7-bit address 신호와 chip enable, IOW/R 신호에 의해 slave enable 신호를 생성시켜 외부 8-bit 데이터 버스를 통해 configuration data를 순차적으로 slave register에 저장한다. 저장된 설정정보는 master enable 신호에 의해 latch 들로 구성된 master register에 동시에 write함 으로서 해당 채널신호들의 경로를 변경시킨다. 따라서 전송선로 상에 장애가 발생했을 때 해당 신호들이 복구될 수 있도록 add, drop, pass through, loop-back등으로 스위치 소자의 설정 상태를 변경시켜 신호들의 새로운 경로를 제어한다. 이와 같은 신호들의 자기치유동작은 스위치 소자의 데이터 레지스터에 새로운 설정 데이터를 외부 데이터 버스를 통해 써넣음으로써 이루어진다.

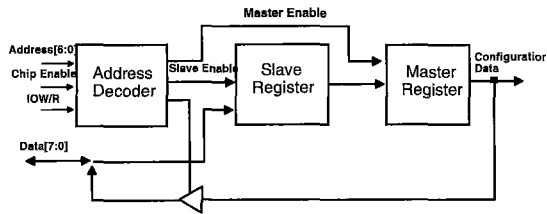


그림 7. 마이크로프로세서 접속부

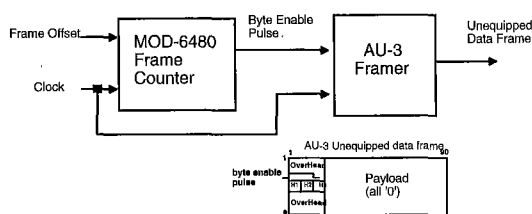


그림 8. 비장착 데이터 프레임

Unequipped data framer는 ITU-T 권고인^[11]에 따라서 전송시스템의 tributary link에 접속되는 종속 unit가 장착되지 않을 때 특정한 형태의 데이터 프레임을 생성시켜 up-stream으로 전송하여 전송망의 효율적인 관리를 가능하게 한다. 그림8은 Unequipped data framer부의 구성과 데이터 프레임의 형태를 보여준다. STM(Synchronous Transfer Mode)은 125 μ s(8kbit rate) 마다 반복되는 데이터 프레임 구조를 갖는다. STM의 하위신호계위인 AU-3 (51.84Mb/s) 데이터 프레임은 9 rows, 90 columns

의 byte 프레임 구조로 frame 당 9 \times 90 \times 8 bits = 6480 bits로 구성된다. 이 중 유료부하(payload)의 시작점을 나타내는 포인터(pointer) H1, H2 byte 자리에 '01101000', '00000000'의 값을 써넣음으로써 unequipped data frame을 구성한다. 따라서 frame offset 신호를 입력으로 하여 MOD-6480 frame counter 회로로부터 해당 H1, H2 byte의 byte enable 신호를 생성시켜 unequipped data frame를 형성시킨다.

IV. 시험결과

제작된 스위치 소자의 성능을 평가하기 위하여 2.5Gb/s 광전송시스템과 Anritsu사의 ME3401A Digital transmission analyzer를 이용하여 시험장치를 구성하였다. 그림9는 이의 시험 구성도 이다. 그림에서와 같이 ME3401A에서 출력되는 scrambled PRBS(Pseudo Random Bit Stream) 패턴의 DS-3 신호가 전송시스템의 Tributary interface unit에서 AU-3 (51.84Mb/s) 신호로 변환된 후 스위치 소자에 하나의 입력 데이터 채널로 입력된다. 이후 다중화 과정을 거쳐 STM-16(2.5Gb/s) 신호가 생성되고 광 송신 모듈(OTX)에 의해 광 신호로 변환된 후

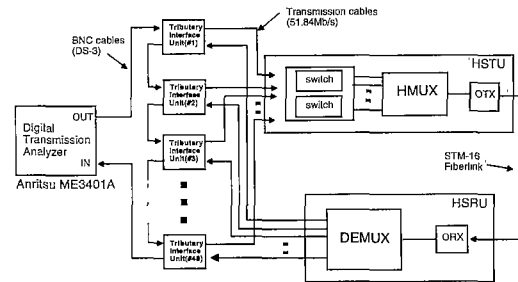


그림 9. 스위치 소자의 시험 구성도



그림 10. 스위치 소자의 측정된 입출력 파형

광케이블로 전송된다. 이 신호는 전송시스템내의 고속 신호 수신 유니트(HSRU)로 다시 입력된 후 광 수신 모듈(ORX)의 광·전변환과 역다중화의 과정을 거쳐 AU-3 신호로 재 변환된 후 Tributary interface unit를 통해 DS-3 신호로 다시 바뀐다. 이 신호를 ME3401A 계측기에 연결하여 채널별로 스위치 소자의 입출력 데이터를 측정 비교하였다. 임의의 특정 채널의 입·출력 데이터를 일정시간동안 측정하여 BER(Bit Error Ratio)을 검사한 결과 $10^{-11} \sim 10^{-12}$ 정도로 양호한 특성을 얻었다. 이는 2.5Gb/s 광전송시스템이 요구하는 규격을 만족시키는 결과이다. 그림10은 광선로 절단과 같은 장애가 발생했다고 가정하여 스위치 소자의 설정 상태를 변경시킨 후 임의의 특정 채널에서의 입·출력 데이터를 Tektronix사의 DSA601A Digital signal analyzer로 측정한 결과의 일부이다. 이 경우 채널상의 에러가 발생하지 않아 즉시 복구가 가능함을 보여 주었다. 이러한 결과는 광선로 절단이나 기타 다른 이유로 선로 상의 BER이 10^{-7} 이하로 낮아질 때 스위치 소자의 선로 스위칭 동작으로 정상상태의 BER 수준으로 회복시켜 전송로의 생존율을 높일 수 있다. 아울러 설계 제작된 스위치 소자는 west, east, tributary의 48 채널의 AU-3 (51.84Mb/s) 양방향 link중 절반 용량인 24 채널의 AU-3(51.84Mb/s) 신호를 처리하므로 링크 당 한 방향 신호 처리율은 1.25Gb/s이다. 따라서 STM-16(2.5Gb/s 용량) 신호를 처리하기 위해서는 2개의 스위치 소자가 요구된다. 이 경우 2개의 스위치 소자로부터 출력되는 모두 48 채널의 AU-3 경로 제어된 데이터들이 이후 고속 송신 unit에서 다중화될 때, 단지 하나의 master 클럭 신호에 의해서 retiming 되기 때문에

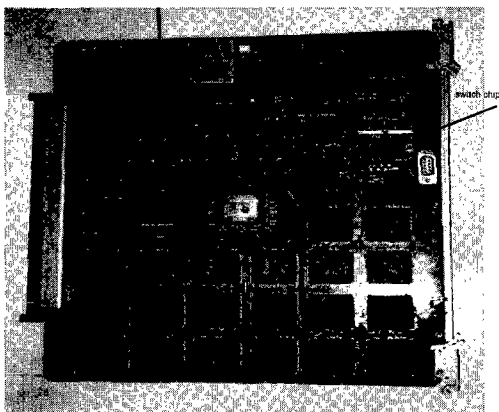


그림 11. 스위치 소자가 장착된 Add/Drop 제어 유니트

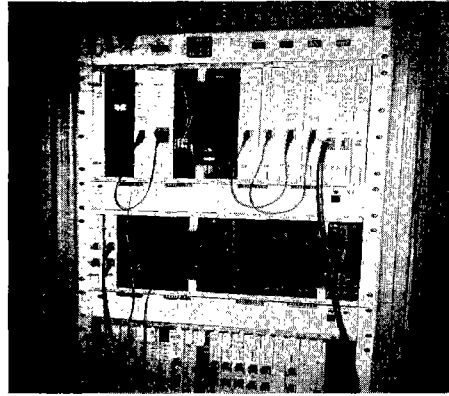


그림 12. 자기치유동작 시험중인 2.5Gb/s 광전송 시스템

채널 데이터들간의 skew와 스위치 소자간의 skew도 중요하게 고려되어야 한다. 제작된 하나의 스위치 소자에서 측정된 출력 데이터들간의 skew와 2개의 스위치 소자간 skew는 약 2.0~3.0 ns 이하로 측정되어 retiming을 위한 master 클럭의 bit time이 19.2 ns임을 감안하면 2개의 스위치 소자의 병렬 적용에는 큰 문제가 없었다. 나아가 이론적으로 4개, 6개, 8개 이상의 동일한 스위치 소자를 병렬 구조로 사용하여 5.0Gb/s, 7.5Gb/s, 10Gb/s의 스위칭 용량을 갖는 스위치 소자를 구현할 수 있음을 의미한다. 이상의 시험결과를 표1에 요약하였다. 그림11은 본 논문에서 설계 제작된 자기치유 공간분할 스

표 1. 시험결과 요약

계측기 입·출력신호	23단 scrambled PRBS DS-3
스위치소자 입·출력신호	51.84Mb/s(AU-3)
측정된 BER	$10^{-11} \sim 10^{-12}$
스위치소자간, 채널간 data skew	2.0 ~ 3.0ns
선로스위칭시간	50ms

표 2. 칩 요약

Technology	0.8 μ m CMOS gate-array
Function	Self-healing operations for Linear ADM chain, UPSR, and BLSR/2
TSI level	51.84Mb/s(AU-3)
I/O	51.84Mb/s \times 24ch \times 3groups
Gate size	26,550 gates
Throughput	1.25Gb/s / link
Power supply	+5.0V
Power dissipation	under 2.0W
Package	240 pin MQFP

위치 소자가 적용된 Add/Drop control unit 보드를 보여주고 그림12는 스위치 소자가 적용된 시험중인 2.5Gb/s 광전송시스템의 사진이다. 설계 제작된 스위치 소자의 특성은 표2에 요약하여 나타내었다.

V. 결론

SDH 전송망의 ADM 광전송시스템에 적용되어 전송로의 자기치유동작을 가능하게 하는 스위치 소자를 0.8 μ m CMOS gate array를 사용하여 설계 및 제작하였다. 이 소자는 ADM 전송시스템이 선형 전송망뿐 아니라 단방향 경로 스위칭 링과 2-선 양방향 선로 스위칭 링과 같은 환형 전송망에도 적용될 수 있는 구조로 설계되었다. 이 소자의 주요한 기능은 2-선 양방향 선로 스위칭 링 상에 임의의 광선로 장애가 발생 할 때 ADM 전송시스템의 자기치유동작을 가능하게 하여 전송망에서의 데이터 생존율을 높일 수 있는 이점이 있다. 설계 제작된 소자의 처리용량은 1.25Gb/s이나 2개의 동일한 소자를 병렬구조로 사용함으로 2.5Gb/s의 신호를 처리 할 수 있다.

참 고 문 헌

[1] Shiro Kikuchi and Naoaki Yamanaka, "An Expandable Time-Division Circuit Switching LSI and Network Architecture for Broadband ISDN", *IEEE Journal on Selected Areas in Communications*, vol. 14, no. 2, pp. 328-336, Feb. 1996

[2] Robert L. Pawelski, "A Multimedia STM Switch Prototype", *IEEE Journal on Selected Areas in Communications*, vol. 14, no. 2, pp. 317-327, Feb. 1996

[3] T. H. Wu, "Fiber Network Service Survivability", Artech house, 1992

[4] Peter F. DeDuck and Steven R. Johnson, "The FT-2000 OC-48 Lightwave System", *AT&T Technical Journal*, pp. 14-22, Jan./Feb. 1992

[5] 강안구, 최한규, 김지흥, 김광현, 김호진, 조규섭, "완전 광전달망에서 BLSR/4 WDM/SHR의 설계 및 성능 분석", *한국통신학회논문지*, vol. 24, no. 10B, pp. 1832-1840, 1999

[6] Masahiro Takatori et al., "A High Performance Switch for OC-12 SONET Self-Healing Ring

Networks", *IEEE Journal on Selected Areas in Communications*, vol. 14, no. 2, pp. 353-361, Feb. 1996

[7] 이상훈, "단방향 경로 스위칭 링을 위한 경로 제어 스위치 소자", *한국통신학회논문지*, vol. 24, no. 8A, pp. 1245-1251, 1999

[8] ITU-T Recommendation G.841, "Types and Characteristics of SDH Network Protection Architectures", 1997

[9] C. Clos, "A Study of Non-blocking Switching Networks", *Bell System Tech. Journal*, vol. XXXII, pp. 406-424, Mar. 1953

[10] 이상훈, 성영권, "SDH 동기식 전송시스템의 디지털 프레임 위상 정렬기", *대한전자공학 회 논문지*, 제34권, S편 12호 pp. 10-18, 1997

[11] ITU-T Recommendation G.707, "Network Node Interface for The Synchronous Digital Hierarchy", 1995

이 상 훈(Sang-hoon Lee) 정회원



1984년 2월 : 고려대학교 전기 공학과 졸업
 1987년 8월 : 고려대학교 전기 공학과 석사
 1998년 2월 : 고려대학교 전기 공학과 박사

1987년 9월~1991년 1월 : 삼성전자(주)
 1991년 1월~1995년 3월 : 한국전자통신연구원
 1995년 3월~2001년 2월 : 한서대학교 전자공학과
 조교수
 2001년 3월~현재 : 경남대학교 전기전자공학부
 조교수
 <주관심 분야> 디지털시스템, FPGA, ASIC설계

김 성 진(Seong-jeen Kim) 정회원



1983년 2월 : 고려대학교 전기 공학과 졸업
 1985년 2월 : 고려대학교 전기 공학과 석사
 1993년 8월 : 고려대학교 전기 공학과 박사

1994년 3월~현재: 경남대학교 전기전자공학부 부
교수, 공업기술연구소 산학연컨소시엄
센터장
<주관심 분야> 반도체소자, 반도체 센서