

ADSL G.LITE 모뎀을 위한 주파수 영역 프로세서의 설계

정회원 고우석*, 김준석**, 고태호**, 윤대희*

Frequency Domain Processor for ADSL G.LITE Modem

Woo-Suk Ko*, Joon-Seok Kim**, Taiho Ko**, Dae-Hee Youn* *Regular Members*

요약

ADSL G.LITE 모뎀이 수행하는 주파수 영역의 연산과정에서 하향링크에 대한 FFT 과정과 FEQ 과정은 가장 많은 연산량을 차지하는 부분이며, 이를 효율적으로 구현하기 위한 연구들이 수행되었다. 기존의 연구는 ADSL G.DMT 방식에 적합한 시스템으로서 G.LITE에 그대로 적용하기에는 부적합하다. 본 논문에서는 주파수 영역의 연산과정을 분석하고, 하드웨어 자원 할당에 따른 시스템의 효율성을 분석하여 G.LITE 방식에 적합한 프로세서의 구조를 제안하였다. 제안된 프로세서는 1개의 실수 곱셈기와 2개의 실수 덧셈기를 병렬로 연결한 구조를 가지며, 파이프라인 형태 및 병렬연산 형태의 작업 스케줄링을 통해 효율적으로 연산을 수행할 수 있도록 설계되었다. 제안된 프로세서는 Kiss가 제안한 ALU 구조나 Wang이 제안한 FFT/IFFT 프로세서 구조에 비해 적은 하드웨어 자원을 이용하여 연산과정을 효율적으로 수행함으로써 G.LITE 시스템에 적합한 구조를 갖는다.

ABSTRACT

Among the operations in frequency domain for ADSL G.LITE Modem to perform, FFT and FEQ are most computation-intensive part, of which many researches have been focused on the efficient implementation. Previous papers suggested hardwares suitable for ADSL G.DMT system, which is not feasible for simple G.LITE system. The analysis of frequency domain operations and computational efficiency according to the allocation of hardware resources is performed in this paper. The suggested processor has the structure of one real multiplier and two real adders connected in parallel, which can perform the operations efficiently through the pipeline- and/or parallel-type job scheduling. The suggested processor uses less hardware resources than Kiss's ALU structure or FFT/IFFT processor suggested by Wang, so the suggested one is more suitable for G.LITE system than previous works.

I. 서론

최근에 인터넷과 멀티미디어 서비스에 대한 요구가 급증함에 따라 이를 수용하기 위한 초고속 통신망에 대한 필요성이 증가하고 있다. ADSL (Asymmetric Digital Subscriber Line) 시스템은 기존의 아날로그 음성 전화선을 이용하여 고속의 데이터 전송을 가능하게 하는 기술로서, 완전한 광 통신망 서비스가 실현되기 이전에 적은 초기 투자비용으로 고속의 디지털 통신을 가능하게 하는 전송

기술로 평가받고 있다.

ADSL은 다중캐리어 방식인 DMT (Discrete Multi-Tone) 변조방식에 기반하고 있다. DMT 방식은 여러 개의 직교채널 신호들을 중첩하여 전송하는 방식으로, 좁은 대역폭을 갖는 채널을 통해 많은 정보량을 전송할 수 있는 장점을 가지고 있다. ADSL은 ITU-T에 의해 splitter 사용을 전제로 하는 G.DMT 표준과 splitter를 필요로 하지 않는 G.LITE 표준이 제정되었다^[1-2]. G.LITE는 하향채널로 최대 1.544Mbps의 전송속도를 제공하며, splitter

* 연세대학교 전기전자공학과 미디어·통신 신호처리 연구실(kws@mcs.p.yonsei.ac.kr), ** (주) InTime
 논문번호 : 010103-0518, 접수일자 : 2001년 5월 18일

를 설치할 필요가 없으므로 초기 설치비용 절감이라는 측면에서 G.DMT보다 유리한 ADSL 방식이다.

ADSL 모뎀이 수행하는 연산중에서 DMT 변조 및 복조를 위한 IFFT(Inverse FFT)와 FFT 과정은 많은 연산량을 차지하는 부분중의 하나이다. 또한 전송채널에 의한 신호의 크기 및 위상 왜곡을 주파수 영역에서 보상하므로, FFT 과정과 주파수 영역 등화과정을 하나의 모듈에 할당하여 수행하도록 하는 것이 하드웨어적으로 효율적이다. 이러한 과정들을 효율적으로 수행하도록 모뎀을 설계하는 것은 ADSL 시스템의 복잡도를 결정하는 중요한 요소이며, 이를 위해 많은 연구들이 수행되어 왔다^[3-7].

그러나 기존의 연구들은 ADSL G.DMT에 적합한 시스템을 제안하였으므로, 비교적 단순한 구조를 갖는 ADSL G.LITE에 이러한 시스템을 그대로 적용하는 것은 하드웨어 지원 활용면에서 부적합하다. 또한 G.LITE는 splitter를 사용하지 않으므로 데이터를 전송하는 중에도 채널의 전송특성을 계속 추정하고 있어야만 한다. 전송특성은 주파수 영역에서 추정할 수 있으므로, 주파수 영역 등화과정의 일부로서 구현되는 것이 효율적이다.

본 논문은 ADSL G.LITE 모뎀의 구현에 적합한 주파수 영역 프로세서의 구조를 제안하고 설계하였다. 제안된 프로세서는 가입자 측 모뎀이 수행해야 할 주파수 영역의 연산과정을 모두 수행하며, 채널의 전송특성 추정을 고려하여 G.LITE 시스템에 적합하도록 최적화되었다. 기존의 Kiss^[3-4], Wang^[5-6]이나 Glokler 등의 연구에 비해서, 제안된 시스템은 적은 하드웨어 자원을 사용하여 효율적으로 주파수 영역의 데이터들을 처리하도록 설계되었으며, 병렬로 연결된 연산기들을 병렬연산 또는 파이프라인의 형태로 사용함으로써 연산수행시 하드웨어 자원의 활용률을 높이도록 설계되었다.

논문의 구성은 다음과 같다. 2장에서는 G.LITE 모뎀이 수행하는 주파수 영역의 연산과정에 대해 설명하고, 3장에서는 제안된 프로세서의 구조 및 동작에 대해서 설명한다. 4장에서는 설계된 시스템의 성능검증 및 효율성에 대해 논하고, 끝으로 본 연구의 결론을 5장에 나타내었다.

II. 주파수 영역 연산과정

G.LITE 모뎀이 주파수 영역에서 수행하는 연산 과정은 그림 1과 같다. 먼저 하향채널에 대해서는

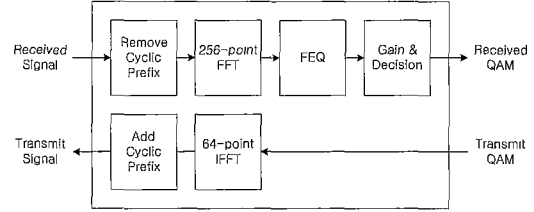


그림 1. ADSL G.LITE 시스템의 주파수 영역 연산과정

보호구간내의 cyclic prefix를 제거한 후, FFT 연산과 전송채널에 의한 왜곡을 보상하는 FEQ (Frequency-domain Equalization) 과정을 수행한다. 이렇게 얻은 정규화된 QAM (Quadrature Amplitude Modulation) 신호는 그 크기를 복원하여 신호에 대한 판정을 내리면 전송된 QAM 신호를 얻는다. 상향채널에 대해서는 전송할 QAM 신호에 대해 IFFT를 수행하고 cyclic prefix를 첨가한다. 앞서 설명했듯이 채널의 전송특성 추정은 FEQ 과정의 일부로서 효율적으로 구현될 수 있다.

2-1. FFT 및 IFFT 과정

하향채널에 대해 수행하는 FFT 과정은 G.LITE 모뎀이 주파수 영역에서 수행하는 전체 연산과정중에서 가장 많은 연산량을 차지하는 부분으로서, 실시간으로 동작하기 위해서는 이 연산을 고속으로 수행하는 것이 필수적이다. 또한 시간 영역의 신호는 실수값을 갖는 반면 주파수 영역의 신호는 복소수값을 가지므로, 일반적인 complex FFT보다는 real-valued FFT 알고리즘을 사용하여 연산량을 감소시키는 것이 효율적이다.

제안된 시스템이 채택한 FFT 알고리즘은 입력 데이터를 실수값으로 갖는 이러한 특성을 이용하여 complex FFT 알고리즘의 연산량을 정확히 절반으로 감소시킨 real-valued FFT 알고리즘을 사용하였다^[10]. FFT 과정은 전체 연산량의 대부분을 차지하므로 고속의 전용 하드웨어 로직에 할당하여 구현하는 것이 효율적이며, 이러한 관점에서 채택된 알고리즘이 갖는 장점은 다음과 같다. 우선 decimation-in-time 알고리즘의 규칙적인 연산구조를 가지므로 하드웨어 설계시 복잡도를 감소시키며, IFFT 과정을 수행할때에도 같은 연산구조를 사용하여 decimation-in-frequency 알고리즘 형태로 구현될 수 있으므로, 상향채널에 대해 수행하는 IFFT 과정도 동일한 모듈로서 효율적으로 구현할 수 있다.

2-2. FEQ 과정 및 신호판정

하향링크 신호를 FFT하여 얻은 QAM 신호는 전송채널에 의해 크기 및 위상이 왜곡되어 있으므로, 각 직교채널의 전송특성에 무관하게 신호에 대한 판정(decision)을 내리기 위해서는 이러한 왜곡을 보상하여야 한다. 일반적으로 주파수 영역에서 왜곡을 보상하는 등화과정은 1-tap FIR 필터로서 구현되며, 필터의 계수는 전송채널의 특성에 따라 갱신된다. 제안된 시스템이 사용한 계수갱신 알고리즘은 직교 채널 당 수렴성을 동일하게 만들기 위해서 정규화된 LMS 알고리즘을 사용하였다.

사용된 LMS 알고리즘이 기준신호(desired signal)로서 삼는 것은 ADSL 시스템의 전송모드에 따라 달라지는데, 초기화 모드에서는 정해진 랜덤신호를 사용하고, 데이터 전송모드에서는 수신된 신호에 대해 판정을 내린 값을 사용한다^[1-2]. 수신된 신호에 대한 판정을 내리기 위해서는 직교채널 당 할당된 비트수에 무관하게 송신단에서 정규화시킨 QAM 신호의 크기를 복원해주어야 한다.

2-3. 전송특성 추정

ADSL G.Lite 시스템은 splitter를 사용하지 않는 경제적인 이점을 갖는 대신 채널의 전송특성에 최적화된 시스템의 성능을 유지하기 위해서, 전송채널의 특성을 항상 파악하고 있어야 한다^[1-2]. 직교채널 당 전송된 데이터에 대한 판정오차를 잡음신호로 간주하고 전송된 신호와의 전력비를 나타낸 NSR (Noise-power to Signal-power Ratio) 값은 채널의 전송특성을 나타낼 수 있는 중요한 정보이다. 이때 판정오차는 FEQ 과정을 위한 FIR 필터의 출력신호와 기준신호와의 차이에 해당하므로, 전송특성을 추정하기 위해 NSR 값을 구하는 과정은 FEQ 과정의 일부로서 효율적으로 구현될 수 있다.

주파수 영역 프로세서의 성능은 하향링크에서 신호판정에 대한 오차확률로서 나타낼 수 있다. 신호판정 과정은 신호크기가 복원되고 채널 왜곡이 보상된 시스템의 최종 출력 QAM 신호를 대상으로 한다. DMT 시스템에서 오차확률은 다음과 같은 식으로 나타낼 수 있다^[11].

$$P_E \leq 4 \cdot Q\left(\frac{d_{\min}}{2\sigma}\right) \tag{1}$$

where $Q(x) = \frac{1}{\sqrt{\pi}} \int_{x/\sqrt{2}}^{\infty} \exp(-u^2) du$

여기서 d_{\min} 은 신호 성상도(constellation diagram)에서 QAM 신호간의 최소 거리를 나타내고, 수신단의 평균 잡음전력은 $2\sigma^2$ 이다. 이때 ADSL 시스템

의 데이터 전송모드에서 오차확률을 결정하는 $d_{\min}/2\sigma$ 값과 신호판정 오차에 따른 NSR 값의 관계는 다음과 같다.

$$NSR = \frac{3}{(2^b - 1)} \cdot \left(\frac{2\sigma}{d_{\min}}\right)^2 \tag{2}$$

이때 b는 직교채널당 전송특성을 고려하여 할당된 비트수를 나타낸다. 따라서 채널의 전송특성을 추정하기 위해서 구하는 NSR 값은 오차확률 성능과 G.LITE 시스템의 전송 재초기화의 여부를 결정하는 중요한 요소가 된다.

III. 주파수 영역 프로세서 설계

3-1. 연산량 분석 및 하드웨어 자원 할당

사용자 측 G.LITE 모델이 주파수 영역에서 수행해야 하는 연산과정에 따른 연산량 분석을 표 1에 나타내었다. 표 1에 나타난 연산량은 한 개의 ADSL 심볼에 대해 수행해야할 연산량으로서, 하드웨어 자원의 할당을 결정하기 위해 실수곱셈, 실수 덧셈과 데이터를 읽고 쓰기 위해서 메모리를 액세스하는 횟수를 나타내었다. 표 1에서 보듯이 FFT 과정이 전체 연산량의 약 53% 정도를 차지하며, FEQ 및 신호판정 과정은 약 34%, IFFT 과정이 약 11% 정도의 연산량을 차지함을 알 수 있다. 또한 FFT 및 IFFT 과정은 메모리 액세스가 곱셈 및 덧셈연산과 거의 같은 비중을 차지하는 연산 특성을 갖는 반면, FEQ 및 신호판정 과정은 곱셈 및 덧셈 연산이 연산량의 대부분을 차지함을 알 수 있다.

상대적으로 메모리 액세스가 많은 FFT 과정을 고속으로 수행하기 위해서는 듀얼 액세스가 가능한 메모리나 기본적으로 할당할 수 있는 메모리 자원보다 2배 많은 메모리를 할당함으로써 연산속도를 증가시킬 수 있다. 그러나 이러한 방법은 하드웨어 설계면적을 증가시키거나 값비싼 자원을 사용함으로써 전체 시스템의 비용을 증가시킨다. 또한 전체 연산량의 약 34% 정도를 차지하는 FEQ 및 신호판정

표 1. 주파수 영역의 연산과정 연산량 분석

연산과정	실수 곱셈	실수 덧셈	메모리 액세스	총 횟수
256-point FFT	1,538	2,308	4,096	7,942
FEQ & Decision	2,520	1,440	1,200	5,160
64-point IFFT	252	571	890	1,713

표 2. 연산기 자원 할당과 연산량 분석

연산기 자원 할당	연산기수행 사이클	메모리엑세스 사이클	총 사이클
곱셈기 1개 덧셈기 1개	7,080	6,510	8,826
곱셈기 1개 덧셈기 2개	6,276	6,510	7,620
곱셈기 2개 덧셈기 2개	4,582	6,510	6,766

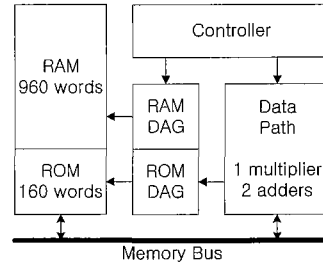


그림 2. 주파수 영역 프로세서의 구조

과정에 대해서는 하드웨어 자원의 활용률이 급격히 떨어져서 효율적인 시스템을 구성할 수 없다. 이에 제안한 시스템은 기본적으로 할당할 수 있는 메모리 자원만을 사용하여, FFT 및 IFFT 과정의 경우 in-placement 방식의 알고리즘을 택함으로써 설계면적을 감소시켰다.

In-placement 방식을 사용했을 때, 주파수 영역의 연산과정을 수행하기 위해서 할당된 실수 곱셈기와 실수 덧셈기의 개수에 따라 소요되는 동작 사이클 수를 표 2에 나타내었다. 표에서 보듯이 연산기를 할당하는 방식에 따라 연산을 수행하는 사이클이 달라지지만, 데이터를 읽고 쓰기 위해 메모리를 액세스하는 사이클은 일정함을 알 수 있다. 따라서 메모리를 액세스하는 동작 사이클동안 할당된 연산기를 효율적으로 활용하는 것이 시스템의 효율성을 결정짓는 요소라고 할 수 있다.

표 2를 보면 곱셈기와 덧셈기를 각각 1개씩 할당하는 경우는 연산기가 소모하는 사이클 수가 더 많아 전체 연산량을 증가시키며, 각각 2개씩을 할당하는 경우는 메모리를 액세스하는 동안 연산기의 활용률이 떨어짐을 알 수 있다. 따라서 곱셈기 1개와 덧셈기 2개를 할당하는 경우가 메모리 액세스 사이클동안 연산기를 가장 효율적으로 활용하는 경우이며, 본 연구에서도 이를 적용하여 설계하였다.

3-2. 시스템 구성

본 논문에서 제안한 주파수 영역 프로세서의 전체 시스템 구성은 그림 2와 같다. 프로세서는 크게 제어모듈(controller), 연산모듈(data path), 주소 발생기(DAG : Data Address Generator) 모듈, 그리고 16비트 워드길이를 갖는 메모리로 구성되어 있다. 연산 모듈은 앞서의 분석을 바탕으로 1개의 실수 곱셈기와 2개의 실수 덧셈기가 병렬로 연결되어 있는 구조를 가지고 있다. 주소발생기 모듈은 연산을 수행할 데이터에 대한 주소를 발생시키며, RAM

과 ROM에 대해서 각각 하나씩 동작한다. 제어 모듈의 경우 전체 시스템이 적절한 동작을 수행하도록 다른 모듈에 대한 제어워드를 발생시키며, 작은 설계면적을 가지고 효율적인 동작을 하도록 FSM (Finite State Machine)으로 설계되었다.

3-3. 프로세서 동작

제안된 프로세서의 내부 모듈중에서 연산모듈의 세부구조를 그림 3에 나타내었다. 그림에서 보듯이 연산모듈은 1개의 실수 곱셈기와 2개의 실수 덧셈기가 병렬로 연결된 구조를 가진다. 이러한 구조를 가짐으로써, 제어모듈이 파이프라인 형태와 병렬연산 형태의 작업 스케줄링을 수행하여 제어워드를 발생시키면, 연산모듈은 하드웨어 자원을 각 연산과정에 맞게 효율적으로 활용할 수 있다. 연산모듈은 FFT와 IFFT 과정의 경우 1개의 버터플라이 연산을 8 사이클 안에 수행하며, FEQ와 신호판정 과정은 직교채널당 평균 21 동작 사이클 안에 모두 수행한다.

PRD Gen 로직은 전송 초기화 모드에서 FEQ 과정을 수행하는 FIR filter의 기준신호로 삼는 정해진 랜덤신호를 발생시키는 로직이고, Decision 로직은 신호크기가 복원된 QAM 신호에 대해서 판정을 내리는 로직이다. 모든 연산결과는 레지스터에 의해 래치(latch)되도록 하였으며, 곱셈기의 경우 시스템이 적은 하드웨어 면적에서 높은 주파수로 동작할 수 있도록 2단계 파이프라인 곱셈기(2-stage pipelined multiplier)를 사용하였다.

제안된 프로세서가 사용하는 FEQ 필터계수 갱신 알고리즘은 정규화된 LMS 알고리즘이므로, 프로세서는 입력 신호를 신호의 에너지로 나누어서 정규화시켜야 한다. 그러나 나눗셈 연산은 하드웨어로 구현하였을 때 설계면적을 많이 차지하므로, 제안된 프로세서는 미리 계산된 에너지 값의 역수를 ROM 테이블로 저장하는 방식으로 구현하였다. 이때 신호

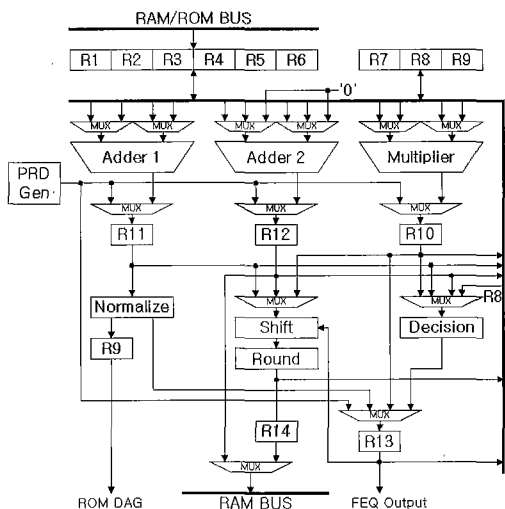


그림 3. 주파수 영역 프로세서의 연산모듈 구조

의 에너지는 다이내믹 레인지가 크므로, 정규화시킨 값의 가수를 테이블의 주소로 삼아 정확도를 높여 도록 설계하였다. 그림 3의 Normalize 로직은 이러한 정규화 과정을 수행하는 로직이며, 출력 가수값은 ROM을 액세스하기 위한 주소로서 사용된다.

IV. 실험 및 결과

4-1. 실시간 검증

설계된 시스템의 동작주파수는 ADSL 시스템 하향링크 신호의 샘플링 주파수 1104 kHz의 32배에 해당하는 35.328 MHz로 삼았다. 따라서 신호 샘플 구간당 32 사이클의 동작시간이 주어지며, 심볼구간에 대해서는 cyclic prefix가 첨가된 ADSL 심볼의

표 3. 주파수 영역 연산과정별 연산량 분석

연산과정		동작사이클 수
256-point FFT		4,096
FEQ	전송 초기화 모드	2,318
	cyclic prefix 첨가 안됨	
	전송 초기화 모드	2,562
	cyclic prefix 첨가됨	
데이터 전송 모드		2,806
하향링크 데이터 입출력		512
64-point IFFT		962
상향링크 데이터 입출력		128
합계 / 사용가능한 사이클 수	전송초기화 모드	8,138 / 8,192
	데이터전송 모드	8,504 / 8,704

경우 8,704 사이클, 첨가되지 않은 심볼의 경우 8,192 사이클이 연산을 수행할 수 있는 사이클 수가 된다. 다음 표 3은 설계된 주파수 영역 프로세서가 수행하는 각 연산과정과 수행하는데 소모되는 동작 사이클 수를 나타낸다.

표 3에서 하향링크에 대한 256-point FFT가 전체 연산량의 약 47% 정도로서 가장 많은 연산량을 차지하고, FEQ 과정이 약 32% 정도의 연산량을 차지하며, 이것은 표 1의 연산량 분석과 거의 일치함을 알 수 있다. 표에서 보듯이 설계된 프로세서는 ADSL 시스템의 전송초기화 모드와 데이터 전송 모드에서 모두 실시간으로 동작함을 확인할 수 있다.

4-2. 전송특성 추정

설계된 시스템이 데이터 전송 모드에서 추정한 NSR 값은 그림 4~7과 같다. 실험은 표준안이 고려하는 16개의 테스트 선로를 모델링하여 수행되었으며, 그림 4~7은 대표적인 특성을 나타내는 4개의 테스트 선로에 대한 실험결과를 나타내고 있다. 그림에서 보듯이 부동소수점 모의실험 결과와 설계된 시스템의 NSR 추정 결과가 비슷한 성능을 보여줌으로, 설계된 프로세서의 워드길이(wordlength)는 16비트로 충분함을 확인할 수 있다. 이때 수행된 실험은 채널에 유입되는 외부잡음을 고려하지 않았으며, 전송채널 왜곡에 의한 신호관정 오차만을 고려하였다.

4-3. 설계 면적

설계된 프로세서는 실수 곱셈기 1개와 실수 덧셈기 2개를 사용하는 연산모듈을 가지며, FFT나 IFFT 과정의 복소 버터플라이 연산을 수행하는데 8 동작 사이클이 소요된다. 이것은 Kiss 등이 [3-4]에서 제안한 2개의 곱셈기를 사용하는 ALU (Arithmetic &

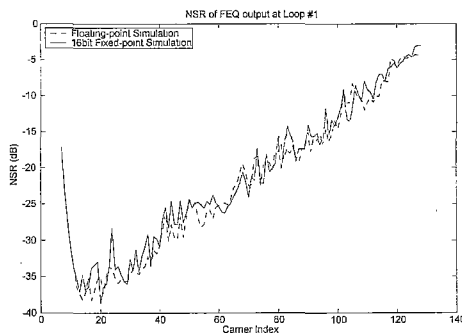


그림 4. 테스트 선로 #1에 대한 NSR 추정

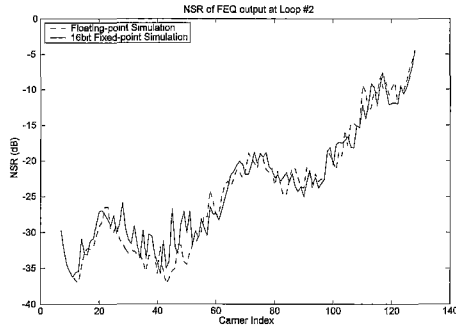


그림 5. 테스트 선로 #2에 대한 NSR 추정

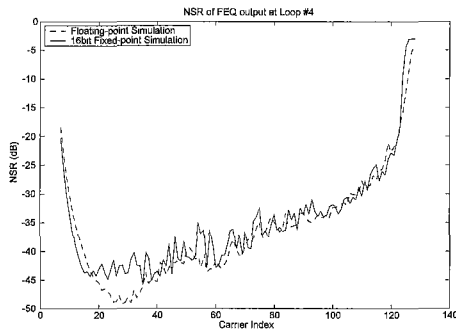


그림 6. 테스트 선로 #4에 대한 NSR 추정

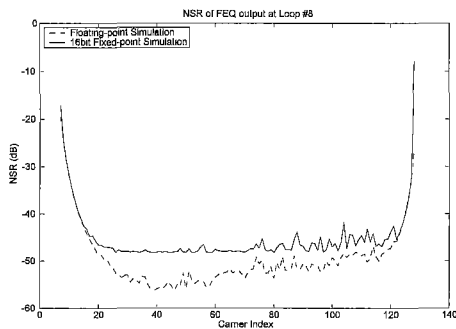


그림 7. 테스트 선로 #8에 대한 NSR 추정

표 4. 설계된 프로세서의 합성결과

모 들	게이트(gate) 수	최대지연 시간(ns)
연산 모듈	10,408	12.76
주소 발생 모듈	1,777	6.46
제어 모듈	4,449	7.58
합 계	16,634	12.76

Logic Unit) 구조나, [5-6]의 1개의 실수 곱셈기와 3개의 실수 덧셈기를 사용하는 Wang과 Chang의 FFT/IFFT 프로세서에 비해 적은 하드웨어 자원을 사용하여 효율적으로 연산을 수행하는 구조를 가진다. 이들 기존의 연구들은 주로 ADSL G.DMT 시스템에 적합하도록 설계되었으므로, G.Lite 시스템에 그대로 적용하기에는 하드웨어 자원의 활용면에서 부적합하다.

설계된 시스템은 VHDL로 설계하여 삼성 0.35 μ m 공정 스탠다드 라이브러리를 사용하여 합성하였다. 다음 표 4에 합성된 시스템의 설계면적과 최대 지연 시간을 나타내었다. 시스템의 동작 주파수가 35.328 MHz이므로 최대 지연시간을 고려해보면, 설계된 프로세서는 주어진 동작 주파수에서 정상적으로 동작함을 알 수 있다.

V. 결론

ADSL 시스템은 기존의 음성 전화망을 기반으로 높은 데이터 전송률을 제공하는 디지털 전송기술로서, 광 통신망으로 교체되어 가는 과도기적 시기에 적은 투자비용으로 멀티미디어 서비스를 제공할 수 있는 기술로서 평가되고 있다. ADSL 시스템 중에서 G.Lite 시스템은 G.DMT에 비해 하향링크의 전송률을 줄이는 대신, splitter를 사용하지 않아 초기 설치비용을 절감할 수 있는 경제적인 ADSL 서비스 시스템이다.

기존의 ADSL 모델에 대한 연구는 G.DMT 시스템 위주로만 이루어져 직접 G.Lite 시스템에 적용하기에는 부적합하다. 본 연구에서는 가입자 측 ADSL G.Lite 모델에 사용될 수 있는 주파수 영역 프로세서의 효율적인 구조를 제안하고 설계하였다. 프로세서가 수행하는 주파수 영역 연산과정은 하향 채널에 대해서는 FFT, FEQ와 신호판정 과정을 포함하고, 상향채널에 대해서 IFFT 과정을 포함한다.

제안된 시스템은 설계면적과 수행시간의 두 가지 설계 파라미터를 바탕으로 분석되었으며, 이러한 분석을 바탕으로 1개의 실수 곱셈기와 2개의 실수 덧셈기만을 사용하는 연산모듈을 가지고 주파수 영역에서의 연산과정을 효율적으로 수행하는 구조를 가지고 있다. 설계된 프로세서는 FFT와 IFFT의 경우 복소 버터플라이 연산을 8 동작 사이클 안에 수행하고, FEQ 및 신호판정 과정은 직교채널당 평균 21 사이클 안에 수행한다.

설계된 시스템은 VHDL을 이용하여 기술되고 삼

