

고속 적외선 광 송수신 IC 설계

정회원 임 신 일*, 학생 회원 조 희 랑*, 정회원 채 용 응**, 유 종 선***

A Design of High Speed Infrared Optical Data Link IC

Shin-Il Lim* *Regular Member*, Hee-Rang Jo* *Student Member*,

Yong-Yoong Chai** Jong-Son Lyu*** *Regular Members*

요 약

본 논문에서는 4 Mb/s 부터 100 Mb/s 의 IrDA(Infrared Data Association) 응용이 가능한 CMOS infrared (IR) wireless data link IC의 설계 방법에 대해 기술한다. 이 모듈은 60 dB에서 100 dB까지의 이득 범위를 가지는 variable gain transimpedance amplifier, AGC(automatic gain control) 회로, AOC(automatic offset control) loop, 4 PPM (pulse position modulation) modulator/demodulator와 DLL(delay locked loops)로 구성된다. 본 적외선 광 송수신 IC는 0.25 um 1-poly 5-metal CMOS 공정을 이용하여 제작되었다. 2.5 V 전원 전압에서 동작시켰으며 100 Mb/s에서 출력단 버퍼를 제외하고 25 mW의 전력을 소모한다. 칩의 크기는 1.5 mm × 1 mm이다.

ABSTRACT

This paper describes a design of CMOS infrared (IR) wireless data link IC which can be used in IrDA(Infrared Data Association) application from 4 Mb/s to 100 Mb/s . The implemented chip consists of variable gain transimpedance amplifier which has a gain range from 60 dB to 100 dB, AGC (automatic gain control) circuits, AOC(automatic offset control) loop, 4 PPM (pulse position modulation) modulator/demodulator and DLL(delay locked loops). This infrared optical link IC was implemented using commercial 0.25 um 1-poly 5-metal CMOS process. The chip consumes 25 mW at 100 Mb/s with 2.5 V supply voltage excluding buffer amplifier. The die area of prototype IC is 1.5 mm × 1 mm.

1. 서 론

최근 컴퓨터나 컴퓨터 주변기기, 디지털 카메라 등의 데이터 통신에 케이블을 사용하지 않고 무선으로 데이터를 송수신하는 기술 응용이 점차 확대되어 가고 있다. 그 중 IrDA 기술은 사무실 내의 복잡한 선을 없애기 위한 1 m 이내의 근거리 데이터 통신에 많이 응용되고 있다. 또한 PDA나 노트북 PC 같은 휴대용 단말기나 휴대용 이동 통신 기기의 발달로 인해 크기를 줄이고 가격을 낮춘 통신 장비들이 필요로 하게 됨으로써 이에 IrDA가 많이 응용되고 있다. 현재 이동전화와 정보단말기(PC, PDA)간의 접속은 주로 PCMCIA Card나 Adapter,

Cable을 사용한다. 하지만 IrDA 통신을 이에 응용할 경우 기존의 노트북이나 PDA, 프린터 등에는 적외선 통신 포트가 이미 장착되어 있으므로 추가적인 장비가 필요 없다. 이에 따라 이전의 광섬유 송수신기 응용에서는 속도를 강조하여 설계되었지만, IrDA 통신에서는 시스템의 집적과 낮은 가격이 중시되고 있다. 또 이러한 IrDA 통신 시스템이 LAN이나 공중 회선과의 접속에 대한 요구가 늘어감에 따라 시스템을 고속화시키려는 노력이 시도되고 있다. 현재의 IrDA는 최고 4 Mb/s의 데이터를 사용하고 있으나 추후 약 100 Mb/s의 데이터를 취급할 수 있도록 확대될 전망이다¹⁾. 본 논문에서는 4 Mb/s의 데이터뿐 만 아니라 100 Mb/s 이상의

* 서경대학교 전자통신컴퓨터공학부(silim@skuniv.ac.kr), 논문번호 : K01201-0917, 접수일자 : 2001년 9월 17일

** 계명대학교 전자공학과(yychia@kmu.ac.kr)

*** 옴토프로(주)

적외선 광 송수신 응용에 사용할 수 있는 CMOS IC 회로를 제안하였다. 이 제안된 적외선 광 송수신 모듈의 전체 블록 도를 그림 1에 보였다.

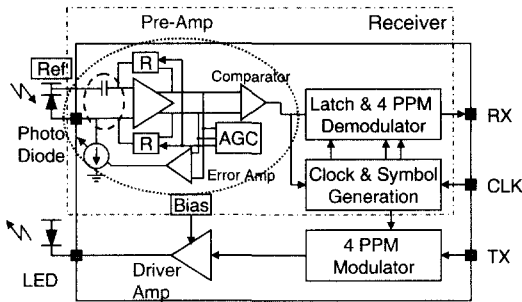


그림 1. 적외선 광 송수신 모듈.

적외선 광 송수신 모듈용 칩의 입력 단은 포토 다이오드로부터 받아들인 전류 신호를 증폭하여 전압을 출력해 주는 CMOS 프리앰프(Pre-amplifier)가 있다. CMOS 프리앰프는 넓은 대역폭과 넓은 동적 동작 범위를 얻기 위하여 차동으로 구성된 트랜스 임피던스 증폭기를 사용하였다^{2,16)}. 고정된 이득의 트랜스 임피던스 증폭기보다 더 넓은 동적 동작 범위를 얻기 위하여 VGA(variable gain amplifier)를 사용한 AGC(automatic gain control) 회로를 포함 하였다. 또 주위의 태양 빛 또는 형광등 등에 의해 발생하는 주변 DC 노이즈 성분을 제거하기 위해 트랜스 임피던스 증폭기에 케환 루프를 이용한 AOC(automatic offset control) 회로를 추가하였다. 이 경우 시스템 전달 함수는 낮은 주파수 대역을 필터링해 주는 HPF(High Pass Filter) 역할도 동시에 수행하게 되어 적외선 신호 외에 주위의 태양 빛이나 형광등에 의한 잡음을 제거해 주도록 설계하였다.

처리된 아날로그 신호가 비교기를 거치면 4 PPM(pulse position modulation) 형태의 디지털 신호이므로 이것을 일반적인 NRZ(non-return to zero) 신호로 변환하게 된다. 한편 송신 시는 NRZ 신호를 4 PPM 신호로 변환하여 송신하는 블록도 있다. 디지털 블록에는 회로의 동작이 100 MHz의 클럭에 대해서도 스퀴(skew)에 관계없이 안정적인 동작을 할 수 있도록 DLL(delay locked loop)을 구성하여 설계하였다.

II. 아날로그 신호 처리 블록

본 적외선 광 송수신 IC는 4 Mb/s와 100 Mb/s의 데이터를 수신하여 시스템에 디지털 신호로 전달하고 또한 시스템에서 다른 시스템으로 보내는 데이터를 송신하기도 한다. 먼저 수신 시에는 입력 단과 연결된 포토 다이오드에서 수신되는 작은 전류 신호를 트랜스 임피던스 증폭기가 충분한 전압 신호로 증폭해 준다. 이 때 주위로부터 들어오는 큰 잡음 신호에 의해서 발생하는 출력 오프셋에 의해 원래의 데이터 신호가 왜곡되는 것을 막기 위해 AOC 회로가 동작하게 된다. 다음에 트랜스 임피던스 증폭기에서 증폭된 데이터 신호는 비교기를 거쳐 정확한 디지털 신호로 시스템에 전달된다. 그러나 입력 신호가 너무 작아 트랜스 임피던스 증폭기를 거친 데이터 신호를 비교기가 충분히 비교할 수 없을 정도이거나 반면 너무 큰 입력 신호에 의해 트랜스 임피던스 증폭기가 saturation되어 원 신호를 잃어버리게 되는 경우가 있을 수 있다. 이런 경우, 어느 정도 트랜스 임피던스 증폭기의 이득을 적절히 맞추어 정확한 데이터 신호를 시스템에 전달하기 위해 트랜스 임피던스 증폭기의 이득을 변화시키는 AGC 회로가 필요하다.

1. Transimpedance Amplifier

프리앰프 회로는 적외선 송수신 IC로 들어오는 아주 작은 전류 입력 신호를 증폭해 주는 역할을 한다. 그림 2는 본 논문에서 채택한 트랜스 임피던스 증폭기를 보여 준다²⁾. 일반적으로 트랜스 임피던스 증폭기는 넓은 동적 동작 범위와 주파수 대역폭을 가진다. 트랜스 임피던스 증폭기의 이득을 구해보면 케환 저항을 R_f 라고 했을 때 다음과 같이 된다.

$$A_{mi} = \frac{v_{out}}{i_s} = R_f \frac{-A}{1+A} \approx -R_f \text{ for } A \gg 1 \quad (1)$$

여기서 A 는 증폭기의 개 루프 전압 이득이다. 기존에 사용되던 두 단의 트랜스 임피던스 증폭기³⁾에서는 두 번째 단에 source-follower를 사용하여 높은 임피던스를 가지는 현상이 나타나게 된다. 이 때문에 입력 신호가 변화에 따라 회로의 바이어스 전압이 흔들리게 되며 임피던스가 높아 주파수 특성도 변하게 된다. 그림 2에 보인 트랜스 임피던스 증폭기는 두 번째 단 M2a, b에 케환 저항 R_f 를 사용하여 높은 임피던스를 가지는 노드를 제거함으로써 항상 일정한 바이어스 전압과 주파수 특성을 유지하도록 한다.

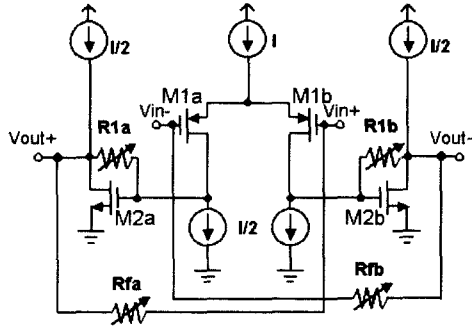


그림 2. 트랜스임피던스 증폭기.

이 증폭기의 -3dB 주파수, 단위 이득 주파수(또는 대역폭)를 구해 보면 다음과 같다^[2].

$$\omega_{-3\text{dB}} = \frac{1}{R_f C_{PD}} \quad (2)$$

$$\omega_t \approx \frac{A}{R_f C_{PD}} \approx \frac{g_{m1} R_1}{R_f C_{PD}} \quad (3)$$

여기서 g_{m1} 은 M1a, M1b의 트랜스컨덕턴스이고, C_{PD} 는 포토 다이오드의 내부 커패시턴스 성분이다. R_f (R_{fa} , R_{fb})는 이 트랜스임피던스 증폭기의 캐환 저항이다.

식 (3)에서 보듯이 이득을 변화시키기 위해 R_f 를 변화시키면 대역폭과 단위 이득 주파수가 움직여 회로의 안정성에 문제가 있다. 따라서 이를 해결하기 위해 R_{fa} 와 R_{fb} 를 일정한 비율로 설계하면 단위 이득 주파수 ω_t (대역폭)가 거의 일정하게 되므로 회로는 안정성을 유지한다.

본 설계에서는 다음절의 추가적인 AGC 회로를 이용하여 R_{fa} 와 R_{fb} 를 동시에 같이 변화하도록 설계하였다.

2. AOC 루프와 AGC 회로

앞의 트랜스임피던스 증폭기에서 출력된 신호는 주변의 빛(I_{dc})에 의해 오프셋 전압이 발생하고 적외선 신호(i_s)에 의해 신호의 진폭이 결정된다. 다음 그림 3은 포토 다이오드에서 신호 외에 주위의 빛에 의해 발생하는 I_{dc} 전류를 제거하기 위한 AOC 회로^{[2],[4]}와 마지막 단의 비교기에서 제대로 비교될 수 있는 충분한 전압 레벨로 만들어 주기 위해 이득을 조절하는 AGC 회로를 보여 준다.

그림 3에서 보듯이 포토 다이오드에서 발생하는 전류는 프리앰프의 음의 입력으로 들어가게 된다. 그러나 실제로 포토 다이오드에서 발생하는 전류에

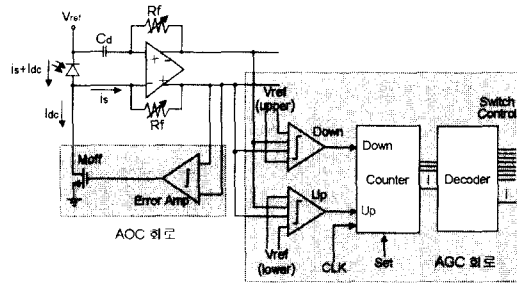


그림 3. 프리앰프와 AOC, AGC 회로 전체 블록.

는 신호에 의한 전류와 주위의 빛에 의한 전류가 같이 존재한다. 그림 4는 증폭기의 출력 단에서의 출력 파형을 보여 준다. 그림 4(a)에서 알 수 있듯이 주위의 빛에 의한 전류는 음의 출력과 양의 출력 신호에 오프셋 전압을 가지게 한다. 따라서 트랜스임피던스 증폭기의 주위에 캐환 루프를 이용하여 증폭기의 입력에서 이런 오프셋에 의한 DC 전류를 제거한다^[4]. DC 전류를 없애 주기 위해 트랜스임피던스 증폭기 음의 입력에 하나의 트랜지스터 M_{off} 를 연결하여 이 트랜지스터의 바이어스 전류를 변화시켜 주위의 빛에 의해 발생하는 전류 I_{dc} 를 빠지게 한다. 이 트랜지스터의 바이어스 전류는 게이트 전압을 조절하여 변화시키는데, 이 게이트 전압은 증폭기의 출력 단에서 오프셋의 변화를 감지하여 그 전압을 걸어주게 된다. 이 오프셋은 에러 증폭기에 의해 일정 시간 적분된 값이다.

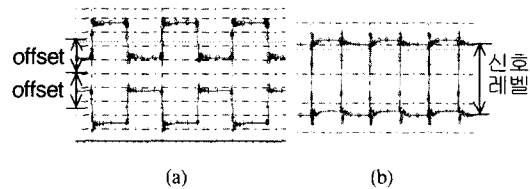


그림 4. 증폭기 출력단의 신호 형태(AOC 동작), (a) 오프셋이 있는 경우, (b) 오프셋이 제거된 경우.

AOC 회로의 전체 폐 루프 전달 함수를 살펴보면 다음 식 (4)과 같다^[2].

$$\frac{v_{out}}{i_s} = \frac{A_{timp}}{1 + L(s)} = A_{timp} \frac{s + \omega_{pi}}{s + A_{timp} A_{dc} \omega_{pl} g_{moff}} \quad (4)$$

여기서 A_{timp} 는 트랜스임피던스의 통과 대역 이득이고, A_{err} 은 에러 증폭기의 이득이며, g_{moff} 는 트랜지스터 M_{off} 의 이득이다. 또한 A_{dc} 와 ω_{pl} 은 에러 증폭기의 DC 이득과 첫 번째 pole 주파수이다. 이 식에

서 알 수 있듯이 AOC 회로는 $\omega_{HP} = A_{imp} A_{dc} \omega_{pl} g_{moff}$ 에서 고역 통과 3 dB 주파수를 가지며, 이 주파수는 주위의 빛에 의한 DC 전류가 커지면 커질수록 더 커지게 된다. 이렇듯 AOC 회로는 전달 함수 상에서 낮은 주파수 영역의 DC 신호들을 막아줄 뿐만 아니라 주위의 빛이 강해질수록 고역 통과 3 dB 주파수도 함께 올라가게 되어 DC 전류 영역의 신호를 더욱 더 차단하게 된다. 이러한 특성은 그림 8의 AOC 회로를 포함한 트랜스임피던스 증폭기의 시뮬레이션 결과에서 볼 수 있다.

본 AGC 회로의 설계에서는 신호에 따라 저항치를 조절하여 트랜스임피던스 증폭기의 이득을 조절하고자 그림 3에서 보는 바와 같이 두 개의 차동 입력 비교기로 트랜스임피던스 증폭기의 출력 전압의 범위를 검출하고 그 출력 신호로 카운터와 디코더를 조절하여 트랜스임피던스 증폭기의 어레이 저항 R_f 를 조절할 수 있는 디지털 AGC 회로 부분을 제안하였다. 두 개의 이 비교기들은 트랜스임피던스 증폭기의 출력 전압이 우리가 원하는 일정한 전압 범위 안에 있는지를 검출하는데 사용된다. 만일 원하는 전압 범위에 비해 큰 출력 신호가 나타나면 upper 비교기는 Down 신호를 내어 주며, 너무 작은 신호가 나타나면 lower 비교기는 Up 신호를 내어 준다. 이 신호들은 카운터의 up, down 제어 신호로 사용되며 이 신호에 의해 카운터의 출력 상태가 결정된다. 이 카운터의 출력 상태에서 디코더를 거친 후 트랜스임피던스 증폭기의 R_f 를 구현하고 있는 트랜지스터 배열의 게이트 전압을 조정함으로써 트랜스임피던스 증폭기의 전체 이득을 조절하게 된다.

III. 디지털 신호 처리 블록

디지털 블록은 전단에서 처리되어 나오는 4 PPM (Pulse Position Modulation) 신호를 다음 단에서 처리할 수 있도록 NRZ 신호로 변환하는 복조기와 외부로 송신 시 다시 NRZ 신호를 4 PPM 신호로 변환하는 변조기, 그리고 디지털 회로에 지터 없는 클럭을 제공하는 DLL 회로로 구성되어 있다.

본 적외선 광 송수신 IC는 비교기를 거친 데이터 신호가 시스템의 높은 클럭에 대해서도 지터 없이 안정적으로 동작하게 하기 위한 DLL 회로를 함께 구현하였다. 또한 이 DLL 회로를 거친 4 PPM 신호는 다시 시스템에서 사용되는 NRZ 형태의 신호로 변환되기 위해 4 PPM modulation 회로를 거치

며 이 블록도 적외선 송수신 IC에 포함하였다. 마지막으로 4PPM modulation 회로를 거친 신호는 시스템 데이터로 입력된다. 송신 시에는 시스템에서 입력된 신호가 4 PPM demodulation 회로를 거쳐 드라이버 회로를 통해 외부의 적외선 LED를 동작시킨다. 본 적외선 광 송수신 IC는 위의 모든 회로들을 하나의 IC로 구현하였다.

1. 변복조(4 PPM) 블록 설계

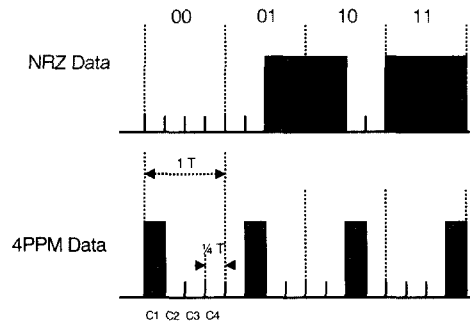


그림 5. 4 PPM 데이터 형태.

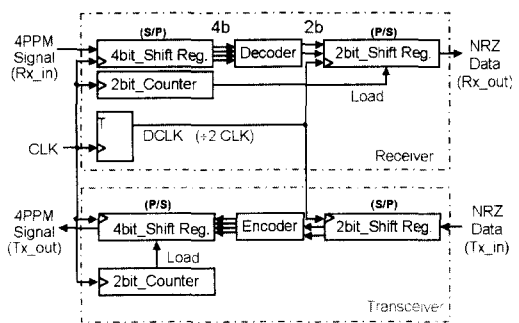


그림 6. 변복조기(4 PPM) 블록도

IrDA(Infrared Data Association) 시스템의 송수신부에서 다루는 신호는 4 PPM 형태를 가지고 있다. 이 때문에 송수신부에서는 적외선 광으로 들어오는 4 PPM의 신호를 받아서 내부에서 처리할 수 있는 NRZ(None Return Zero) 신호로 변환하는 회로와 내부에서 처리된 NRZ 신호를 다시 4 PPM 신호로 변환해 주는 회로가 필요하다. 그림 5는 NRZ 신호에 대응되는 4 PPM 데이터 형태를 보여 준다. 이 4 PPM modulation과 demodulation 회로는 IrDA standard에서 4 Mb/s 상에서의 전송 방식인 4 PPM 형태의 데이터 처리 방식에 대한 specification에 맞추어 제안하였다^[7].

2. All Digital Delay Locked Loop (ADDLL)

IrDA 시스템은 여러 가지 아날로그 회로와 디지털 회로로 구성되어 있다. 이 시스템 안에서 여러 디지털 회로들은 외부에서 받은 클록을 사용하여 이에 동기를 맞추어 동작하게 된다. 하지만 이러한 외부 클록은 각각의 디지털 회로에 대한 스큐(skew)가 달라 시스템을 고속으로 동작시키는데 제한 요소가 된다. 이러한 문제를 극복하기 위해서 여기서는 DLL(Delay Locked Loop) 회로를 이용하여 지터(jitter)에 대한 영향을 최소화한 내부 클록을 만들어 사용하였다. 또한 모든 회로를 디지털 회로로 구성하여 클록이 동기된 후에도 아날로그 회로에 지터가 나타나는 현상을 줄였다 설계된 ADDLL(All Digital Delay Locked Loop)은 그림 7에서 보듯이 기본적인 DLL 구조를 사용하였다^[8].

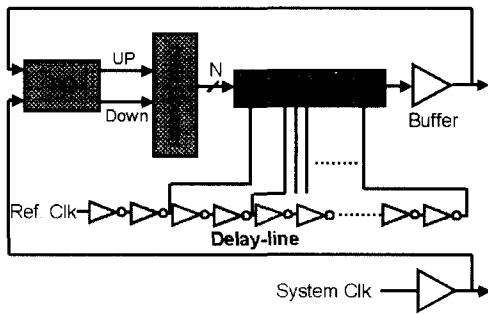


그림 7. 기본적인 DLL 블록도

회로의 구성은 외부 클록과 내부 클록의 위상을 비교하는 위상 검출기(Phase Detector)와 이 두 입력 신호의 동기를 맞추기 위해 지연 정보를 기억하고 조정하기 위한 카운터(counter), 카운터 출력을 입력으로 하여 지연 소자로부터 최종적인 내부 클록을 출력하는 다중화기(Multiplexor), 그리고 외부 클록을 지연시켜 다중화기의 입력을 제공하는 지연 소자들로부터 이루어져 있다. 각 주파수에 대한 위상 오차가 4 MHz일 때는 5 ns, 100 MHz일 때는 0.25 ns가 되도록 단위 지연 소자를 설계하였다. 또한 설계된 ADDLL은 설정에 따라 4 MHz와 100 MHz의 두 가지 클록 주파수를 입력으로 받아들일 수 있다^[9]. 이 ADDLL은 위상 검출기와 카운터 부분을 공유하며 입력 주파수가 4 MHz인 경우와 100 MHz인 경우에 따라 각 주파수에 최적화된 지연 소자를 따로 두어 사용할 수 있게 하였다. 따

라서 각 입력 주파수에 따라 그에 해당하는 지연 소자를 선택하기 위한 신호선이 하나 필요하다. 그림 8에서는 설계된 ADDLL의 전체 블록 도를 보였다.

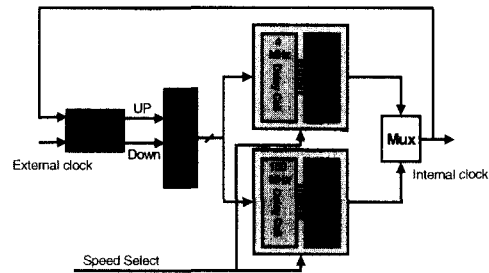


그림 8. All digital DLL 전체 블록도

설계된 ADDLL에서 각 입력 주파수에 대한 지연 범위는 입력 클록 주기의 1.5배로 하였다. 즉 4 MHz일 때는 375 ns(250 ns + 125 ns)로 100 MHz일 때는 15 ns(10 ns + 5 ns)로 설계하였다. 이 ADDLL 회로에서 동기가 되었을 때 발생할 수 있는 최대 지터는 4 MHz에서는 5 ns 이하가 되고 100 MHz에서는 0.25 ns 이하이다. 또한 클록간의 동기에 필요한 클록 수는 최대 10 클록 이내이다.

IV. 구현 및 측정 결과

그림 9은 트랜스임피던스 증폭기의 R_f 를 변화시켜 얻은 AC 해석 결과이다. 여기서 트랜스임피던스 증폭기의 입력 단에 보이는 포토 다이오드의 내부 커패시터 값은 1 pF으로 가정하였으며 주위의 빛에 의해 발생하는 I_{dc} 는 최대 30 μ A로 가정하였다. 이 트랜스임피던스 증폭기는 60 dB에서 100 dB까지의 이득을 가진다. 또한 트랜스임피던스 증폭기는 주위

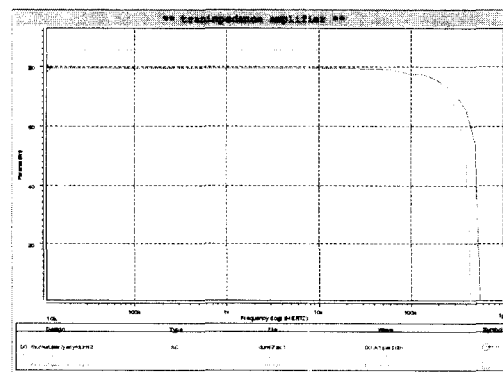


그림 9. 완전 차동 CMOS 가변 이득 트랜스임피던스 증폭기의 AC 시뮬레이션 결과.

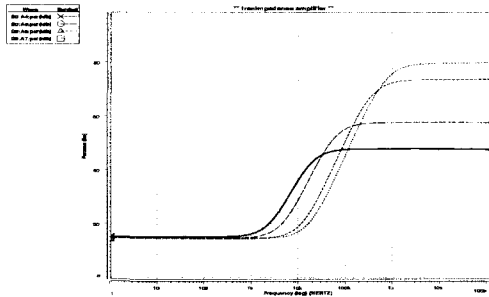


그림 10. AOC 회로를 포함한 트랜스임피던스 증폭기의 AC 시뮬레이션 결과.

의 빛에 의한 옴셋 전압을 제거하기 위한 AOC 회로를 포함한다. 그림 10은 AOC 회로를 포함한 트랜스임피던스 증폭기의 AC 해석 결과를 보여 준다. 이 AOC 회로가 낮은 주파수 영역의 태양 광선이나 형광등에 의한 잡음 신호들을 효과적으로 차단할 수 있다.

IrDA는 반경 30°의 좁은 각도 안에서 장애물 없이 특정한 두 지점 사이의 데이터를 전송하는데 주로 이용되며 적용 거리는 0 m에서 1 m 사이이다. 여기서 설계한 IrDA 송수신 IC는 4 Mb/s를 기준으로 하였으므로 4 PPM 데이터 통신 형태를 따른다.

실제 IC의 입력 단에서 적외선 신호를 받아들이는 포토 다이오드는 그것의 내부 커패시턴스를 1 pF로 가정하였으나 이러한 포토 다이오드를 구하지 못하였고, 실제 측정에서 사용된 포토 다이오드는 1 MHz에서 10 pF의 내부 커패시턴스를 갖는 것을 사용하였다. 따라서 측정에 사용된 입력 주파수는 실제 사용하는 것보다 훨씬 낮은 주파수를 입력하였다. 그림 11, 그림 12에 사용된 결과는 200 KHz

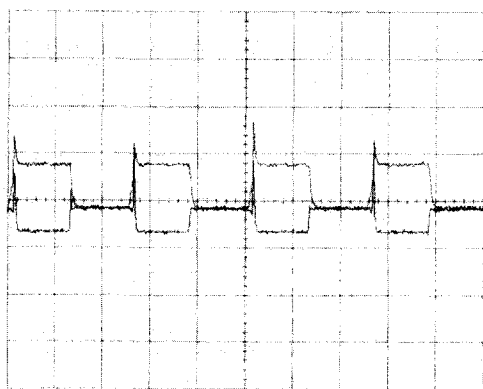


그림 11. DC offset 제거 안된 차동 출력 파형 (2 us/step, 0.5V/step)

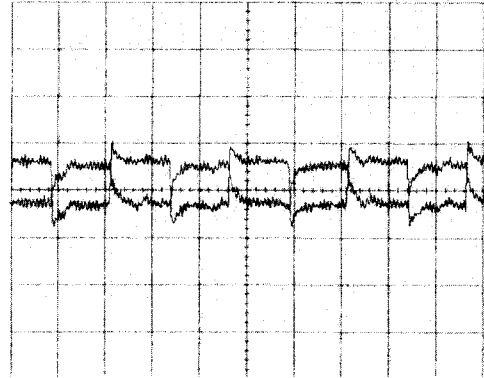


그림 12. DC offset 제거된 차동 출력 파형 (2 us/step, 0.5V/step)

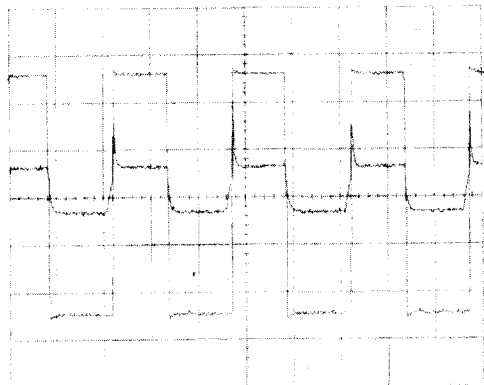


그림 13. 출력 파형 및 비교기 출력 (2 us/step, 0.5V/step)

의 입력 신호를 사용한 것이며 실제 회로는 이보다 훨씬 높은 주파수에서도 동작하였으나 특성의 상한치인 90 MHz까지는 회로에 맞는 포토 다이오드를 구할 수 없어 접근하지 못하였다. 그림 11에서 볼 수 있듯이 AOC 회로의 루프를 차단하고 증폭기의 출력을 측정한 결과 차동 출력에 DC offset이 발생한 것을 알 수 있다. 그림 12는 AOC 회로의 루프를 연결하여 측정한 결과이다. 여기서 두 차동 출력 사이의 DC offset이 제거된 것을 볼 수 있다. 따라서 AOC 회로가 정상적으로 동작하는 것을 알 수 있다. 그림 13은 트랜스임피던스 증폭기의 한 쪽 출력과 비교기 출력을 같이 나타낸 것이다. 여기서 증폭기의 출력은 비교기가 정확한 디지털 신호를 출력할 수 있을 만큼의 출력 전압 범위를 가지며 이로써 AGC 회로가 증폭기의 이득을 적절히 설정하고 있음을 알 수 있다.

또한 아날로그 회로 부분의 마지막 단의 비교기도 정상적으로 동작한다. 설계된 트랜스임피던스 증

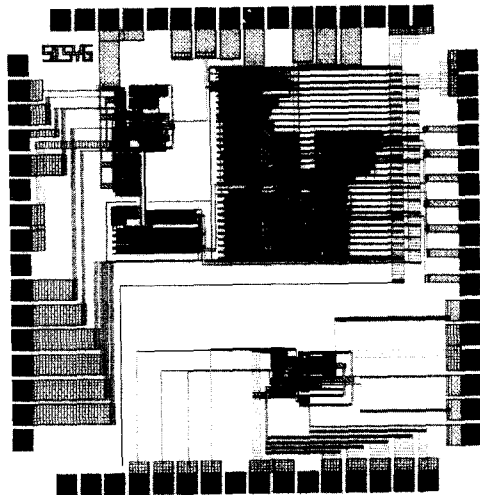


그림 14. 적외선 송수신 IC의 레이아웃.

표 1. 설계된 적외선 광 송수신 모듈의 사양

Technology	0.25 um 1P 5M CMOS
Supply voltage	2.5 V
Bandwidth	100 Mhz \pm 20%
Transimpedance	100 dB - 60 dB(설계치)
Input capacitance	1 pF
Maximum signal current	450 uA
Active area	1.5 mm \times 1 mm
Power dissipation	8 mW (preamplifier)
	17 mW (나머지 부분)

폭기는 60 dB에서 100 dB의 이득을 갖도록 하였으나, 실제 측정 결과 60 dB에서 86 dB 정도의 이득을 가졌다.

그림 14는 0.25 um CMOS 공정으로 수행된 레이아웃 결과를 보여 주고 있다. 칩 크기는 1.5 mm \times 1 mm이며 2.5 V, 100 Mb/s에서 25 mW의 전력이 소모된다.

설계된 적외선 광 송수신 IC의 사양은 표 1과 같다.

V. 결 론

본 논문은 현재의 4 Mb/s와 추후 100 Mb/s IrDA 응용에서 모두 동작시킬 수 있는 고속 적외선 무선 송수신용 IC 구현 방법에 대해 기술하였다. 적외선 무선 송수신 IC 블록은 트랜스임피던스 증폭기, AOC, AGC 등의 아날로그 회로 부분과 그 증폭된 신호를 비교한 후 출력된 4 PPM 신호를 복

조 하여 시스템과 연결하게 하는 디지털 회로 부분이 있다. 또 4 PPM 변복조기와 디지털 회로에 지터가 적은 클록을 제공하기 위한 DLL이 있다.

설계한 회로는 0.25 um 1 poly 5 metal CMOS 공정을 이용하여 구현하였으며, 2.5 V의 낮은 전원 전압에서 동작하도록 회로를 제안하였다. 적외선 송수신 모듈에서 앞단의 증폭기 회로를 높은 전원 전압에서 동작시키면 DC offset이 존재하더라도 출력 전압이 충분한 동작 범위를 얻을 수 있지만 2.5 V의 낮은 전원 전압에서는 출력 전압이 충분한 동작 범위를 얻을 수 없으므로 DC offset을 제거해 주는 AOC 회로를 설계하였다. 사용된 AOC 케환 루프는 HPF의 특성을 가져 주위 환경 잡음 등 저주파 신호를 제거하는 역할을 하게된다.

현 4 Mb/s 입력 신호와 앞으로의 100 Mb/s 입력 신호를 모두 처리하기 위해 트랜스임피던스 증폭기의 대역폭을 100 MHz가 되도록 설계하였으며, ADDLL에서는 4 MHz와 100 MHz 동작을 선택할 수 있는 신호 선을 이용하여 응용에 따라 회로 기능이 적응 동작할 수 있도록 설계하였다.

감사의 글

고속 적외선 광 송수신 IC의 설계 과정에 도움 및 지원을 해주신 (주)LPE 프로젝트와 특허청 관계자에게 감사를 드립니다. 또한 IC의 제작 과정에서 도움을 주신 IDEC과 특허청에 감사를 드리며 마지막으로 IC 테스트를 위하여 포토 다이오드를 제공하여 주신 한국 고덴시에도 감사를 드립니다.

참 고 문 헌

- [1] Serial Infrared (SIR) Physical Layer Link Specification, Version 1.2, The Infrared Data Association, October 16, 1997, <http://www.irda.org>
- [2] K. Phang and D. A. Johns, "A CMOS Optical Preamplifier for Wireless Infrared Communications," *IEEE Trans. on Circuits and Systems*, vol. 46, pp. 852-859, July, 1999.
- [3] K. Nagaraj, S. H. Lewis, R. W. Walden, G. E. Offord, R. S. Shariadoust, J. A. Sabnis and R. O. Peruzzi, "A Median Peak Detecting Analog Signal Processor for Hard Disk Drive Servo," *IEEE J. Solid-State Circuits*, vol. 30, pp.

461-470, Apr. 1995.

[4] E. Brass, U. Hilleringmann, and K. Schumacher, "System integration of optical devices and analog CMOS amplifiers," *IEEE J. Solid-State Circuits*, vol. 29, pp.1006-1010, Aug. 1994.

[5] D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design*. New York : Wiley, Ch. 3, pp. 221-255, 1997.

[6] S. Mohan and H. L. Thomas, "A 2.125 Gbaud 1.6 k Ω Transimpedance Preamplifier in 0.5 um CMOS," Proc. of *IEEE Custom Integrated circuits conference*, 1999

[7] Serial Infrared (SIR) Physical Layer Link Specification, Version 1.3, The Infrared Data Association, October 15, 1998 <http://www.irda.org>

[8] R. Jacob Baker, Harry W. Li, David E. Boyce, *CMOS Circuit Design, Layout, and Simulation* : IEEE Press, Ch 19, pp. 417-422, 1998.

[9] A. Efendovich, Y. Afek, C. Sella and Z. Bikowsky, "Multifrequency Zero-jitter Delay-Locked Loop," *IEEE J. Solid-State Circuits*, vol. 29, pp. 67-70, January, 1994.

임 신 일(Shin-II Lim)

정회원



1980년 2월 : 서강대학교
전자공학과 졸업(공학사)
1983년 2월 : 서강대학교 대학원
전자공학과 졸업(공학석사)
1995년 8월 : 서강대학교 대학원
전자공학과 졸업(공학박사)

1982년 2월~1991년 1월 : 한국전자통신연구원(ETRI)
선임연구원
1991년 1월~1995년 2월 : 전자부품연구원(KETI) 선
임연구원
1995년 3월~현재 : 서경대학교 전자통신컴퓨터공학
부 조교수
<주관심 분야> 아날로그 IC설계, 혼성회로 칩 설계,
ADC/DAC 설계, 통신용 IC설계

조 희 람(Hee-Rang Jo)

학생 회원



2000년 2월 : 서경대학교
컴퓨터공학과 졸업
(공학사)
2001년 3월~현재 : 서경대학교
대학원 컴퓨터공학과
석사 과정

<주관심 분야> 아날로그 IC 설계, 혼성회로 칩 설
계, 통신용 IC 설계

채 옹 웅(Yong Yoong Chai)

정회원



1985년 2월 : 서강대학교
전자공학과 졸업
(공학사).
1991년 : Oklahoma State
University 졸업
(공학석사),

1994년 : Oklahoma State University 졸업(공학박사).
1985년~1988년 : LG정보통신 PABX 설계팀.
1995년~1996년 : 삼성전자 통신반도체 설계팀.
1997년~현재 : 계명대학교 컴퓨터전자공학부 부교수.
<주관심 분야> 아날로그 CMOS IC설계, ADC/
DAC설계

유 종 선(Jong-Son Lyu)

정회원



1979년 2월 : 경북대학교
물리학과 졸업(이학사)
1981년 2월 : 한국과학기술원
(KAIST) 물리학과 졸업
(이학석사)
1993년 2월 : 한국과학기술원
(KAIST) 물리학과 졸업
(이학박사)

1981년 3월~1998년 6월 : 한국전자통신연구원(ETRI)
책임연구원
1998년 7월~현재 : 옵토웨이퍼테크(주) 기술이사
2001년 8월~현재 : 옵토프로(주) 대표이사
1998년 7월~현재 : 한국전자통신연구원 초빙연구원
<주관심 분야> 반도체 공정 및 소자구조 설계, 광
송수신 모듈, 적외선 열상 광학계