

# 고속 프랙탈 영상압축을 위한 VLSI 어레이의 입력핀의 감소

정희원 성길영\*, 전상현\*\*, 이수진\*\*\*, 우종호\*\*\*

## Reduction of Input Pins in VLSI Array for High Speed Fractal Image Compression

Kil-Young Sung\*, Sang-Hyun Jeon\*\*, Soo-Jin Lee\*\*\*, Chong-Ho Woo\*\*\* *Regular Members*

### 요약

본 논문에서는 프랙탈 영상압축에서 일차원 VLSI 어레이의 입력핀의 수를 줄이기 위한 방법을 제안했다. 제안한 VLSI 어레이 구조에서는 쿼드-트리 분할방식을 사용하였으며 치역과 정의역의 데이터 입력핀을 공유함으로써 입력핀의 수를 50% 줄일 수 있었다. 또한 입력 데이터의 가중치가 낮은 하위의 몇 비트를 생략함으로써 데이터 입력핀의 수를 줄이고 처리요소의 내부 연산회로를 간단히 할 수 있었다. 이 방법의 성능을 검증하기 위하여 256×256 및 512×512 Lena 영상을 사용하여 시뮬레이션을 수행했다. 그 결과, 원 입력 데이터의 최하위 2-비트를 제거하여도 신호대 잡음비가 약 32dB로 원 영상을 복원할 수 있었으며 치역과 정의역의 데이터 입력핀을 공유하는 VLSI 어레이에서 보다 입력핀을 추가로 25% 정도 줄일 수 있었다.

### ABSTRACT

In this paper, we proposed a method to reduce the number of input pins in one-dimensional VLSI array for fractal image compression. We use quad-tree partition scheme and can reduce the number of the input pins up to 50% by sharing the domain's and the range's data input pins in the proposed VLSI array architecture. Also, we can reduce the input pins and simplify the internal operation circuit of the processing elements by eliminating a few number of bits of the least significant bits of the input data. We simulated using the 256×256 and 512×512 Lena images to verify performance of the proposed method. As the result of simulation, we can decompress the original image with about 32dB(PSNR) in spite of elimination of the least significant 2-bit in the original input data, and additionally reduce the number of input pins up to 25% compared to VLSI array sharing input pins of range and domain.

### I. 서론

영상 데이터는 문자 데이터에 비해 많은 양의 정보를 표현할 수 있다. 컴퓨터 성능의 향상과 네트워크의 속도 증가에 따라 영상 데이터의 이용이 증가하고 있다. 그러나 파일의 크기가 큰 영상 데이터의 저장과 전송의 효율을 높이기 위해 데이터의 압축이 필수적이다. 제안된 여러 가지 압축의 방법 중

프랙탈 압축은 압축과 복원에 코드북이 별도로 필요없으며, 높은 압축비율과 빠른 복원속도, 해상도 독립성 및 다른 기술과의 조합 등에서 우수한 특성을 나타낸다. 그러나 프랙탈 압축은 영상을 구성하는 픽셀들로 구성된 각 블럭들에 대해 많은 비교 및 연산이 필요해서 부호화에 많은 시간이 필요한 단점이 있다. 다행히 프랙탈 압축 알고리즘의 병렬성이 매우 높으므로 대량의 데이터를 동시에 처리

\* 경상대학교 정보통신공학과, 해양산업연구소(kysung@gacchuk.gsnu.ac.kr) \*\* 팜단(주) \*\*\* 부경대학교 전자컴퓨터정보통신공학부  
 논문번호: 010247-0917, 접수일자: 2001년 9월 17일

※ 이 논문은 2000년도 경상대학교 해양산업연구소 학술연구조성비에 의하여 지원되었음.

하는 VLSI 어레이를 구현하여 처리 속도를 크게 향상시킬 수 있다.

Y. Fisher는 정의역블럭 분류의 최적화를 사용하는 순차 머신의 퀴드-트리 분할 알고리즘을 이용하여 처리시간, 압축비, 그리고 침두 신호 대 잡음비 (PSNR : Peak Signal to Noise Ratio) 등을 절충하는 방법을 제시하였다<sup>[1]</sup>. F. Ancarani는 PCI 버스를 이용하여 PC 플랫폼의 프랙탈 압축을 위한 병렬 ASIC 구조를 제안했다<sup>[2]</sup>. 그러나 이 ASIC는 고정 분할 방식을 사용하여 압축비가 낮으며, 치역블럭과 인접한 정의역만을 비교하므로 신뢰도가 저하된다. D. J. Jackson을 순환 계산 모델(circulating computation model)을 사용하는 128개의 처리요소로 구성된 nCube 다중처리 시스템에 퀴드-트리분할 방식의 프랙탈 압축 알고리즘을 사상했다<sup>[3]</sup>. 하나의 처리기가 호스트 처리기의 역할을 수행하고 나머지의 처리기들은 슬레이브 처리기의 역할을 수행한다. 이 시스템은 처리요소의 구조가 복잡하여 VLSI로 구현에 적합하지 않다. K. P Acken은 퀴드-트리 분할을 위한 SIMD 모델의 ASIC 구조를 제안했다<sup>[4]</sup>. 성길영 등은 고정분할방식의 알고리즘을 반복적용시켜 퀴드-트리분할방식의 효과를 얻는 일차원 시스템블럭어레이를 제안했다<sup>[5, 6]</sup>.

본 논문에서는 성길영 등이 제안한 어레이의 구조를 기반으로 프랙탈 영상 압축의 고속화를 위한 VLSI 어레이의 입력핀을 축소하는 방안을 제안한다. 프랙탈 압축 기법은 어느 정도의 정보를 잃으면서 압축하는 손실코드이다. 따라서 영상의 각 픽셀을 표현하는 입력정보의 하위 몇 비트를 생략하더라도 복원되는 영상의 화질에 심각한 영향을 미치지 않는다. 하위비트를 입력하지 않으므로 전체 어레이의 입력 핀수를 상당히 감소시킬 수 있으며, 처리요소 내부연산회로가 간단해진다. 본 논문에서는 시뮬레이션을 통해 입력데이터의 하위비트를 버림으로써 어레이의 입력 핀수를 줄이더라도 복원되는 영상의 화질에 큰 영향을 미치지 않음을 확인했다.

## II. VLSI 어레이의 설계

프랙탈 영상 압축은 영상을 치역 및 정의역 블럭으로 나누고 자기유사성을 찾아 데이터의 양을 줄이는 압축방법이다. 프랙탈 압축 알고리즘을 이용한 영상압축의 첫 단계는, 원 영상을 그림 1과 같이 치역 및 정의역 블럭으로 나누는 것이다. 치역 블럭들은

은 전체 영상을 같은 크기의 블럭으로 중첩되지 않게 나눈다. 정의역블럭은 원 영상을 50% 중첩하며 나누며 치역 블럭의 2배 크기로 선택한다. 그리고 축소변환을 통해 4개의 인접한 픽셀의 평균값을 치역블럭의 각 픽셀과 비교하게 된다.

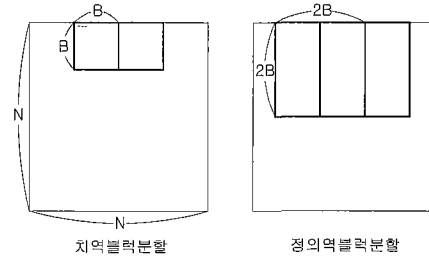


그림 1. 블럭의 분할

일반적인 퀴드-트리 분할방식의 알고리즘은 데이터의 입출력이 불규칙적이므로 VLSI 어레이로 구현하기가 적합하지 않다. 본 논문에서는 데이터 입력이 규칙적인 고정분할 방식 알고리즘을 치역블럭의 크기에 따라 반복수행하여 퀴드-트리 분할방식을 적용한 효과를 얻는다.

그림 2는  $n \times n$  픽셀의 크기를 갖는 치역블럭에 대한 최적 정의역 블럭을 선택하기 위한 알고리즘이다.

```

for m = 1 to M ;           M: the number of range
  for l = 1 to L ;         L: the number of domain
    s1 = s2 = s3 = s4 = s5 = 0
    for i = 1 to n        n: the number of pixel in one block
      s1 = s1 + d..n
      s2 = s2 + d.
      s3 = s3 + n
      s4 = s4 + d.
      s5 = s5 + n
    next i
    s6 = (s2)
    s = (n.s1 - s2.s3) / (n.s4 - s6)
    o = (s3 - s.s2) / n
    mse = (s.s4 + n.o + s5 + 2s.o.s2 - 2o.s3 - 2s.s1) / n
    if (mse < smse)
      s, o, m, l, mse 선택
    end if
  next l
next m
    
```

그림 2. 프랙탈 영상압축을 위한 Fisher의 순차적 알고리즘.

그림 2에서 s는 픽셀 brightness scale 계수, o는 contrast offset 계수, 그리고 mse는 mean square

error이다. Fisher의 알고리즘은 지역블록과 정의역 블록 사이에 자기유사성을 탐색하기 위해 많은 수의 블록을 비교하므로 과도한 계산량이 요구된다. 그러나 이 알고리즘은 규칙적인 데이터 흐름을 가지므로 병렬 알고리즘으로의 변형이 용이하다.

```

for m=0 to (M-1)
  for l=0 to (L-1)
    s1(m, l, 0) = 0;
    s2(m, l, 0) = 0;
    s3(m, l, 0) = 0;
    s4(m, l, 0) = 0;
    s5(m, l, 0) = 0;
    for i=0 to (n-1)
      A
      s1(m, l, i) = s1(m, l, i-1) + di · ri;
      s2(m, l, i) = s2(m, l, i-1) + di;
      s3(m, l, i) = s3(m, l, i-1) + ri;
      s4(m, l, i) = s4(m, l, i-1) + di2;
      s5(m, l, i) = s5(m, l, i-1) + ri2;
    next i
    AS
    s(m, l) = (n*s1(m, l, n) - 2*(m, l, n)
              *s3(m, l, n))/(n*s4(m, l, n)
              - 2*(m, l, n)*2(m, l, n))
    Ao
    o(m, l) = (s3(m, l, n) - s(m, l)
              *s2(m, l, n))/n
    Amse
    mse(m, l) = (s(m, l)*s(m, l)
                *s1(m, l, n) + n*o(m, l)
                *o(m, l) + 5*(m, l, n)
                + 2*s(m, l)*o(m, l)
                *2(m, l, n) - 2*o(m, l)
                *s3(m, l, n) - 2*s(m, l)
                *s1(m, l, n))/n
    if(mse(m, l) < mse(m, l-1))
      m, l, s(m, l), o(m, l), mse(m, l)
      저장
    end if
  next l
next m
    
```

그림 3. 단일 할당 코드 알고리즘

그림 3은 인덱스확장법을 사용하여 그림 2의 순차적 알고리즘을 병렬 알고리즘 표현의 한 형태인 단일 할당코드 알고리즘으로 변환한 결과이다<sup>[7]</sup>. 이 알고리즘은 지역 및 정의역블록의 각 픽셀값을 연산하는 A 부분, s를 계산하는 As 부분, o를 계산하는 Ao 부분 및 지역과 정의역블록의 오차 mse를 계산

하는 Amse로 구성된다.

단일할당코드 알고리즘으로부터 데이터의 의존관계를 파악하여 그림 4와 같은 3차원의 데이터 의존 그래프를 유도한다.

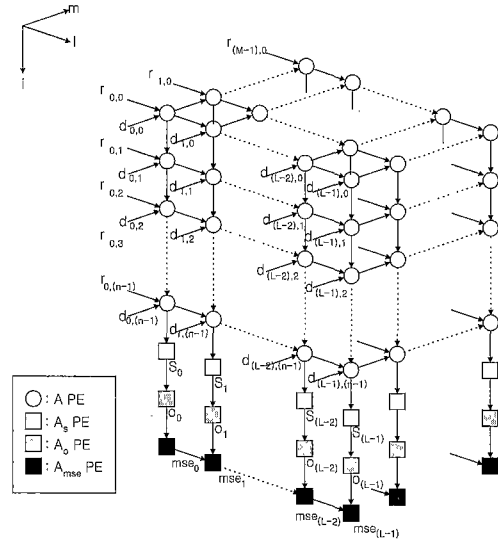


그림 4. 3차원 데이터 의존 그래프

그림 4에서 지역블록의 픽셀값은  $[m \ l \ i]=[0 \ 1 \ 0]$ 의 방향으로 입력되고, 정의역블록의 픽셀값은  $[1 \ 0 \ 0]$  방향으로 입력된다. 이 값들을 누적하는 A PE의 계산값은  $[0 \ 0 \ 1]$  방향으로 전송되어 As 및 Ao PE에서 s와 o값을 계산한다. Amse PE에서는 지역과 정의역블록의 자기유사성 정도인 mse를 계산하고  $[0 \ 1 \ 0]$  방향으로 전송하여 지역블록에 정합되는 정의역블록을 탐색한다.

그림 4의 데이터 의존 그래프에서 시간 및 공간 사상을 통하여 그림 5와 같은 일차원 VLSI 어레이의 구조를 얻는다.

그림 5의 일차원 VLSI 어레이는  $4 \times 4$  크기의 고정분할 방식의 알고리즘을 처리하기 위한 구조이다. 이 구조에 데이터를 반복입력해서  $8 \times 8$ ,  $16 \times 16$  크기의 블록에 대해 처리가능하다. 그러나 이 구조는 256개의 데이터 입력핀이 필요하다. 실제로 VLSI 어레이의 패키지를 만들기 위해 데이터 입력핀의 수를 축소할 필요가 있다.

데이터 입력핀 수를 줄이기 위한 첫 번째 방법은 입력핀을 공유하는 것이다. 지역과 정의역 블록을 구성하는 픽셀값을 입력하는 핀을 공유하여 전체 입력핀수를 50%로 감소시킬 수 있다.

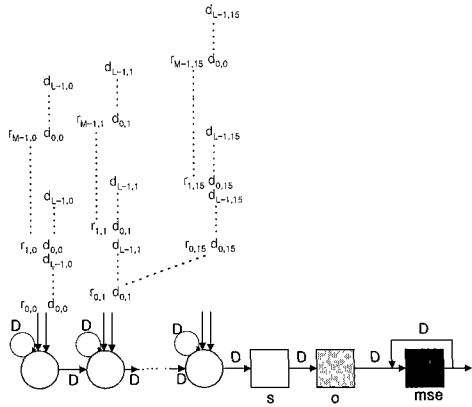


그림 5. 입력포트가 독립적인 일차원 시스템 어레이 (n=4×4).

그림 6은 입력 포트를 공유한 일차원 VLSI 어레이를 구조로써 치역과 정의역 블록의 데이터를 차례로 번갈아 입력한다. 블록 크기가 4×4의 경우는 치역블록의 픽셀값을 처리요소에 저장해두고 재사용할 수 있다.

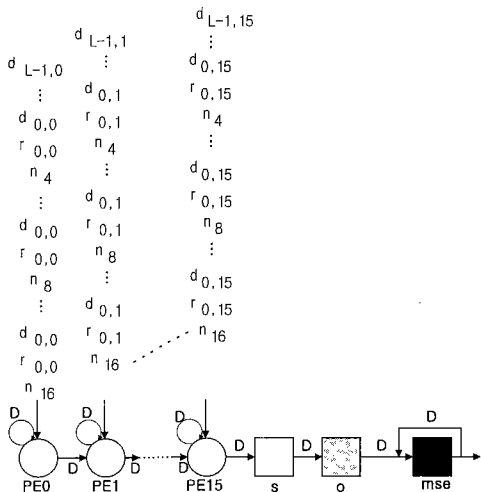


그림 6. 입력 포트를 공유하는 일차원 시스템 어레이 (n: 블록 크기).

입력핀 수를 줄이기 위한 두 번째 방법은 입력 데이터의 가중치가 낮은 비트의 입력을 생략하는 것이다. 프랙탈 영상 압축기법은 영상을 구성하는 블록들 사이의 자기 유사성을 이용해서 데이터 양을 줄이는 기법으로 손실압축코드 중 하나이다. 즉 허용하는 범위 내에서 원영상의 정보를 어느 정도 잃으면서 데이터를 압축한다. 그러므로 입력데이터

의 일부가 손실되더라도 복원된 영상의 화질에는 크게 영향을 주지 않는다.

정의역 및 치역블록을 구성하는 픽셀의 데이터를 입력할 때 그림 7과 같이 가중치가 낮은 하위의 몇 비트를 생략하면 복원 영상의 화질에 거의 영향을 주지 않으면서 데이터 입력핀의 수를 상당히 줄일 수 있다. 또한 데이터의 하위비트들이 항상 '0'으로 채워지므로 각 처리요소를 구성하는 덧셈기 등의 연산회로도 훨씬 간단하게 구성된다.

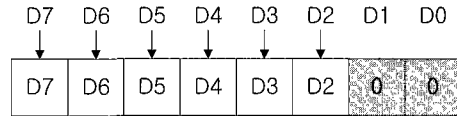


그림 7. 입력데이터의 비트 수 감소

### III. 실험결과 및 고찰

프랙탈 영상 압축에서 입력 데이터의 픽셀수, 즉 데이터 입력핀의 제거와 이에 따른 복원 영상의 화질에 대한 영향을 컴퓨터 시뮬레이션을 통해 확인했다. 성능평가를 위한 실험영상은 256 그레이 레벨을 갖는 512×512 및 256×256 크기의 Lena 영상으로 선정했다. 정의역 및 치역블록의 픽셀에서 제거한 비트수와 쿼드-트리 분할방식을 위한 초기블록 크기 및 임계값에 따른 복원영상의 화질에 대해 조사했다. 초기 블록의 크기를 32×32와 16×16 크기로 선택해서 4×4 크기까지 분할하며 부호화를 수행했다. 이때의 임계값으로 16과 8의 경우에 대해 영향을 분석했다. 복원영상의 화질은 식(1)의 첨두신호 대 잡음비를 이용해서 비교했다. 이때  $x(i, j)$ 는 원영상의 밝기이고 그리고  $\hat{x}(i, j)$ 는 복원영상의 밝기이다.




$$PSNR = 10 \log_{10} \frac{255^2}{MSE} [dB] \quad (1)$$

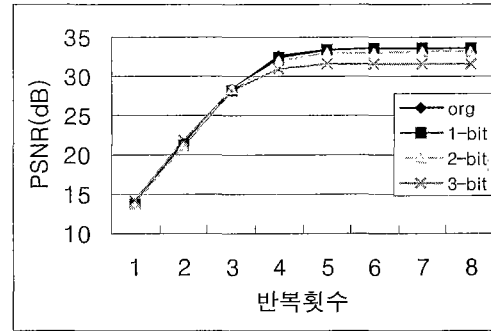
여기서

$$MSE = \frac{1}{M \cdot N} \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} (x(i, j) - \hat{x}(i, j))^2$$

이다.

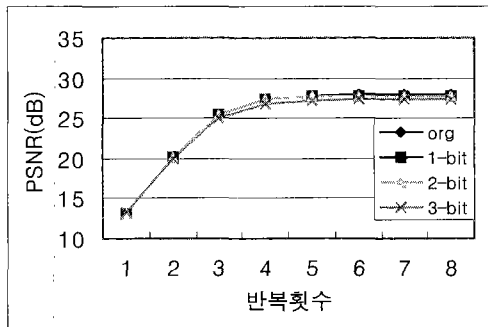
그림 8은 512×512 크기의 Lena 영상을 프랙탈 압축 기법을 적용하여 압축된 데이터를 복원한 영상의 화질을 비교한 것이다. 「org」는 입력되는 치역 및 정의역 블록의 픽셀이 원래값이 8-비트로 입력된 경우의 PSNR을 보인 것이다.

「-1-bit」는 하위 1-비트를 제거하고 7-비트만 입력한 경우이며, 「-2-bit」, 「-3-bit」는 각각 하위 2-비트와 3-비트를 제거하여 입력 데이터의 상위 6-비트, 5-비트만 입력한 경우이다. 부호화의 임계값이 비교적 높은 16인 경우, 입력 데이터의 하위 2-비트까지 제거해도 복원화질의 PSNR에는 거의 영향을 미치지 않는다. 그리고 하위 3-비트를 제거하더라도 복원화질이 심각하게 떨어지는 않는다. 임계값이 8인 경우 2-비트를 제거할 경우는 복원화질에 영향을 크게 주지 않으나, 3-비트의 제거 시에는 복원화질이 급격히 나빠지는 것을 보여주고 있다.

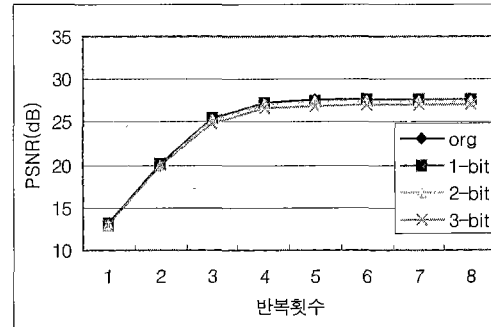


(d) 초기블록크기 16, 임계값 8

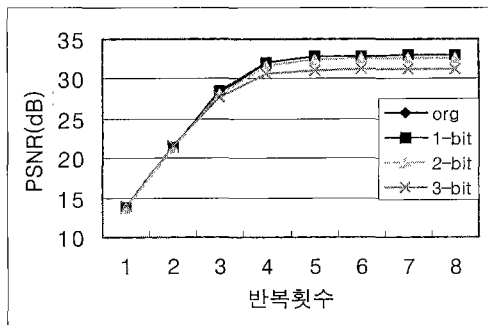
그림 8. 512×512 Lena 영상



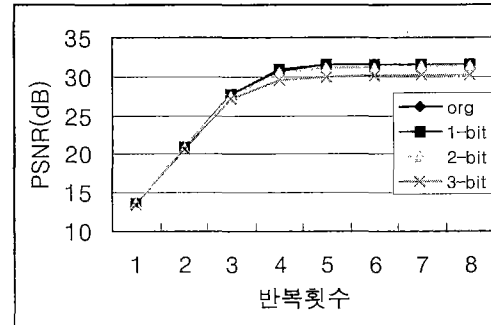
(a) 초기블록크기 32, 임계값 16



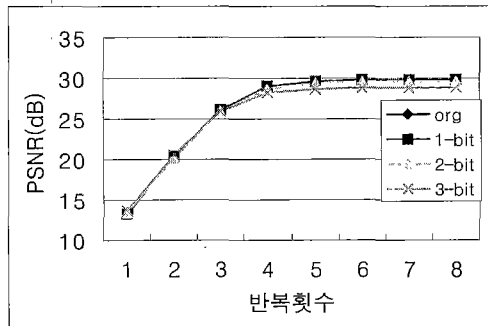
(a) 초기블록크기 32, 임계값 8



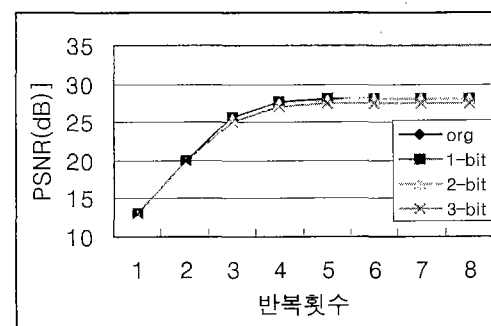
(b) 초기블록크기 32, 임계값 8



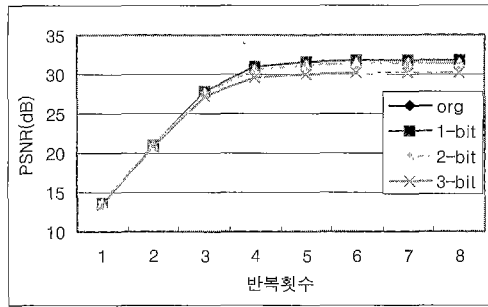
(b) 초기블록크기 32, 임계값 16



(c) 초기블록크기 16, 임계값 16



(c) 초기블록크기 16, 임계값 8



(d) 초기블럭크기 16, 임계값 8

그림 9. 256×256 Lena 영상

그림 9는 256×256 크기의 Lena 영상을 입력데이터의 비트수를 줄이며 복원 영상의 화질을 비교한 것이다. 이 결과 역시 3-비트를 제거할 때는 PSNR이 크게 떨어지지만 2-비트까지 제거할 경우는 화질에 큰 손상을 주지 않는 것을 알 수 있다.

그림 10은 512×512 크기의 Lena 영상의 입력비트의 제거에 따른 복원 영상을 비교한 것이다. 초기블럭의 크기는 32×32로 선택했고, 4×4 크기의 블럭으로까지 분할했다. 이때의 임계값은 8로 선택한 경우이다.



(c) 6비트 데이터 (2비트 제거)



(d) 5비트 데이터 (3비트 제거)

그림 10. 512×512 Lena 영상

표 1은 모의실험의 결과인 입력데이터 비트의 제거에 따른 PSNR과 필요한 데이터 입력핀의 수를 나타내고 있다. 복원 영상의 화질에 크게 영향을 주지 않는 범위 내에서 데이터의 하위 비트를 제거시켜 전체 입출력 핀의 수를 줄일 수 있다.

초기블럭의 크기가 32×32이고, 임계값이 8이라면 복원영상의 PSNR은 약 33dB 정도가 된다. 입력데이터의 2-비트를 제거하더라도 복원 영상의 화질은 크게 나빠지지 않는다. 그러나 하위 3-비트의 제거시에는 복원 영상의 화질이 급격히 나빠짐을 알 수 있다. 따라서 모의실험의 결과 하위 2-비트를 제거하여 상위 6-비트만을 입력한 경우가 입력핀 수와 PSNR의 관계에서 최적의 성능을 보이고 있다. 이 결과 프랙탈 영상 압축을 위한 일차원 시스톨릭 어레이의 입력핀을 25% 감소시킬 수 있다.

### V. 결론

본 논문에서는 프랙탈 영상압축을 고속으로 처리하기 위한 일차원 VLSI 어레이의 구조에서 입력핀



(a) 8비트 데이터



(b) 7비트 데이터 (1비트 제거)

표 1. 입력데이터의 축소에 따른 복원영상의 화질과 입력핀 수

영상 크기	초기 블럭 크기	입계값	데이터 비트수	PSNR (dB)	입력핀
				Lena	
512×512	32	16	8-bit	27.91	128
			7-bit	27.86	112
			6-bit	27.80	96
		5-bit	27.32	80	
		8	8-bit	32.95	128
			7-bit	32.94	112
	6-bit		32.61	96	
	16	16	5-bit	31.27	80
			8-bit	29.84	128
			7-bit	29.80	112
		8	6-bit	29.59	96
			5-bit	28.85	80
8-bit			33.68	128	
256×256	32	16	7-bit	33.63	112
			6-bit	33.14	96
			5-bit	31.62	80
		8	8-bit	27.63	128
			7-bit	27.59	112
			6-bit	27.50	96
	16	16	5-bit	27.00	80
			8-bit	31.64	128
			7-bit	31.62	112
		8	6-bit	31.29	96
			5-bit	30.13	80
			8-bit	28.18	128
16	16	7-bit	28.15	112	
		6-bit	28.04	96	
		5-bit	27.50	80	
	8	8-bit	31.78	128	
		7-bit	31.76	112	
		6-bit	31.42	96	
			5-bit	30.22	80

의 수를 줄이기 위한 방안을 제안했다. Fisher의 알고리즘으로부터 유도한 일차원 어레이의 입력핀의 수가 너무 많아 실제 VLSI를 구현하는데 어려움이 있었다.

VLSI의 입력핀의 수를 줄이기 위해, 치역과 정의 역블럭을 구성하는 픽셀을 입력하는 핀을 공유해서 입력핀의 수를 줄일 수 있었다. 입력핀의 공유를 통해 입력 핀수를 50%로 줄일 수 있다. 또한 프랙탈 영상압축방법은 손실압축코드가므로 입력데이터의 일부를 생략하더라도 복원 영상의 화질에 크게 영향을 미치지 않는다. 따라서 입력데이터의 가중치가 낮은 비트의 입력의 생략을 통해 입력핀의 수를 줄일 수 있다. 하위의 몇 비트를 생략하여 데이터 입력 핀수를 줄이고, 처리요소의 내부 연산회로를 간단히 할 수 있다.

프랙탈 영상 압축 알고리즘을 이용해서 8-비트 그레이 레벨을 갖는 512×512 및 256×256 픽셀 크기의 영상을 압축하고, 그 복원영상의 신호대 잡음비를 분석했다. 초기 블럭 크기가 32×32이고 입계값이 8인 경우, 원래의 8-비트 데이터로 압축해서

복원하면 약 33dB의 신호대잡음비를 갖는다. 하위 2-비트를 제거한 경우, 약 32dB로써 복원 화질에 큰 영향을 주지 않음을 확인했다. 따라서 입력핀의 수를 추가로 25%정도 줄일 수 있다. 컴퓨터 시뮬레이션을 통해 입력 데이터의 하위비트를 생략하여 입력핀의 수를 줄이는 방안의 유효성을 검증했다. 본 논문의 연구결과는 프랙탈 영상압축을 위한 어레이의 VLSI 구현에 이용될 수 있을 것이다.

참고 문헌

- [1] Y. Fisher, "Fractal Image Compression: Theory and Application," Springer-Verlag, Berlin, 1995.
- [2] F. Ancarani, A. De Gloria, M. Olivieri, and C. Stazzone, "Design of an ASIC Architecture for High Speed Fractal Image Compression," Proceedings of the Ninth Annual IEEE International ASIC Conference and Exhibit, pp. 223-226, 1996.
- [3] D. J. Jackson and T. Blom, "Fractal Image Compression Using a Circulating Pipeline Computation Model," Proceedings of the ISCA 10th International Conference on Parallel and Distributed Computing Systems, pp. 141-144, 1997.
- [4] K. P. Acken, M.J. Irwin, and R. M. Owens, "A Parallel ASIC Architecture for Efficient Fractal Image Coding," Journal of VLSI Signal Processing 19, pp. 97-113, 1998.
- [5] 성길영, 이수진, 우중호, "고속 프랙탈 영상압축을 위한 VLSI 구조," 한국통신학회 논문지, 제25권, 제4B호, pp. 708-714, Apr., 2000.
- [6] 성길영, 우중호, "고속 프랙탈 영상압축을 위한 최적의 파이프라인 주기를 갖는 VLSI 어레이 구조 설계" 한국통신학회 논문지, 제25권, 제5A호, pp.702-708, May, 2000.
- [7] S. Y. Kung, VLSI Array Processors, Prentice Hall, Englewood Cliffs, New Jersey, 1988.

성길영(Kil Young Sung) 정희원  
 1980년 2월: 경북대학교 전자공학과 졸업(학사)  
 1985년 2월: 건국대학교 대학원 전자공학과(석사)  
 2000년: 부경대학교 대학원 전자공학과(박사)  
 1995년~현재: 경상대학교 정보통신공학과 교수, 해

양산업연구소 연구원

<주관심 분야> 컴퓨터구조, 영상압축, 병렬처리

전 상 현(Sang Hyun Jeon) 정회원

1981년 2월 : 경북대학교 전자공학과 졸업(학사)

2001년 8월 : 부경대학교 산업대학원 컴퓨터공학과  
(석사)

현재 : 팜달(주) 대표

<주관심 분야> 영상압축, 신호처리

이 수 진(Soo Jin Lee) 정회원

1995년 2월 : 부경대학교 전자공학과 졸업(학사)

1997년 2월 : 부경대학교 대학원 전자공학과(석사)

1999년 : 부경대학교 대학원 전자공학과 박사과정  
수료

<주관심 분야> 병렬처리, 컴퓨터구조, 영상압축

우 종 호(Chong Ho Woo) 정회원

1978년 2월 : 경북대학교 전자공학과 컴퓨터공학전공  
(학사).

1981년 2월 : 경북대학교 대학원 전자공학과 전산공학  
전공(석사)

1990년 2월 : 경북대학교 대학원 전자공학과 전산공학  
전공(박사).

1981년 3월~현재 : 부경대학교 전자컴퓨터정보통신  
공학부 교수.

1987년 8월~1988년 8월 : 미국 펜실러공대(RPI) 전  
산학과 객원교수.

<주관심 분야> VLSI 어레이 알고리즘, 병렬처리,  
분산멀티미디어