

효율적인 잡음 발생기의 구현

정희원 김대익*, 박홍열**, 태기철***, 정진균**

Efficient Implementation of Noise Generation System

Dae-Ik Kim*, Hong-Yul Park**, Ki-Cheol Tae***, Jin-Gyun Chung** *Regular Members*

요약

통신 시스템의 성능은 여러 가지 요구 조건을 고려하여 측정되어야 한다. 이러한 목적으로 잡음 발생기는 주어진 특성을 갖는 잡음 신호를 생성하는데 사용되는 시스템이다. 본 논문에서는 최근에 제안된 DCT를 이용한 잡음 발생기에서 DCT를 제외한 회로의 면적을 약 40~45% 정도 줄이는 구조를 제안한다. 또한, 제안한 구조는 시스템 일부분의 불필요한 동작을 억제하여 전력소모를 줄일 수 있다.

ABSTRACT

The performance of communication systems should be tested against a set of requirements. To this end, noise generation systems are used to generate noise signals with specified characteristics. In this paper, we proposed the area-efficient noise generation system based on DCT method. It is shown that the proposed structure results in area reduction of non-DCT block by 40 ~ 45%. Also, the proposed structure can reduce power consumption by eliminating unnecessary operations in some blocks of noise generation system.

I. 서론

모뎀을 비롯한 통신장비는 선로잡음이나 기타 잡음의 영향을 고려하여 시스템을 측정하고 평가해야 한다. 그러나 실제의 잡음 환경을 구현하고 측정하기란 매우 어렵고, 비용 또한 무시할 수 없는 경우가 많다. 따라서 통신 시스템을 측정할 때는 신호에 영향을 주는 요소들을 인위적으로 만들어 실제 전송되는 신호를 가정하게 되는데, 이때 요구되는 것이 잡음 발생기이다.

고속모뎀의 테스트에 사용하는 VDSL의 선로잡음은 AWGN, 누화, 라디오 잡음, 임펄스 잡음, 배경 잡음 등이 있다. 일반적으로 잡음 발생을 위해 Yule-Walker equation을 사용하여 디지털 필터를 구현할 수 있다^{1), 2)}. 그러나 일반적으로 천이 대역폭이 좁으며 요구되는 주파수특성이 주파수에 대해 빠르게 변화할 경우 이를 만족시키는 디지털필터를

구현하기는 어려우므로 이 방법을 이용하여 VDSL에 적용하기 위한 잡음발생기의 필터 계수를 구하면 VDSL의 잡음 스펙과 오차가 심하게 발생되어 잡음 신호로서 부적합한 경우가 있게 된다. 이러한 문제점을 보완하기 위해서 Yule-Walker equation을 이용하는 대신 중심 극한 정리(Central Limit Theorem)와 DCT(Discrete Cosine Transform)를 이용하여 잡음신호를 발생시킬 수 있는 알고리즘이 최근에 제안되었다³⁾.

본 논문에서는 [3]에 제안된 잡음발생기의 DCT 출력신호를 효율적으로 사용함으로써 잡음 발생회로에서 DCT를 제외한 나머지 회로의 면적을 약 40~45% 정도 줄일 수 있음을 보인다. 또한, 제안한 구조는 시스템 일부분의 불필요한 동작을 억제하여 전력소모를 줄일 수 있음을 보인다.

본 논문은 II절에서 DCT를 이용한 기존에 제안된 잡음발생기 구조를 간단히 설명하고, III절에서는

* 전북대학교 BK21 전자정보사업단, 전자정보신기술연구센터(dikim@idec.chonbuk.ac.kr),
 ** 전북대학교 전자정보공학부(hypark@vlsidsp.chonbuk.ac.kr, jgchung@moak.chonbuk.ac.kr),
 *** 한국전자통신연구원 무선방송연구소 전파신호분석연구팀(kctae@etri.re.kr)
 논문번호 : 010235-0904, 접수일자 : 2001년 9월 4일

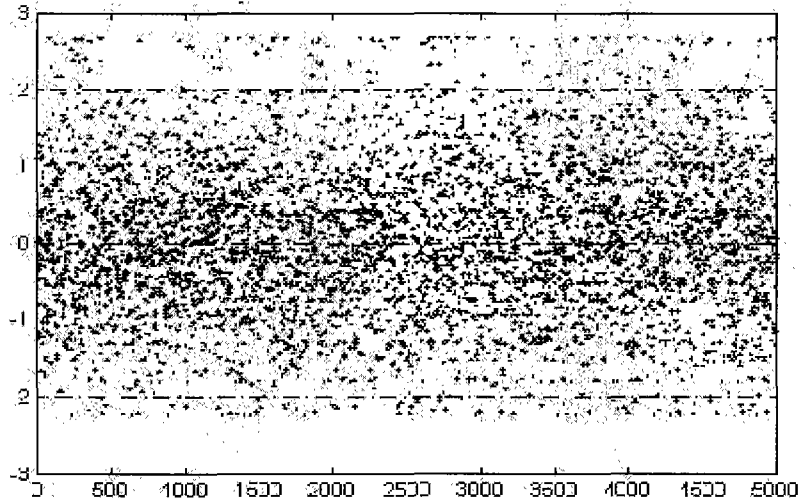


그림 1. Box-Muller equation을 이용하여 uniform 분포 신호를 Gaussian 분포 신호로 변환했을 때의 신호 분포

면적 감소를 위해 새로 제안한 구조에 대해서 서술하며, 마지막으로 IV절에서 결론을 맺는다.

II. 기존에 제안된 잡음발생기 구조

본 절에서는 [3]에서 제안된 DCT를 이용한 잡음 발생기 구조를 간단히 설명한다.

1. Gaussian 분포를 갖는 독립변수의 생성

일반적으로 통신시스템 측정에 사용되는 잡음신호는 Gaussian 분포를 가진다^[4]. Uniform 분포를 갖는 신호를 Gaussian 분포를 갖는 신호로 변환하기 위해 Box-Muller equation을 사용할 수 있다^[5]. 그림 1은 Box-Muller equation을 사용하여 uniform 분포를 갖는 신호를 Gaussian 분포를 갖는 신호로 변환했을 때 신호분포의 예이다. 그러나 Box-Muller Equation은 sin, cos, log을 위한 ROM 테이블과 복잡한 곱셈기를 필요로 하기 때문에 하드웨어적으로 많은 면적을 차지하게 된다.

서로 독립인 M 개의 독립변수(Random Variables) X_i , $i = 1, 2, \dots, M$ 가 주어지고 M 이 충분히 클 경우, 이 신호의 합인 $X = X_1 + \dots + X_M$ 은 중심 극한 정리에 의하여 Gaussian 분포를 가지는 신호를 만들어낸다^[6].

그림 2는 uniform 분포를 갖는 M 개의 독립변수를 발생시키기 위한 회로를 보여주고 있다. 여기에서 M 개의 독립변수는 PN 시퀀스 발생기를 사용하여 생성시킨다. 실선을 입력으로 갖는 XOR 게이트

는 32비트 쉬프트 레지스터를 이용하여 원시 다항식(primitive polynomial)을 발생시키기 위한 것이며, 점선을 입력으로 갖는 M 개의 XOR 게이트는 서로 독립적인 uniform 분포를 가지는 신호를 만들어 내기 위한 것이다. 이때 XOR게이트에 입력되는 신호는 서로 각기 다른 패턴을 가져야 한다.

M 개의 XOR 게이트의 출력은 M 비트 쉬프트 레지스터 $R_M(1)$ 에 저장되고 M -clk 동안 레지스터 내에서 쉬프트 되면서 MUX(1)의 선택신호로 사용된다. 그 후 $R_M(1)$ 의 데이터는 $R_M(2)$ 로 이동되고 XOR 게이트의 새로운 출력이 $R_M(1)$ 에 저장된다. $R_M(2)$ 의 데이터는 M -clk 동안 MUX(2)의 선택 신호로 사용되고 $R_M(3)$ 으로 이동한다. 즉, $R_M(i)$ 의 데이터는 M -clk 동안 MUX(i)의 선택 신호로 사용되고 $R_M(i+1)$ 으로 이동한다.

2. DCT를 이용한 잡음 발생기

DCT를 이용한 잡음발생기의 구조는 그림 3과 같다. $(L+1)$ -point DCT를 이용한 잡음 발생 알고리즘은 다음과 같다.

- ① 주어진 PSD (Power Spectral Density)로부터, $(L+1)$ 개의 샘플 $X(0), X(1), \dots, X(L)$ 을 구한다.
- ② $(L+1)$ 개의 샘플 값을 입력으로 하는 $(L+1)$ -point DCT를 취한다.
- ③ 그림 2에서 발생된 N 개의 출력을 그림 3의 Mux 선택 신호의 입력으로 사용한다.
- ④ 그림 3과 같이 N 개의 신호들을 더함으로써 Real

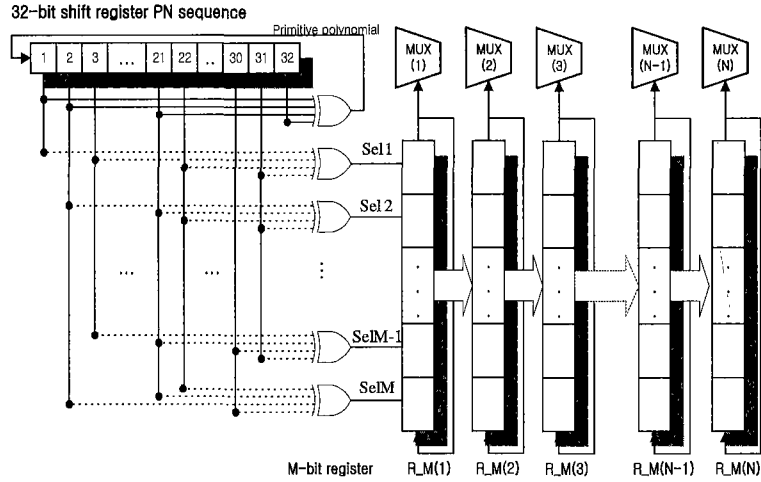


그림 2. PN 시퀀스 발생기를 이용한 MUX select 신호 발생기.

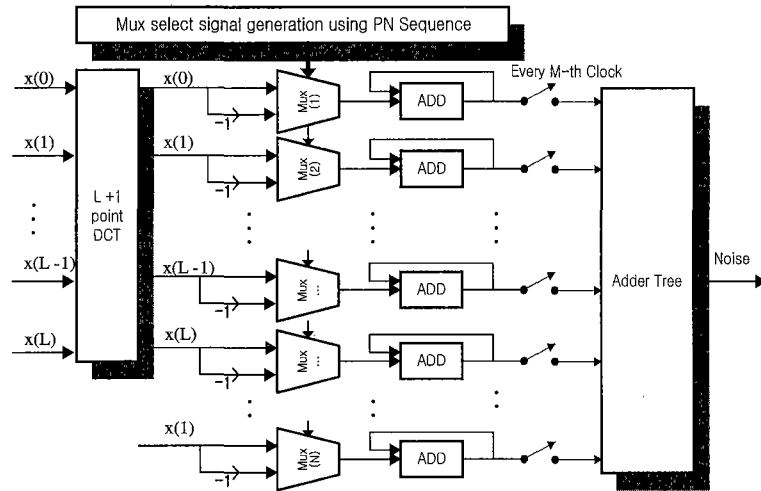


그림 3. DCT를 이용한 잡음발생기의 구조 ($L=N/2$).

값의 Time-domain 신호를 얻을 수 있다.

그림 3에서 32-bit 쉬프트 레지스터가 PSD=1을 갖는 PN 시퀀스 발생기로 사용되었다. Mux의 선택 신호는 그림2에서 보여준 M개의 4-input XOR 게이트를 사용하여 얻을 수 있다. Adder Tree 앞에 있는 스위치가 열려있는 동안, Mux 출력값은 M-clk 동안 ADD 블록 내에 누적된다. M-clk 후에 스위치가 연결되고 잡음 출력신호는 ADD 블록에 누적된 N개의 신호를 Adder Tree에서 합하여 얻게 된다.

PN 시퀀스는 '1'과 '0'의 논리값으로 이루어져 있으므로 복잡한 곱셈기를 사용하는 대신 단순한 Mux를 사용하여 곱셈을 수행할 수 있다. Box- Muller

equation을 사용하여 Gaussian 분포를 갖는 잡음 신호를 얻기 위한 시스템을 구성할 경우에는 곱셈기를 사용해야하기 때문에 효율성이 떨어지게 된다.

Yule-Walker equation과 33-point ($N=64$) DCT를 이용한 알고리즘을 사용하여 얻은 HDSL과 VDSL 간의 누화잡음 신호의 PSD를 그림 4에 보였다. 또한 그림 5는 변화가 심한 PSD 스펙을 요구하는 경우 Yule-Walker equation과 DCT를 이용한 알고리즘에서 얻은 PSD 결과를 보여주고 있다 ($N=64$). 그림 4와 5에서 보논바와 같이 Yule-Walk equation을 사용하는 것보다 DCT를 이용한 알고리즘을 사용함으로써 주어진 PSD 스펙을 더 잘 만족시킬 수 있음을 알 수 있다.

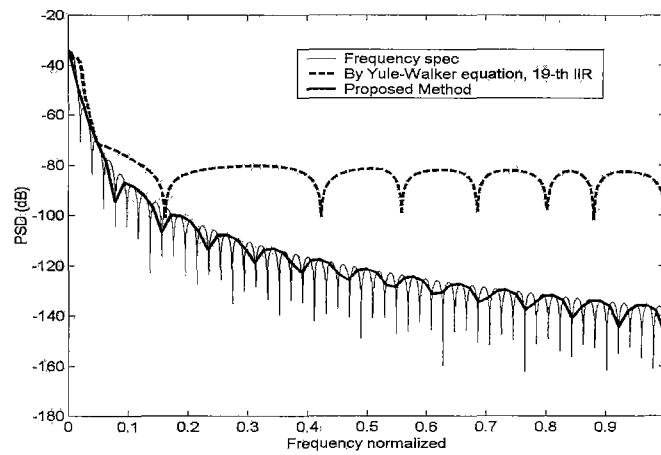


그림 4. Yule-Walker equation과 DCT를 이용한 알고리즘에서 얻은 HDSL에서 VDSL로의 주화잡음 신호의 PSD (Sampling frequency = 40 MHz).

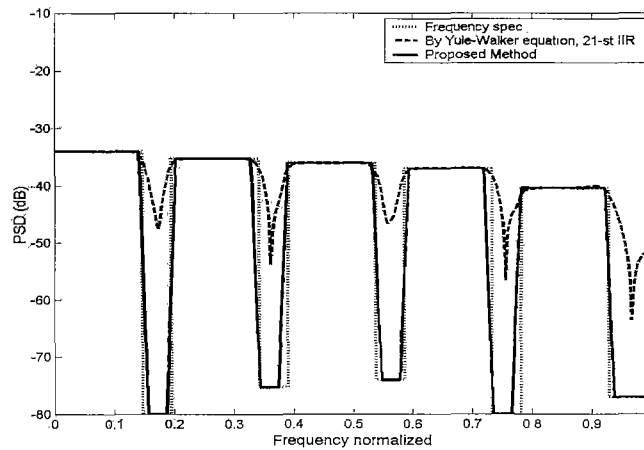


그림 5. Yule-Walker equation과 DCT를 이용한 알고리즘의 PSD비교

III. 새로 제안한 구조

1. 중복입력을 고려한 구조

그림 3에서 Mux의 동작특성을 살펴보면, PN 시퀀스를 이용한 Mux 선택 신호가 '0'인 경우에는 $x(0) \sim x(L)$ 가 선택되고 '1'인 경우에는 $-x(0) \sim -x(L)$ 가 선택되어 진다. 따라서 Mux 선택 신호 발생기의 M -bit 쉬프트 레지스터에 저장되어 있는 '0'과 '1'에 따라 ADD 블록에서 덧셈과 뺄셈을 수행하게 된다.

그림 3의 DCT 출력 뒤 단을 살펴보면 $x(I)$ 은

Mux(2)와 Mux(N)의 입력으로 중복되어 사용되며 Mux(2)와 Mux(N)의 출력신호들이 ADD 블록을 거친 후 Adder Tree에서 서로 더해짐을 알 수 있다. 따라서 이러한 특성을 이용하여 그림 3에서 $x(I)$ 과 관련된 회로를 그림 6과 같은 구조로 수정할 수 있다.

Mux 선택 신호 발생기의 쉬프트 레지스터의 클럭 신호(CLK)가 그림 6의 Mux_B의 선택 신호로 사용되어 CLK='0'인 경우 Mux(2)의 신호를 선택하고 CLK='1'인 경우 Mux(N)의 신호를 선택한다. 한 클럭 내에 Mux(2)와 Mux(N) 두 신호가 Mux_A의 선택신호로 사용되어 $x(I)$, 또는 $-x(I)$ 을 취하게 된다. 선택된 Mux_A의 입력 신호를 하나의

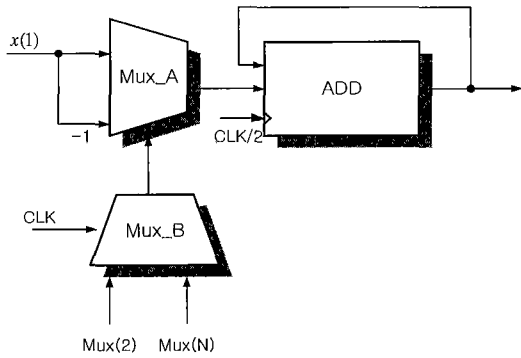


그림 6. 중복 입력을 고려한 Mux, ADD 블록.

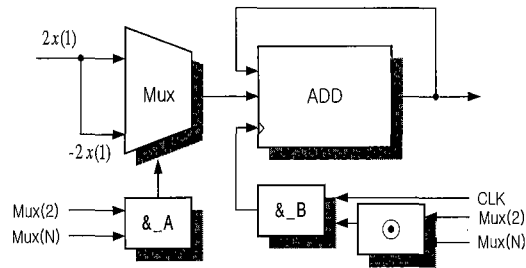


그림 7. 제안한 Mux, ADD 블록.

CLK 안에 덧셈을 수행하여야 하기 때문에 ADD 블록을 CLK/2 신호에 동기시켜 처리해야만 한다. 이와 마찬가지로 $x(2) \sim x(L-1)$ 신호에 대해서도 똑 같은 관계가 성립함을 알 수 있다.

2. 면적 및 전력 감소를 위한 구조

그림 6의 구조에서는 하나의 CLK 내에 Mux(2)와 Mux(N)으로 선택한 두 개의 입력 신호를 더해 주어야 하기 때문에 CLK/2 신호를 사용해야 한다. 이는 별도의 클럭 신호를 사용해야 하기 때문에 회로 구현 측면에서 불리하게 된다. 그러나 다음과 같이 Mux(2)와 Mux(N)의 선택신호를 동시에 고려함으로써 CLK/2 신호의 사용을 피할 수 있다.

Mux(2)와 Mux(N)이 한 CLK 내에 가질 수 있는 신호 집합은 {00, 01, 10, 11}이다. 신호가 '01'인 경우에는 $x(1)$ 과 $-x(1)$ 을 더하게 되고 '10'인 경우에는 $-x(1)$ 과 $x(1)$ 을 더하게 되어 ADD 블록에서 두 신호를 더한 값은 0이 된다. 따라서 이 두 경우에는 ADD 블록에서 덧셈을 할 필요가 없다. 신호가 '00'일 경우에는 $x(1)$ 을 두 번 더한 결과가 되므로 $2x(1)$ 을 Mux 입력신호로 사용할 수 있다. 마찬가지로 신호가 '11'인 경우에는 $-2x(1)$ 을 미리 계산하여 Mux의 입력 신호로 사용할 수 있다. $2x(1)$ 과 $-2x(1)$

은 단지 $x(1)$ 과 $-x(1)$ 값을 왼쪽으로 1비트 이동시킴으로써 간단하게 구현된다. 또한 이와 같이 Mux(2)와 Mux(N)의 선택신호를 동시에 처리하는 구조를 선택함으로써 그림 6에서 요구되었던 CLK/2 신호 없이 ADD 블록을 동작시킬 수 있음을 알 수 있다.

Mux(2)와 Mux(N)의 선택신호를 동시에 처리하는 회로는 그림 7과 같다. 회로의 동작을 살펴보면 Mux(2)와 Mux(N)이 '01' 또는 '10'인 경우에는 &_B와 XNOR 게이트를 통하여 ADD 블록의 클럭 신호를 disable시켜서 동작하지 않게 되며 '00'과 '11'인 경우에는 enable시켜주어 ADD 블록에 클럭이 인가되도록 한다. 이 부분은 불필요한 ADD 블록의 덧셈 동작을 방지하기 때문에 게이트들의 스위칭 동작을 감소시켜 전력소모를 줄일 수 있는 장점을 내포하고 있다. 또한 &_A는 '00'과 '11'인 경우 Mux의 입력 신호를 선택하여 ADD 블록으로 전달 시켜주는 동작을 수행한다. $x(2) \sim x(L-1)$ 의 신호에 대해서도 이와 같은 개선된 회로를 적용하여 설계할 수 있다.

제안한 방법을 이용한 전체적인 구조는 그림 8과 같다. 그림 8의 새로 제안한 잡음 발생기는 $(L+1)$ 포인트 DCT 블록, $(L+1)$ 개의 Mux 블록, $(L+1)$ 개의 ADD 블록, $(L+1)$ 개의 신호를 처리하기 위한 Adder Tree 블록으로 구성된다. 여기에서 그림 3의 구조와 비교하여 Mux 블록에는 총 $(L-1)$ 개의 AND 게이트가 추가되고 ADD 블록에는 총 $(L-1)$ 개의 AND 게이트와 XNOR 게이트가 추가됨을 알 수 있다. 그러나 입력의 워드길이가 W 일 경우 Mux 블록에는 $3W(L+1)$ 개의 AND/OR 게이트, ADD 블록에는 $W(L+1)$ 개의 전가산기가 사용된다는 점을 고려하여 추가되는 하드웨어의 오버헤드를 무시한다면 그림 3과 비교하여 $(L-1)$ 개의 Mux 블록, ADD 블록, 그리고 Adder Tree 블록을 감소시킬 수 있음을 알 수 있다.

표 1은 기존의 구조와 제안한 구조에서 DCT 뒤단의 면적을 비교한 것이다. 기존의 구조와 제안한 구조를 비교해 보았을 때 DCT 포인트수의 증가에 따라서 하드웨어의 감소율이 증가함을 알 수 있다.

V. 결론

본 논문에서는 DCT를 이용한 잡음 발생회로의 면적을 감소시키기 위한 방안을 제시하였다. 잡음 발생회로에서 DCT의 출력으로 발생하는 신호의 중

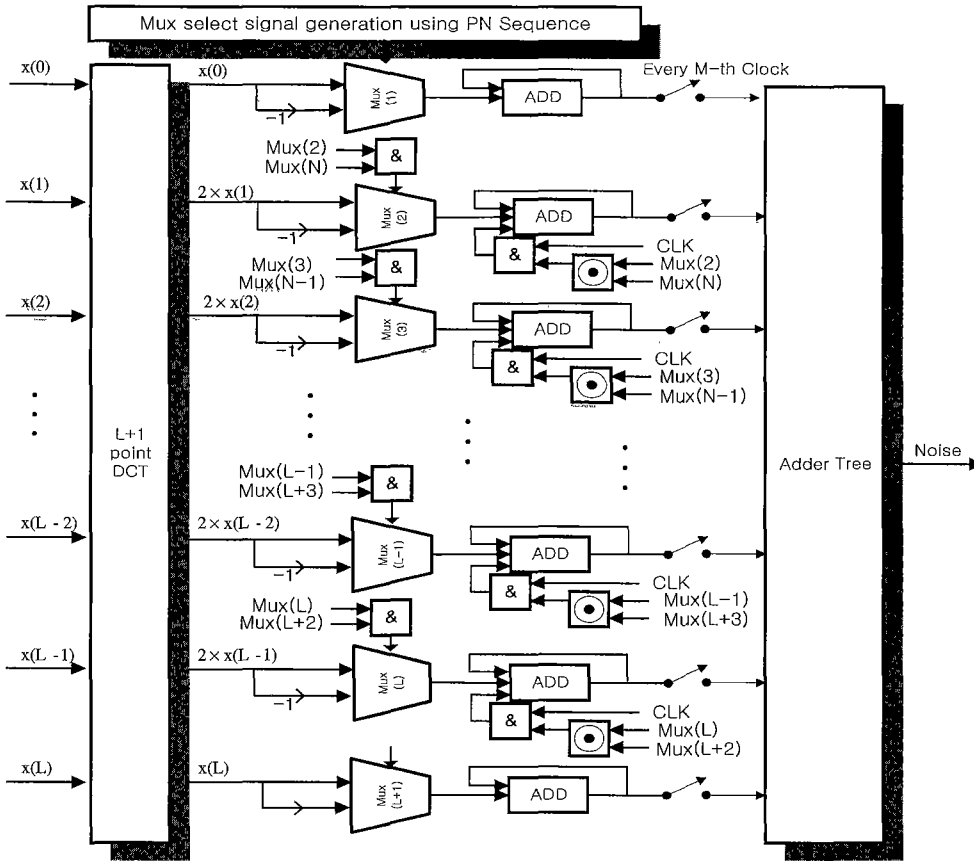


그림 8. 제안한 방법을 적용한 구조(L=N/2).

복사율을 고려하여, DCT를 제외한 나머지 회로의 면적을 DCT 포인트 수에 따라 약 40~45% 정도까지 줄일 수 있음을 보였다. 또한 제안한 구조는 시스템 일부분의 불필요한 동작을 제한함으로써 전력 소모를 줄일 수 있는 장점을 갖고 있다.

참 고 문 헌

[1] J. S. Chow, *Finite-length equalization for multi-carrier transmission systems*. Ph.D

Thesis, Stanford University, 1992
 [2] J. L. Dixon, J. S. Yeomans, and J. M. Goldthrop, "NEXTNOISE-a programmable noise generating system for testing wire-based loop transmission systems," *Proceedings of the Globecom' 93*, pp.1319-1324, Nov. 1993.
 [3] K. Tae, D. Kim, and J. Chung, "Noise Generation System Using DCT," *Proceeding of ISCAS*, Sydney, May 2001.
 [4] J. Cioffi, "Very-high-speed digital subscriber

표 1. 기존의 구조와 제안한 구조의 Area 비교(Tr 수)

DCT point 수	8	16	32	64	128
기존의 구조 (A)	11696	22896	46208	93148	187112
제안한 구조 (B)	7040	13572	26134	51342	101366
차 이 (A-B)	4656	9324	20074	41806	85746
감소율 (%)	39.8	40.7	43.4	44.8	45.8

