

# 전력 증폭기의 복소 포락선 전달특성을 이용한 Postdistortion 방식의 선형화기의 설계

## Design of Postdistortion Linearizer using Complex Envelope Transfer Characteristics of Power Amplifier

한재희 · 이덕희 · 남상욱 · 임종식 · 김병성\*

Jae-Hee Han · Deok-Hee Lee · Sangwook Nam · Jong-Sik Lim · Byung-Sung Kim\*

### 요 약

본 논문에서는  $n$ 차 오차신호발생기(error signal generator)를 이용한 postdistortion 방식의 RF 전력증폭기의 선형화 기법을 제안하였다.  $n$ 차 ESG(error signal generator)는 전력증폭기의 기저대역 등가 복소 전달함수를 바탕으로 오차신호를 발생시켜, 이를 전력증폭기의 출력단에서  $n$ 차 이하의 비선형성만을 제거한다. 따라서, 출력단의  $n$ 차 이상의 혼변조 왜곡(intermodulation distortion) 성분에 영향을 미치지 않으며, 개루프(open-loop) 형태이므로 시스템의 안정성을 보장할 수 있다. 또한, 전력증폭기의 입력 신호를 이용하여 오차신호를 발생시키므로 feedforward 방식에서와 같이 오차신호 발생에 따른 주신호 경로(main signal path)의 시간지연 회로가 불필요하다. 실험 결과로 7차 ESG를 이용한 postdistorter를 최대 출력이 5 W인 셀룰러 대역 A급 증폭기에 적용한 경우의 혼변조 왜곡 개선도와 3-carrier CDMA 신호를 이용한 측정 결과를 제시하여 본 방법의 타당성을 검증하였다.

### Abstract

A new linearization technique for RF high-power amplifiers(HPAs) using  $n$ -th order error signal generator (ESG<sub>n</sub>) is proposed. The  $n$ -th order ESG generates an error signal based on the complex envelope transfer characteristics of the HPA, which is combined at the output of the HPA. Therefore, the higher-order nonlinearities are not affected by the ESG<sub>n</sub> and the stability of the linearized system is guaranteed due to the inherent open-loop configuration. Moreover, the output delay loss can be avoided, because the error signal is generated with the input signal of the HPA. The IMD(intermodulation distortion) improvement obtained applying the ESG<sub>7</sub> to 5 W class A HPA in cellular band demonstrates the feasibility of the proposed postdistortion system.

### I. 서 론

부호분할다중접속(CDMA) 방식과 같이 현재 상용되었거나, 향후 구현된 차세대 디지털 이동통신 시스템에서는 펄스 성형된 QPSK(quadriphase-shift

keying)나 QAM(quadrature amplitude modulation)과 같이 주파수 효율성이 높은 디지털 변조방식을 채택하고 있다. 그러나, 이러한 변조방식의 RF 신호는 최대전력 대 실효 전력비(peak-to-average ratio)가 높고 포락선(envelope)의 변동이 심하여, 송출기의

서울대학교 전기·컴퓨터공학부(School of Electrical Engineering & Computer Science, Seoul National University)

\* 성균관대학교 전기·전자 및 컴퓨터공학부(School of Electrical and Computer Engineering, Sungkyunkwan University)

· 논문 번호 : 20010727-102

· 수정완료일자 : 2001년 10월 26일

최종단에 위치하는 비선형 전력증폭기를 통과할 경우 주파수 재성장(spectral regrowth) 현상이 발생하게 된다. 이러한 주파수 재성장 현상은 인접채널에 신호 대 잡음비(signal-to-noise ratio)를 증가시켜 통화 품질을 저하시키는 원인이 되므로, 이동통신의 시스템의 사양으로 규정하여 엄격하게 통제하고 있다. 따라서, 전력증폭기의 선형성은 기존의 전력부가효율(power added efficiency)과 함께 전력증폭기의 중요한 설계 변수로 자리잡게 되었다<sup>[1]~[4]</sup>.

전력증폭기의 선형성 문제를 가장 쉽게 해결할 수 있는 방법은 동작점(operating point)을 선형 영역으로 이동시키는 것이다. 그러나, 이 경우 동작점을 낮춘 만큼 최대 출력이 높은 소자를 사용해야 하므로 전력부가효율이 낮다는 단점이 있다. 따라서, 효율과 선형성 모두를 만족시키기 위해서는 외부에 선형화기를 추가하거나, 되먹임 방식 등의 선형화 기법을 사용하여야 한다. 현재까지 개발된 선형화 기법으로는 feedforward 방식, 되먹임(feedback) 방식, 사전왜곡(predistortion) 방식, LINC (linear amplification using nonlinear components), EE&R (envelope elimination & restoration) 등이 있으며, 각각에 대한 설명은 [3]~[4]에 자세히 정리되어 있다.

본 논문에서는 RF 전력증폭기를 위한  $n$ 차 오차 신호 발생기(error signal generator)를 이용한 postdistortion 방식의 선형화 기법을 제안하였다. 제안된  $n$ 차 ESG(error signal generator)는 전력증폭기의 기저대역 등가 복소 전달함수를 이용하여 오차 신호를 발생시키고, 이를 전력증폭기의 출력단에서  $n$ 차 이하의 비선형성만을 제거한다. 따라서, 전력증폭기의  $n$ 차 이상의 혼변조 왜곡(intermodulation distortion) 성분에 영향을 미치지 않으며, 개루프(open-loop) 형태이므로 시스템의 안정성을 보장할 수 있다. 또한 전력증폭기의 입력 신호를 사용하여 오차신호를 발생시키므로 feedforward 방식에서 필요한 주신호 경로(main signal path)의 시간 지연 회로가 불필요하여 출력단의 손실을 막을 수 있다는 장점도 가지고 있다.

본문에서는 제안한 선형화기의 동작원리를 설명하고 7차 ESG를 이용한 최대 출력 5 W인 셀룰러 대역에서의 A급 증폭기에 대한 선형화 결과 제시하여, Postdistortion 방식의 타당성을 검증하도록 하겠

다.

## II. Postdistorter의 동작원리

일반적으로 기억성이 없는(memoryless) 전력증폭기의 대역통과(bandpass)  $n$ 차 비선형 포락선(envelope) 특성은 식 (1)과 같은 복소 다항식으로 표현할 수 있다<sup>[1]~[2]</sup>.

$$V_o(t) = [C_1 + C_3 r_i^2(t) + \dots + C_n r_i^{n-1}(t)] \cdot V_i(t) = \sum_{k=0}^{n-1} C_{2k+1} r_i^{2k}(t) V_i(t) \quad (1)$$

여기서,  $r_i(t) = |V_i(t)|$ 이고,  $C_k = a_k + jb_k$ 로  $k$ 차항의 계수이다. 참고로, 본 논문에서 대문자로 표기된 기호는 복소수나 복소 포락선(complex envelope)을 나타내며, 소문자로 표시된 것은 실(real) 신호나 값을 의미한다.

식 (1)에서 전력증폭기의 비선형성에 의해 발생한 왜곡 성분만 정리하면 다음과 같다.

$$V_m(t) = [C_3 r_i^2(t) + \dots + C_n r_i^{n-1}(t)] \cdot V_i(t) = \sum_{k=1}^{n-1} C_{2k+1} r_i^{2k}(t) V_i(t) \quad (2)$$

따라서, 식 (2)와 같은 오차 신호  $V_m(t)$ 를 발생시켜 전력증폭기의 출력단에서 역위상으로 결합시키면 아래와 같이  $C_1$ 의 이득을 갖는 선형 출력  $V_c(t)$ 를 얻을 수 있다.

$$V_c(t) = V_o(t) - V_m(t) = C_1 V_i(t) \quad (3)$$

그림 1은 본 논문에서 제시한 Postdistortion 시스템의 간략한 블록도이다. 본 선형화기는 크게 비선형 전력증폭기와  $n$ 차 오차 신호를 발생시키기 위한 ESG<sub>n</sub>으로 구성되어 있다. 전력증폭기의 입력단에 위치한 방향성 결합기는 입력신호를  $n$ 차 ESG에 인가하는 역할을 하고, 출력단의 방향성 결합기는 ESG에서 생성된 오차 신호를 제거하기 위한 것이다.

본 논문에서 제시한  $n$ 차 ESG의 구현 방법을 설

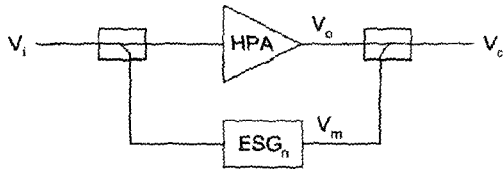


그림 1. Postdistortion 방식의 간략한 블록도  
Fig. 1. Simplified block diagram of postdistortion system.

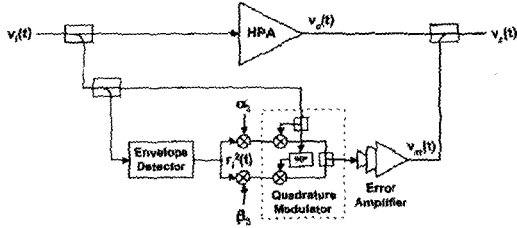


그림 2. 3차 ESG를 이용한 Postdistorter 선형화기의 블록도  
Fig. 2. Block diagram of postdistortion linearizer using a third-order ESG.

명하기 위하여, 우선 3차 ESG의 구성과 동작 원리에 대하여 살펴보도록 하겠다. 그림 2는 3차 ESG 회로의 블록도이다. 전력증폭기의 입력으로 QAM이나 QPSK 방식 등으로 직각 변조된 신호를 사용한다고 가정할 때, 입력신호  $v_i(t)$ 는 일반적으로 다음과 같이 표현할 수 있다<sup>[6]-[7]</sup>.

$$v_i(t) = i_i(t) \cos \omega_c t - q_i(t) \sin \omega_c t \quad (4)$$

여기서,  $\omega_c$ 는 변조된 신호의 반송파(carrier) 주파수이고,  $i_i(t)$ 와  $q_i(t)$ 는 각각 기저대역의 동위상(in-phase) 성분과 직각(quadrature) 성분을 나타낸다. 이러한 입력신호  $v_i(t)$ 의 크기의 제곱 성분을 자승포락선 검파기(square-law envelope detector)를 이용하여 추출하고, 이를 다시 직각 변조기(quadrature modulator)의 동위상 단자와 직각 단자에 각각  $\alpha_3$ 와  $\beta_3$ 를 곱하여 인가한다. 그리고, 국부 발진기(local oscillator) 단자의 입력으로 전력증폭기의 입력신호  $v_i(t)$ 를 사용하였을 때, 직각 변조기의 출력신호는 다음과 같다.

$$\begin{aligned} v_m(t) &= \alpha_3 r_i^2(t) [i_i(t) \cos \omega_c t - q_i(t) \sin \omega_c t] \\ &\quad - \beta_3 r_i^2(t) [i_i(t) \sin \omega_c t + q_i(t) \cos \omega_c t] \\ &= [\alpha_3 i_i(t) - \beta_3 q_i(t)] r_i^2(t) \cos \omega_c t \\ &\quad - [\alpha_3 q_i(t) + \beta_3 i_i(t)] r_i^2(t) \sin \omega_c t \end{aligned} \quad (5)$$

그러므로, 식 (5)에서 동위상 성분과 직각 성분의 이득 계수를 각각  $\alpha_3 = -\alpha_3$ 와  $\beta_3 = -\beta_3$ 가 되도록 조절하면, ESG 출력  $v_m(t)$ 는 식 (6)과 같은 전력증폭기에 의해서 발생된 3차 왜곡신호  $v_3(t)$ 와 크기는 같고 위상이 반대가 됨을 알 수 있다. 따라서, 이 신호를 전력증폭기의 출력단에서 결합시키면 전력증폭기의 3차 왜곡성분을 제거할 수 있다.

$$\begin{aligned} v_3(t) &= \text{Re} \{ C_3 r_i^2(t) V_i(t) e^{j\omega_c t} \} \\ &= \text{Re} \{ (\alpha_3 + j\beta_3) r_i^2(t) [i_i(t) + jq_i(t)] e^{j\omega_c t} \} \\ &= [\alpha_3 i_i(t) - \beta_3 q_i(t)] r_i^2(t) \cos \omega_c t \\ &\quad - [\alpha_3 q_i(t) + \beta_3 i_i(t)] r_i^2(t) \sin \omega_c t \end{aligned} \quad (6)$$

$n$ 차 ESG의 경우, 앞에서 설명한 3차 ESG의 회로와 같은 방법으로 각 차수에 해당하는 성분들을 병렬로 발생시킨 다음, 이들의 동위상 성분들의 합과 직각 성분들의 합을 각각 직각 변조기에 인가하면 된다.

이와 같이, 본 논문에서 제시한  $n$ 차 ESG를 이용할 경우 설계자의 결정에 따라 원하는 차수까지의 전력증폭기의 비선형성 제어가 가능하며, 실제 차수 이상의 혼변조 왜곡 성분에 영향을 미치지 않아 계수의 조절이 용이하다. 따라서, 사전 왜곡 방식에서와 같이 다른 차수의 혼변조 신호에 영향을 미치는 현상이 발생하지 않으며, 비교하여 넓은 동작 영역에서 개선도를 확보할 수 있다.

또한, feedforward 방식에서와 같이 전력증폭기의 출력단에서 왜곡성분은 제거하므로 시스템의 안정성을 보장할 수 있으며 광대역 특성을 얻을 수 있고, 전력증폭기의 입력신호를 이용하므로 feedforward 방식에서 사용되는 주경로에 시간지연(time delay)선로가 불필요하여 이로 인한 손실을 막을 수 있다는 장점도 가지고 있다.

더불어, 위의 유도 과정에서 전력증폭기의 입력신호로 일반적으로 직각 변조된 신호를 사용하였으

므로, 입력신호의 제약을 받지 않는다.

다만, ESG 출력을 증폭시키기 위하여 보조 증폭기를 사용해야 하는 단점이 있지만, ESG 회로가 보조 증폭기의 앞단에서 보조 증폭기에 대한 일종의 사전 왜곡기의 역할도 동시에 수행하므로, feedforward 방식에서 사용되는 것에 비하여 최대 출력은 상대적으로 작은 출력의 증폭기를 사용할 수 있다.

### III. Postdistorter의 구성 및 실험 결과

#### 3-1 Postdistorter의 구성

앞에서 설명한 3차 ESG를 바탕으로 본 논문에서는 7차 ESG를 제작하고, 이를 이용한 postdistortion 방식 선형화기를 구현하였다. 그림 3은 본 논문에서 사용한 7차 ESG 회로의 블록도로, 기본적인 3차 ESG에 병렬로 5차와 7차 계수 조정 회로를 부가하여 구성할 수 있다. 따라서, 본 선형화기는 사용하는 주 증폭기의 특성에 따라 원하는 차수의 ESG를 용이하게 구현할 수 있다.

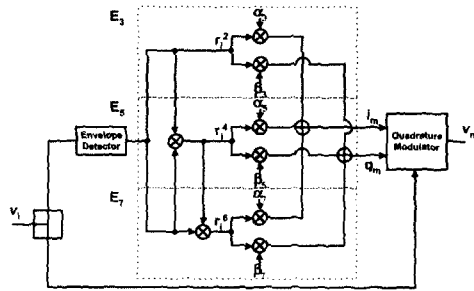
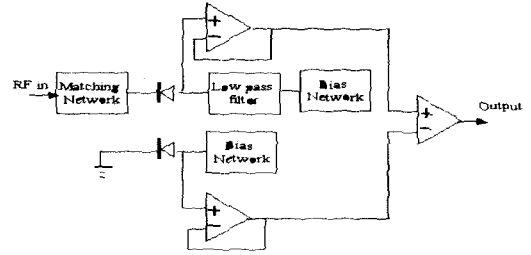
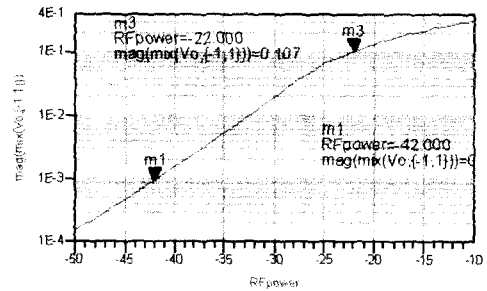


그림 3. 구현된 7차 오차신호발생기의 블록도  
Fig. 3. Block diagram of the implemented 7-th order ESG.

구체적인 ESG의 회로에는 주파수 변환에 필요한 자승 포락선 검파기와 직각 변조기가 있고, 기저대역 신호처리를 위한 아날로그 자승기(multiplier)와 연산증폭기(operational amplifier) 등이 필요하다. 자승 포락선 검파기는 다이오드(diode)의 2차 비선형을 이용한 것으로 HP사의 HSMS2865를 사용하여 제작하였다. 그림 4는 자승 포락선 검파기의 블록도와 Agilent사의 ADS로 모의실험한 결과로, 그림 4



(a) 블록도 (a) Block Diagram



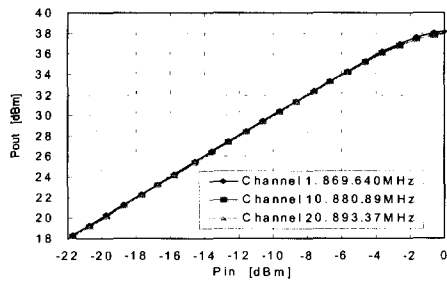
(b) 전달 특성 (b) Transfer Characteristics

그림 4. 자승 포락선 검파기의 모의 실험  
Fig. 4. Simulation of Square-law Detector.

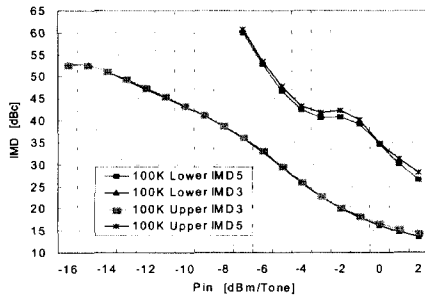
(b)에서와 같이 약 20 dB 이상 동작 영역을 확보할 수 있도록 설계하였다. 직각 변조기는 RFMD사의 RF2422 칩을 이용하여 제작하였으며, 자승기와 연산 증폭기는 각각 Analog Device사의 AD835와 AD 9617 등을 사용하였다.

이와 같이 제작된 7차 ESG를 최대 출력 5 Watts 인 셀룰러 대역의 A급 전력 증폭기에 적용하여 성능을 평가하였다. 사용한 주 증폭기는 Motorola사의 MHL9838로 최종단을 구성하였으며, 단일톤 측정과 혼변조 왜곡 측정 결과는 그림 5와 같다.

이러한 주 증폭기의 입력 신호를 전력 분배기(power divider)를 사용하여 ESG에 인가하고, ESG의 출력은 다시 10 dB 방향성 결합기(directional coupler)로 주 증폭기의 신호와 결합하였다. 이에 앞서 ESG의 출력은 출력단의 결합 계수(coupling ratio)를 고려하여 보조 증폭기로 주 증폭기의 혼변조 왜곡 성분과 같은 크기로 증폭시켜 주어야 한다. 따라서, 본 선형화의 보조 증폭기는 Mini-Circuits사의 ZFL-1000H과 ZHL-42를 사용하여 2단으로 구성하였으며, 참고로 이 보조 증폭기의 1dB 압축점



(a) 단일 주파수 측정 (a) single-tone test



(b) 혼변조 왜곡 측정 (b) IMD test

그림 5. 주 증폭기의 전달특성

Fig. 5. Main amplifier's transfer characteristics.

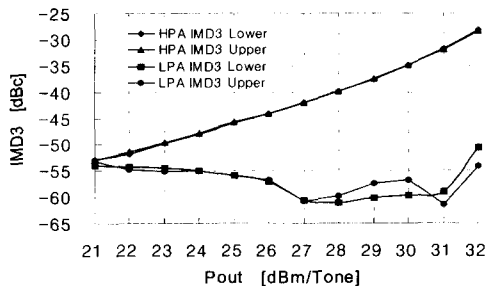


그림 6. 주 증폭기와 선형화된 증폭기의 3차 혼변조 왜곡 특성

Fig. 6. Third-order IMD characteristics of main and linearized amplifier.

은 약 29 dBm이다.

### 3-2 실험 결과

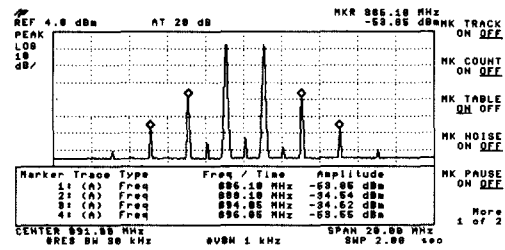
위와 같은 7차 ESG를 이용하여 선형화기를 구성하고, 이를 이용한 주 증폭기에 대한 혼변조 개선도

와 인접채널전력비(adjacent channel power ratio: ACPR) 개선 효과를 측정하였다.

우선 7차 ESG의 경우 6개의 계수 조정 작업이 필요한데, 이것은 최고차의 계수부터 낮은 차수로 최종 출력단의 혼변조 성분을 스펙트럼으로 관찰하며 조절한다.

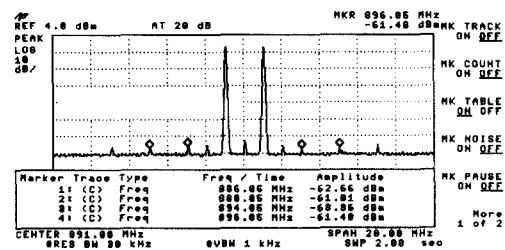
앞에서 설명하였듯이, 본 방법에서는  $n$ 차 계수를 조절하면  $n$ 차 혼변조 성분만이 변하므로, 해당 차수의 혼변조 성분 개선도가 최대가 되도록 계수를 고정하고, 순차적으로  $n-2$ 차의 계수를 같은 방법으로 조정하여 최종적으로 3차 계수까지 조정하면 전체 계수의 조정이 가능하다.

이와 같은 방법으로 주 증폭기를 7차 ESG로 선형화 시켰을 때, 2 MHz 간격의 2-tone 입력 전력에 따른 3차 혼변조 왜곡 특성은 그림 6과 같다. 그림 6에서 확인할 수 있듯이, 구간별로 개선도의 차이는 있지만 7차 ESG를 사용할 경우 3차 혼변조 왜곡 성분을 최대 약 29 dB 감쇄시킬 수 있었으며, 측정된



(a) 비선형 출력 스펙트럼

(a) nonlinear spectrum.



(b) 선형화된 출력 스펙트럼

(b) linearized spectrum.

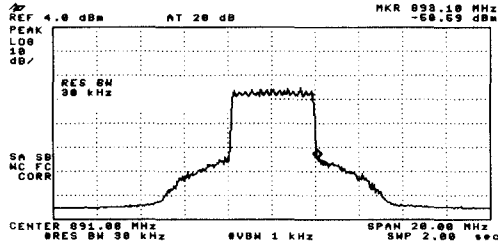
그림 7. 평균 출력 2.5 W 일 때의 2 MHz 2-tone을 이용한 측정 스펙트럼

Fig. 7. Measured Spectra of a 2 MHz spacing 2-tone at an average output of 2.5 W.

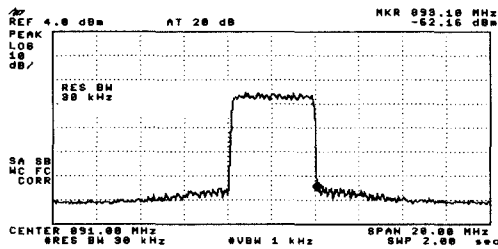
#### IV. 검 토

지금까지는 7차 ESG의 제작과 이를 이용한 Postdistortion 방식 선형화기의 구성에 관하여 설명하였다. 본 장에서는 이러한 시스템의 구현에 있어서 고려할 사항과 현존하는 문제점들에 관하여 기술하도록 하겠다.

1. 우선 본 방법은 feedforward 방식과 비슷한 구조를 채택하고 있으므로, feedforward 방식에서 고려해야 할 문제점과 유사한 점이 많다. 따라서, 선형화기의 넓은 대역폭을 확보하고 개선도를 높이기 위해서는 주 경로와 ESG 경로의 시간 지연 차이를 최소화하는 것이 필수적이다. 또한, 출력단의 방향성 결합기에 따른 보조 증폭기의 출력 전력도 선형화기의 설계에 있어서 중요한 변수 중의 하나이다. 이에 관한 보다 구체적인 내용은 참고 문헌 [8]에 자세히 언급되어 있다.
2. 전력증폭기의 선형화 시스템은 기본적으로 비선형을 포함한 잡음을 최소화하여, 신호대 잡음비를 극대화하기 위한 장치이므로, 선형화기에 사용되는 여러 능동소자들(예를 들어, 자승 포락선 검파기, 직각 변조기, 보조 증폭기 등)에서 발생하는 비선형성을 최소화해야 한다. 또한, 기저대역 아날로그의 잡음을 억제할 수 있도록 회로 제작에 세심한 배려가 필요하다. 특히, 직각 변조기의 변환 이득이 낮은 경우, 보조 증폭기에 높은 이득을 요구하게 되므로, 적절한 소자의 선별이 중요하다.
3. 본 논문에서 실험한 A급 증폭기의 경우, 고차의 비선형성의 영향이 상대적으로 적어, 그림 5에서와 같이 입력 전력에 따른 3차 혼변조 신호가 이론적인 1:3의 비를 유지하며 증가하는 것을 볼 수 있다. 그러나, AB급이나 B급의 경우 비선형성이 더 심각하여 Sweet Spot 등과 같이 입력 전력에 따라 ESG의 3차 계수가 이동하는 현상이 발생하게 되고, 따라서 A급에서와 같이 넓은 동작 영역에서 개선도를 유지하기 어렵게 된다. 이러한 문제를 해결하기 위해서는 ESG 계수의 적응 제어가 필요하고, 현재 이에 관한 연구를 진행 중에 있다.



(a) 비선형 출력 스펙트럼  
(a) nonlinear spectrum.



(b) 선형화된 출력 스펙트럼  
(b) linearized spectrum.

그림 8. 3-carrier IS-95 CDMA 신호를 이용한 측정 스펙트럼

Fig. 8. Measured spectra using a 3-carrier IS-95 CDMA signal.

전 출력 구간에서 고른 3차 혼변조 왜곡의 감쇄 효과를 얻을 수 있었다. 그림 6에서 출력이 작은 구간에서 오히려 개선도가 감소하는 이유는 선형화기의 출력단의 3차 혼변조 신호가 스펙트럼 분석기의 잡음 한계(noise floor)보다 낮아져 정확한 측정치를 얻을 수 없었기 때문이다.

그림 7은 평균 출력 전력이 약 2.5 W 일 때의 출력 스펙트럼으로, 그림 7 (a)와 (b)를 비교하여 보면 앞 절에서 설명한 바와 같이 선형화기가 9차 이상의 혼변조 성분에 영향을 미치지 않음을 확인할 수 있다.

그림 8은 3.75 MHz의 대역폭의 3-carrier IS-95 CDMA 신호를 인가하였을 때의 출력 스펙트럼으로, 중심 주파수에서 2.1 MHz 벗어난 지점에서 11.57 dB의 ACPR 개선효과를 얻을 수 있었다. 따라서, 본 선형화기는 입력 신호에 관계없이 넓은 대역폭을 갖는 신호에 대해서도 동작함을 확인할 수 있었다.

V. 결 론

본 논문에서는  $n$ 차 ESG를 이용한 postdistortion 방식의 RF 전력증폭기의 선형화 기법을 제안하였다. 제안된 방법은 전력증폭기의 기저대역 등가 복소 전달 함수를 바탕으로 오차신호를 발생시켜 출력단에서  $n$ 차 이하의 비선형성만을 제거한다. 따라서, 사전왜곡 방식에서 발생시킬 수 있는  $n$ 차 이상의 혼변조 성분에 영향을 미치지 않으며, 개루프(open-loop) 형태이므로 시스템의 안정성을 보장할 수 있다. 또한 전력증폭기의 입력 신호를 이용하여 오차신호를 발생시키므로 feedforward 방식에서 출력단의 손실을 유발하던 시간지연 회로가 불필요하다.

최대 출력이 5 W 셀룰러 대역의 A급 증폭기에 7차 ESG를 적용한 결과 3차 혼변조 왜곡의 경우 최대 29 dB 감소하는 것을 확인할 수 있었고, 3-carrier CDMA 신호를 사용한 경우 약 11.5 dB의 ACPR 개선 효과를 얻을 수 있었다.

향후 과제로 본 방법을 AB급의 기저국용 증폭기에 적용하기 위하여, ESG의 복소 계수를 자동 조절하기 위한 적응 제어(adaptive control) 회로의 구현과 ESG 회로의 잡음 최적화를 통한 전체 시스템의 신호 대 잡음비 개선 등에 관하여 연구 중에 있다.

참 고 문 헌

[1] S. P. Stapleton and F. C. Costescu, "An adaptive predistorter for a power amplifier based on adjacent channel emissions", *IEEE Trans. Veh. Technol.*, vol. 41, no. 1, pp. 49-56, Feb. 1992.

[2] J. K. Cavers, "Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements", *IEEE Trans. Veh. Technol.*, vol. 39, no. 4, pp. 374-382, Nov. 1990.

[3] P. B. Kenington, "Methods linearize RF transmitters and power amps-linearization techniques, part I", *Microwave & RF*, vol. 37 no. 12, pp. 102-116, Dec. 1998.

[4] P. B. Kenington, "Methods linearize RF transmitters and power amps-linearization techniques, part II", *Microwave & RF*, vol. 38 no. 1, pp. 79-89, Jan. 1999.

[5] R. E. Ziemer and W. H. Tranter, *Principles of Communications*, Houghton Mifflin, pp. 99-109, 1990.

[6] S. Haykin, *Communication Systems*, John Wiley & Sons, pp. 83-97, 1994.

[7] W. A. Gardner, *Introduction to Random Processes*, McGraw-Hill, pp. 266-271, 1990.

[8] N. Potheary, *Feedforward Linear Power Amplifiers*, Artech House, 1999.

한 재 희



1996년 2월: 서울대학교 전기공학부 (공학사)  
 1998년 2월: 서울대학교 대학원 전기공학부 (공학석사)  
 2000년 2월: 서울대학교 대학원 전기공학부 박사 수료  
 2000년 3월~현재: 서울대학교 대학원 전기·컴퓨터공학부 박사과정 재학중

[주 관심 분야] 초고주파 회로 설계, 선형 전력 증폭기 개발 등

이 덕 희



2000년 2월: 서울대학교 전기공학부 (공학사)  
 2000년 3월~현재: 서울대학교 대학원 전기·컴퓨터공학부 석사과정 재학중  
 [주 관심 분야] 초고주파 회로 설계, 선형 전력 증폭기 개발 등

남 상 욱



1981년 2월: 서울대학교 전자공학과 (공학사)  
1983년 8월: 한국과학기술원 전기전자공학과 (공학석사)  
1989년 5월: University of Texas at Austin 전기공학과 (공학박사)  
1990년~현재: 서울대학교 전기공

학부 교수

[주 관심 분야] 전자파 수치 해석, 안테나 및 초고주파 회로 설계 등임

김 병 성



1989년 2월: 서울대학교 전자공학과 (공학사)  
1991년 2월: 서울대학교 대학원 전자공학과 (공학석사)  
1997년 2월: 서울대학교 대학원 전자공학과 (공학박사)  
1997년 8월~현재: 성균관대학교

전기전자 및 컴퓨터공학부 조교수

[주 관심 분야] RF/Microwave 능동/수동 소자 모델링 및 RFIC 설계 등임

임 종 식



1991년 2월: 서강대학교 전자공학과 (공학사)  
1993년 2월: 서강대학교 대학원 전자공학과 (공학석사)  
1993년 2월~1999년 2월: 한국전자통신연구원 위성통신기술연구단 선임연구원

1999년 3월~현재: 서울대학교 전기·컴퓨터공학부 박사과정

[주 관심 분야] 초고주파 회로의 MIC, MMIC 개발, 능동 소자 모델링, 위성중계기용 시스템 및 초고주파 부품 개발, 전력분배기/합성기 개발 등임