

광대역 디커플링 캐패시터 모델을 이용한 정확한 SSN 분석

Accurate SSN Analysis using Wideband Decoupling Capacitor Model

손경주 · 권덕규 · 이해영 · 최철승* · 변정건*

Kyoung-Joo Son · Duk-Kyew Kwon · Hai-Young Lee · Cheol-Seung Choi* · Jung-Gun Byun*

요 약

고속 다층 인쇄 회로 기판의 전원 평면과 접지 평면을 통해 전파되는 SSN 잡음의 영향을 감소시키기 위하여 일반적으로 디커플링 캐패시터를 사용한다. 본 논문에서는 디커플링 캐패시터에 대한 간단한 고주파 측정 방법을 제시하고 고주파 기생 성분들을 고려한 광대역 (50 MHz~3 GHz) 등가 회로 모델을 제안하였다. 제안된 모델은 SSN의 영향을 분석하기 위한 전원 평면과 접지 평면의 SPICE 모델과 쉽게 결합할 수 있다. 제안된 모델이 연결된 회로 해석 결과는 측정 결과와 잘 일치하며, 제안된 모델을 이용한 회로 해석을 통해 디커플링 캐패시터의 위치 및 값에 따른 잡음 감소 효과를 빠르고 정확하게 분석할 수 있음을 확인하였다.

Abstract

Decoupling capacitors are commonly used to reduce the effect of SSN propagated through parallel power and ground planes in high-speed multilayer printed circuit boards (PCBs). In this paper, we introduced a simple high frequency measurement and proposed a wideband (50 MHz~3 GHz) equivalent circuit model for decoupling capacitor considering high frequency parasitic effects. The proposed model can be easily combined with the SPICE model of power supply planes for SSN analysis. The circuit simulations with the proposed model show good agreement with the measurement results. Also, we expect to accurately analyze the noise reduction effect as a function of value and location using the proposed model of decoupling capacitor

Key words : decoupling capacitors, SSN, equivalent circuit model, power supply planes, circuit simulation.

I. 서 론

지난 수년 전부터 계속되어온 고속 디지털 정보화 사회로의 진행은 정보 처리 용량의 확대와 전송 시간의 단축을 요구하게 되었으며 이로 인해 사용되는 신호의 대역폭이 확대되고 사용주파수가 급속히 높아지게 되었다. 이러한 디지털 전자 제품들의 고속화 및 소형화와 함께 EMI (Electromagnetic Interference : 전자파 장애), SSN (Simultaneous Switching

Noise), Ground bounce, 신호선 간의 커플링 (Coupling)으로 인한 혼신 (Crosstalk) 등 전자기적 문제의 발생 가능성은 증대되고 있다. 더욱이 전자파 장애에 대한 국제적인 규제 또한 엄격해지고 있으므로 그 원인 규명과 대책이 시급하게 요구되고 있다.

통신 기기, 컴퓨터 및 디지털 전자 제품 등 고속 디지털 회로에서 클럭 (Clock) 주파수의 증가와 인가 전압의 감소는 인쇄 회로 기판의 전원 평면과 접지 평면 (Power and Ground Planes)에서 과도 전류

「본 연구는 BK(Braib Korea) 21의 지원을 받아 수행되었습니다.」

아주대학교 전자공학부(Department of Electronics Engineering, Ajou University)

* 삼성전자 컴퓨터사업부(Computer & Internet System Division, SAMSUNG ELECTRONICS CO., LTD)

· 논문 번호 : 20010519-068

· 수정완료일자 : 2001년 11월 15일

가 급속히 증가하는 원인이 되었다. 이러한 과도 전류는 전원 평면과 접지 평면에 존재하는 기생 성분으로 인해 고주파 잡음을 생성하게 되며 이 잡음은 한정된 크기의 전원 평면과 접지 평면 사이에서 공진을 일으키게 된다. 공진에 의해 열화된 잡음은 SSN 및 Ground bounce를 일으키고 동일한 인쇄 회로 기판 상의 다른 부품이나 회로에 전파되어 잘못된 동작을 일으키게 한다^[1]. 이와 같은 잡음의 영향을 감소시키기 위해 일반적으로 디커플링 캐패시터 (Decoupling Capacitor)를 사용한다. 디커플링 캐패시터는 고속 스위칭이 발생할 때 필요로 하는 많은 양의 전류를 공급함으로써 전원 평면과 접지 평면을 안정시키고 SSN을 감소시킨다^[2]. 디커플링 캐패시터의 효과는 클럭 속도가 기가 헤르쯔 (Giga Hertz)까지 증가하고 Rise time이 Pico 단위까지 감소하면서 전원 공급 시스템의 성능에 더욱 중요한 영향을 주게 되었으며 더불어 광대역 모델링이 필요하게 되었다.

그림 1과 표 1은 각각 다층 세라믹 칩 캐패시터 (Multilayer Ceramic Chip Capacitor)의 구조와 명칭을 나타낸 것으로 그 특성은 캐패시터를 구성하는 유전체 (Dielectric Material)에 의해 결정된다. 세라

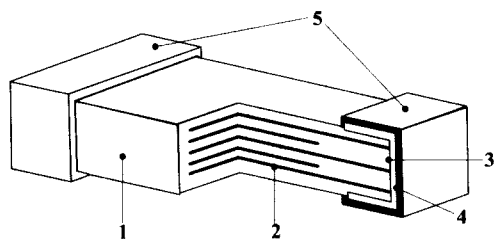


그림 1. 다층 세라믹 칩 캐패시터 구조
Fig. 1. Multilayer ceramic chip capacitor structure.

표 1. 구조적 명칭 및 구성 물질

Table 1. Structural name and material.

No.	Name	Material	
1	Ceramic dielectric	Ceramic	
2	Internal electrode	Palladium	
3	Terminal electrode	Silver	
4	Intermediate	Electric plating	Nickel
5	External		Solder

믹 칩 캐패시터는 매우 작은 값의 직렬 저항 (Series Resistance)과 인덕턴스 (Inductance)를 갖기 때문에 캐패시터를 전원 평면과 접지 평면에 연결해 주는 리드 (Lead)선이 짧다면 높은 주파수까지 사용 가능한 고주파용 캐패시터이다^[3].

본 논문에서는 고속 인쇄 회로 기판에서 사용되는 디커플링 캐패시터에 대한 간단한 고주파 측정 방법을 제시하고 측정 결과로부터 고주파 기생 성분들을 추출함으로써 회로 해석 (Circuit Simulation)에서 유용한 광대역 (50 MHz ~ 3 GHz) 등가 회로 모델 (Equivalent Circuit Model)을 제안하였다. 제안된 등가 회로 모델의 유용성을 입증하기 위해 회로 해석 결과와 측정 결과를 비교하였다. 제안된 모델이 연결된 회로 해석 결과는 측정 결과와 잘 일치하며, 제안된 모델을 이용한 회로 해석을 통해 디커플링 캐패시터의 위치 및 값에 따른 잡음 감소 효과를 빠르고 정확하게 분석할 수 있음을 확인하였다.

II. 측정 및 모델링 (Modeling)

2.1 디커플링 캐패시터 측정 방법

실제 캐패시터는 기생 인덕턴스 (Parasitic Inductance) 성분으로 인하여 고주파에서 이론적인 특성과 다른 동작을 하게 되므로 그 특성을 정확히 분석하고 이해하는 것은 디커플링 캐패시터의 효과적인 사용을 위해 필수적이라고 할 수 있다^{[3]-[6]}. 다층 인쇄 회로 기판의 전원 평면과 접지 평면에서 발생한 잡음을 감소시키기 위해 사용되는 디커플링 캐패시터의 특성을 측정하기 위해 일반적으로 2-Port 측정 방법을 사용한다.

그림 2 (a)는 2-Port 측정을 위한 측정 장치 (Test Fixture)를 보여 준다. 이때 측정 장치는 고주파에서의 정확한 측정을 위해 마이크로스트립 (Microstrip) 설계를 이용하며 30 dB보다 큰 반사 손실 (Return Loss)과 0.5 dB보다 작은 삽입 손실 (Insertion Loss)을 가져야 한다^{[7],[8]}. 그러나, 그림 2 (b)에서 볼 수 있듯이 2-Port 측정을 통해 얻은 결과는 기판 두께에 의한 캐패시턴스 (Capacitance), 마이크로스트립의 길이에 의한 인덕턴스 (Inductance) 등 외부 (Extrinsic) 특성이 첨가되기 때문에 기판 두께 변화

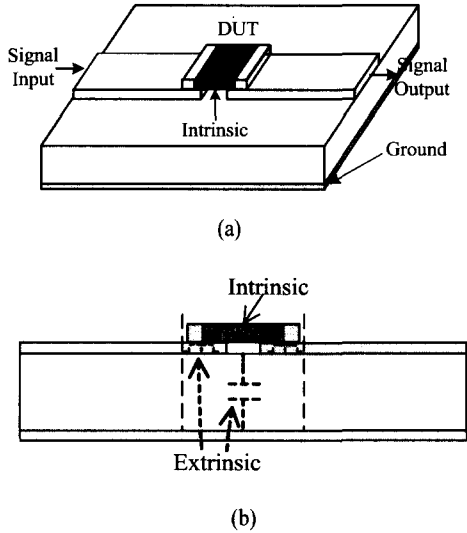


그림 2. 2-Port 측정 장치. (a) 입체도, (b) 단면도
Fig. 2. 2-Port Test Fixture. (a) 3D View, (b) Side View.

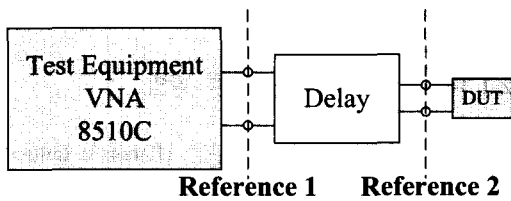


그림 3. 1-Port 측정을 위한 장치
Fig. 3. Test Set-up for 1-Port Measurement.

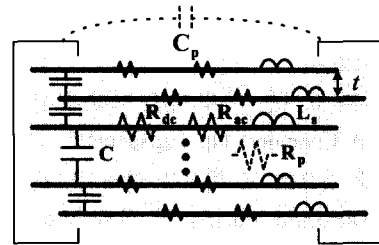
와 같은 주위 환경 변화시 측정 장치를 다시 만들어야 한다.

본 논문에서는 복잡한 2-Port 측정 방법과는 달리 매우 간단한 측정 장치를 이용한 1-Port 측정 방법을 고안하였다. 1-Port 측정은 측정 장비인 벡터 회로망 측정기와 50Ω 의 특성 임피던스 (Characteristic Impedance)로 설계된 SMA 커넥터를 이용하여 간단하게 이루어진다. 그림 3은 간단한 1-Port 측정 장치와 Calibration을 통한 기준면의 이동을 보여준다. 벡터 회로망 측정기에 의한 측정에서 SOLT (Short, Open, Load, Thru)를 이용한 Calibration에 의해 기준면 (Reference Plane)을 1까지 이동시킨 후 포트 확장 (Port Extension)을 통해 기준면을 2까지 이동시킨다. 1-Port 측정 방법은 간단하면서도 외부 특성

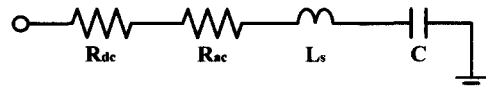
이 포함되지 않은 DUT (Device Under Test)만의 내부 (Intrinsic) 특성을 추출한다.

2-2 측정을 이용한 디커플링 캐패시터 모델링

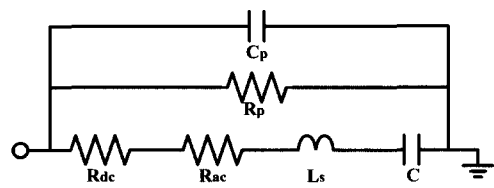
그림 4 (a)는 다층 세라믹 칩 캐패시터의 내부 구조를 보여 주는 그림으로 다층 세라믹 칩 캐패시터에서 나타날 수 있는 저주파 성분과 고주파 성분을 함께 보여 준다. 실선은 기존에 알려져 있는 등가 회로 모델을 구성하는 성분으로 각각의 성분들을 연결하면 그림 4 (b)와 같다. 기존 모델은 고유의 캐패시턴스 (C)와 기생 성분인 인덕턴스 (L_s)와 저항 (R)으로 구성되고 15 pF 이하의 캐패시턴스를 갖는 캐패시터에 대해 정확하다^[8]. 그림 4 (a)와 같은 다층 내부 전극 구조의 캐패시턴스는 식 (1)을



(a)



(b)



(c)

그림 4. 다층 세라믹 칩 캐패시터.

(a) 단면, (b) 기존 모델, (c) 제안된 모델

Fig. 4. Multilayer ceramic chip capacitor.

(a) Cross section, (b) Existing model,

(c) Proposed model.

이용하여 구할 수 있다.

$$C = \frac{\epsilon_0 \epsilon_r S (n-1)}{t} \quad (1)$$

여기서, ϵ_0 는 자유 공간에서의 유전 상수 (Dielectric Constant), ϵ_r 는 유전체의 비유전율 (Relative Dielectric Constant), S 는 내부 단자 (Inner Electrode)의 면적, n 은 내부 단자의 개수, 그리고 t 는 유전체의 두께를 나타낸다. 인덕턴스는 캐패시터의 다층 구조와 리드선에 의해 나타나는 기생 인덕턴스 성분으로 일반적으로 ESL (Equivalent Series Inductance)이라고 하며, 그림 4 (a)의 내부 전극이 형성되는 판 구조에서는 식 (2)와 같이 나타낼 수 있다^[4]. 여기서, μ 는 자화율 (Permeability)를 의미하는 것으로 보통 $4\pi \times 10^{-7}$ [H/m]의 값을 갖는다.

$$L = \mu t \quad (2)$$

저항 R_{dc} 와 R_{ac} 또한 캐패시터 구조에 의해서 나타나는 기생 성분으로 ESR (Equivalent Series Resistance)이라고 한다^[4]. R_{dc} 는 DC 저항 성분이며 R_{ac} 는 내부 전극과 극 종결 (End Termination)에 의해서 나타나는 AC 저항 성분이다. R_{ac} 는 고주파 전류에 의한 표피 두께 (Skin Depth)에 의해서 영향을 받으므로 식 (3)과 식 (4)의 관계식으로부터 \sqrt{f} 에 비례함을 알 수 있다. 여기서, δ 는 표피 두께, σ 는 내부 단자의 전도율 (Conductivity), μ 는 자화율 (Permeability), 그리고 a 와 b 는 내부 전극의 길이를 의미한다.

$$\delta = \sqrt{\frac{1}{\pi f \sigma \mu}} \quad (3)$$

$$R = \frac{L}{\sigma S} = \frac{L}{\sigma \times 2(a+b)\delta} \propto \sqrt{f} \quad (4)$$

기존 모델에 그림 4 (a)의 점선으로 표시된 성분을 추가하면 본 논문에서 제안한 광대역 등가 회로 모델을 구성할 수 있으며 그 결과는 그림 4(c)와 같다. 높은 주파수에서 나타나는 Skin Effect와 Proximity Effect는 기생 저항 (Resistance) 성분이 주파수와 함께 증가하게 되는 원인이 되며 기생 인덕턴스는 캐패시터의 동작 주파수를 제한하게 된다. 따라서, 광대역 등가 회로 모델을 추출하기 위해서는

캐패시터의 물리적 구조로부터 나타날 수 있는 고주파 기생 성분들을 주파수에 관한 함수로서 고려해야 한다. 제안된 모델에 추가된 성분은 병렬 저항 (R_p)와 병렬 캐패시턴스 (C_p)이다. 이는 모두 높은 주파수에서 나타나는 성분이며 각각 유전체 손실 (Dielectric Loss)과 누설 캐패시턴스 (Leakage Capacitance)를 의미한다. 병렬 저항 (R_p)은 식 (5)에 의해 표현될 수 있으며 상수 k_1 과 k_2 는 유전체의 성분에 따라 변한다.

$$R_p = k_1 \cdot f^{k_2} \propto f^{k_2} \quad (5)$$

본 논문에서 제안한 모델을 추출하기 위해 사용되어진 캐패시터는 1nF의 값과 1608(mm)의 크기를 갖고 있으며 유전체로는 높은 유전 상수와 동작 온도 범위가 넓은 X7R을 사용한다.

그림 5는 기존 모델과 제안된 모델에 대한 주파수 응답 특성과 간단한 1-Port 측정 방법을 통해 얻은 S_{11} 파라미터 (Parameter)를 스미스 도표 (Smith Chart)상에 나타낸 것이다. 관심 주파수 대역은 50 MHz에서 3 GHz이며 그림 4 (b)의 기존 모델과 그림 4 (c)의 제안된 모델을 구성하기 위한 각 변수는 아래와 같다.

$$C = 0.88 nF \quad L_s = 800 pH$$

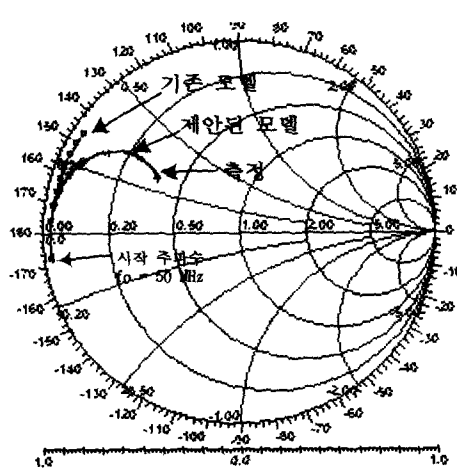
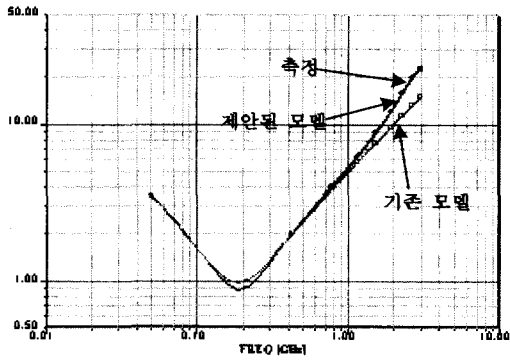
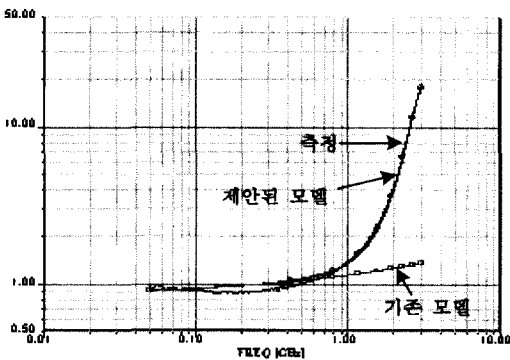


그림 5. 1nF의 디커플링 캐패시터에 대한 결과
Fig. 5. Results of 1nF decoupling capacitor.



(a)



(b)

그림 6. 1nF 디커플링 캐패시터의 결과 비교.

(a) 임피던스, (b) 저항

Fig. 6. Comparison of 1nF decoupling capacitor.

(a) Impedance, (b) Resistance.

$$R_{dc} = 0.85 \Omega \quad R_{ac} = 0.3 \times (f \times 1e-9)^{0.5} \Omega$$

$$C_p = 2.07 pF \quad R_p = 352 \times (f \times 1e-9)^{-2.1} \Omega$$

C는 고유의 캐패시턴스로서 측정값의 허수 (Imaginary) 성분과 시작 주파수(f_o)를 식 (6)에 대입함으로써 구할 수 있다. 여기서, z 는 스미스 차트상에서 임피던스 값으로 특성 임피던스인 50Ω 에 의해 정규화된 값이다. L_s 는 공진 주파수 (f_r)와 앞에서 구한 캐패시턴스 (C)를 식 (7)에 대입함으로써 구할 수 있다. R_{dc} 또한 측정값의 실수 (Real) 성분과 시작 주파수를 이용하여 구할 수 있으며 나머지 변수들은 측정값에 fitting시키는 방법을 이용하여 얻은 값이다.

$$C = \frac{1}{2\pi f_o \times 50 \times \text{Im}(z)} \quad (6)$$

$$f_r = \frac{1}{2\pi \times \sqrt{L_s C}} \quad (7)$$

그림 6은 기존 모델과 제안된 모델에 의한 주파수 응답 특성을 측정 결과와 비교한 그림이다. 그림 6 (a)는 임피던스의 크기를 나타내고 그림 6 (b)는 저항을 나타낸 것으로 이는 각각 식 (8)과 식 (9)를 이용하여 변환된 값이다. 기존 모델에 의한 특성에 비해 제안된 모델의 주파수 응답 특성이 측정 결과와 잘 일치함을 볼 수 있다.

$$|Z| = |R + jX| = \sqrt{R^2 + X^2} \quad (8)$$

$$R = \text{Re}(Z) \quad (9)$$

그림 6의 결과로부터 기생 인덕턴스 성분에 의한 공진을 볼 수 있으며, 낮은 주파수에서는 리액턴스 성분이 큰 영향을 미치는 반면 주파수가 점점 높아짐에 따라 표피 두께와 유전체에 의한 손실로 나타나는 저항 성분이 더 큰 영향을 미침을 알 수 있다.

III. 측정 및 결과

3-1 SSN 모델링

다층 인쇄 회로 기판에서 전원 평면과 접지 평면은 모든 주파수 대역에서 영(0)의 임피던스를 가져야 한다. 이를 만족시키지 못하는 경우 회로나 부품간에 커플링이 발생하게 되어 구현 가능한 능동 소자 (Active Device)의 최대 수 또한 제한 받게 된다^[9]. 이러한 전원 평면과 접지 평면의 동작을 모델링하기 위한 노력은 수년 전부터 계속되어 오고 있다^{[10]~[18]}. 집중 소자 (Lumped Element)를 이용한 모델링 방법은 상승 시간 (Rise Time)이 전달 시간 (Propagation Time)보다 충분히 길 때 즉, 낮은 주파수에서 유용한 모델이다^{[10],[11]}. 고주파 잡음이 커플링을 일으키고, 기판 끝에서 반사가 일어나고, 얼마의 시간이 지난 후 다른 소자에 전달되는 등의 고주파에서 나타나는 영향들을 정확히 모델링하기 위해 분포 소자 (Distributed Element)를 사용한다^{[11]~[16]}. 최근 들어 시간 영역 유한 차분 (Finite Difference Time Domain : FDTD)법을 이용한 해석이 이루어

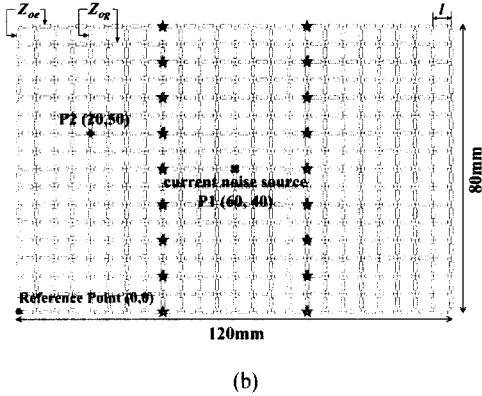
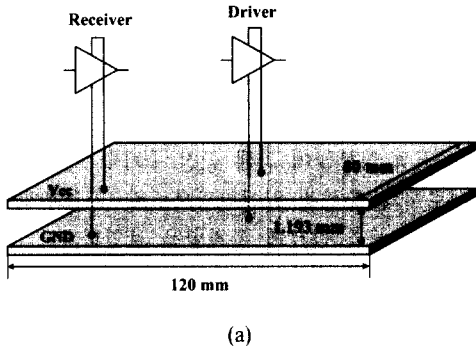


그림 7. 전원 평면과 접지 평면. (a) 평판 구조, (b) 회로 해석 모델
 Fig. 7. Power supply planes. (a) Planar Structure, (b) SPICE model.

지고 있지만 이는 긴 해석 시간을 필요로 할뿐만 아니라 캐패시터의 등가 회로 모델과의 호환이 어렵다^{[17],[18]}.

그림 7 (a)는 고속 다층 인쇄 회로 기판의 전원 평면과 접지 평면을 보여 준다. 전원 평면과 접지 평면은 선로 (Trace)에 의한 전원 공급 방식에 비해 기생 인덕턴스가 작을 뿐만 아니라 평판 구조에 의한 캐패시턴스를 갖기 때문에 높은 주파수에서 안정된 전원을 공급하기 위해 사용된다. 그림 7 (b)는 그림 7 (a)의 전원 평면과 접지 평면에 대한 등가 회로 모델이며 표피 효과 (Skin Effect)와 유전체 손실 (Dielectric Loss) 등 고주파 기생 성분을 고려하기 위하여 이상적인 전송선 (Ideal Transmission Line)을 사용한다. 그림 7 (b)에서 l 은 분할된 정사각형 셀 (Cell)의 길이를 의미하고, Z_{oc} 와 Z_{og} 는 기판

끝에서의 특성 임피던스와 기판 내부에서의 특성 임피던스를 의미하는 것으로 각각 식 (10)과 식 (11)을 이용하여 구할 수 있다. 여기서, L 과 C 는 분할된 정사각형 셀에 의해 형성되는 인덕턴스와 캐패시턴스이며 $\sqrt{2}$ 는 전송선에서 평면간의 캐패시턴스가 두 번 고려되는 것을 보상해 주기 위한 것이다. 이 모델은 주위로부터의 커플링이 이미 고려되었기 때문에 전송선 간에 커플링은 존재하지 않는다^[11].

$$Z_{oc} = 2\sqrt{2}\sqrt{\frac{L}{C}} \quad (10)$$

$$Z_{og} = \sqrt{2}\sqrt{\frac{L}{C}} \quad (11)$$

3-2 결과 비교 및 고찰

제안된 디커플링 캐패시터에 대한 광대역 등가 회로 모델의 유용성을 입증하기 위해 그림 7 (a)와 같은 시험 기판을 제작하였다. 제작된 시험 기판은 FR4 기판으로 가로 120 mm, 세로 80 mm 크기이며 전원 평면과 접지 평면간의 간격은 1,193 μm 이다. 제작된 시험 기판의 전원 평면과 접지 평면을 SPICE (Simulation Program with Integrated Circuit Emphasis) 모델로 나타내기 위한 각각의 변수는 $l=2\text{mm}$, $Z_{oc}=268\ \Omega$, $Z_{og}=134\ \Omega$ 이다. 그림 7 (b)에서 각각의 별표는 디커플링 캐패시터의 위치를 나타내며 이는 1 nF의 캐패시터를 1 cm 간격으로 나열한 것이다. 이때 기판의 중앙을 1-Port로 하고 P2를 2-Port로 한다.

그림 8은 관심 주파수 대역에서 각각의 결과를 나타낸 그림이다. 굵은 실선은 제안된 모델이 전원 평면과 접지 평면의 SPICE 모델에 연결된 경우의 회로 해석 결과를 나타내고 가는 점선은 측정 결과를 나타낸다. 표식이 있는 가는 실선은 ADS (Advanced Design System)의 기능을 이용한 것으로 전원 평면과 접지 평면의 SPICE 모델에 디커플링 캐패시터의 측정 데이터를 파일로 직접 연결하여 해석한 결과이다. 굵은 실선과 표식이 있는 가는 실선을 비교함으로써 제안된 디커플링 캐패시터의 모델에 대한 정확성을 확인할 수 있다. S_{11} 과 S_{21} 파라미터를 측정 결과와 비교해 보면 2 GHz까지 1 dB 이하의 오차로 잘 일치함을 볼 수 있으며, 이러한 결

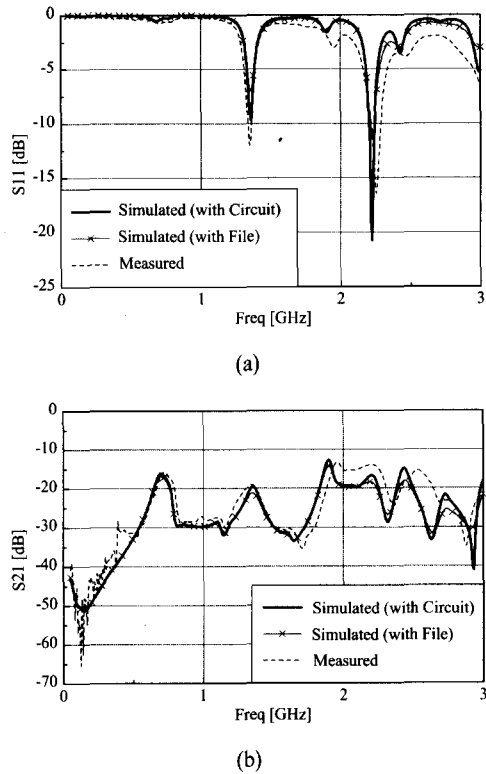


그림 8. 1nF 캐패시터가 연결된 시험 기판의 측정 및 회로 해석 결과. (a) S_{11} , (b) S_{21}

Fig. 8. Measured and simulated results of test board with 1nF capacitor. (a) S_{11} , (b) S_{21} .

과를 바탕으로 복잡한 제작 및 측정 없이 제안된 모델을 이용한 회로 해석으로 디커플링 캐패시터의 위치 및 값에 따른 잡음 감소 효과를 빠르고 정확하게 분석할 수 있음을 확인할 수 있다. 2 GHz 이상에서 오차가 발생하는 요인은 회로 해석시 고려되지 않은 기판 끝에서의 방사 (Edge Radiation), 분산 (Dispersion), SPICE 모델의 입자성 (Matrix Granularity), 그리고 측정 장치에서의 불연속성 (Probe Discontinuity) 등을 들 수 있으며 또 시험 기판에서 디커플링 캐패시터를 전원 평면과 접지 평면에 연결시키기 위해 사용되어지는 비아 (Via)에 의한 모드 전환 (Mode Conversion) 등의 영향을 들 수 있다.

IV. 결 론

본 논문에서는 다층 인쇄 회로 기판의 전원 평면

과 접지 평면에 연결되어 SSN의 영향을 감소시키고 전원 평면과 접지 평면을 안정시키기 위해 일반적으로 사용되어지는 디커플링 캐패시터에 대한 광대역 등가 회로 모델을 제안하였으며 실제 캐패시터는 기생 성분들에 의해 공진 주파수 이후에 캐패시터로서의 특성을 잃어버림으로써 고주파에서 이론적인 특성과 다르게 동작함을 보였다.

등가 회로 모델을 추출하기 위한 측정 방법으로 간단한 측정 장치를 이용한 1-Port 측정 방법을 고안하였다. 측정 결과로부터 고주파 기생 성분을 주파수에 관한 함수로 추출함으로써 큰 값을 갖는 캐패시터의 광대역 등가 회로 모델을 제안하였다. 다층 인쇄 회로 기판의 전원 평면과 접지 평면에 대하여 이상적인 전송선을 이용한 SPICE 모델을 전개하였으며 회로 해석 결과와 측정 결과를 비교함으로써 제안된 디커플링 캐패시터의 광대역 등가 회로 모델이 유용함을 확인하였다. 또한 본 논문에서 제안된 모델을 이용한 회로 해석을 통해 디커플링 캐패시터의 위치 및 값에 따른 잡음 감소 효과를 빠르고 정확하게 분석할 수 있음을 확인하였다.

참 고 문 헌

- [1] A. R. Djordjevic and T. K. Sarkar, "An investigation of delta-I noise on integrated circuit", *IEEE Trans. Electromagnetic Compat.*, vol. 35, no. 2, pp. 134-147, May 1993.
- [2] T. H. Hubing, J. L. Drewniak, T. P. Van Doren, and D. M. Hockanson, "Power bus decoupling on multilayer printed circuit boards", *IEEE Trans. Electromagn. Compat.*, vol. 37, no. 2, pp. 155-166, May 1995.
- [3] Henry W. Ott, *Noise Reduction Techniques in Electronic Systems*, John Wiley & Sons, 1988.
- [4] T. Roy and L. Smith, "ESR and ESL of ceramic capacitor applied to decoupling applications", *IEEE 7th Topical Meeting Elect. Perform. Electron. Packag.*, Oct. 26-28, pp. 213-216, 1998.
- [5] C. R. Paul, "Effectiveness of multiple decoupling capacitors", *IEEE Trans. Electromagn. Compat.*, vol. 34, no. 2, pp. 130-133, May 1992.

- [6] J. L. Drewniak, T. H. Hubing, T. P. Van Doren, and P. Baudendistal, "Modeling power bus decoupling on multilayer printed circuit boards", *IEEE Electromagnetic Compatibility Digest*, Chicago, IL, pp. 456-460, 1994.
- [7] Y. Sakabe, M. Hayashi, T. Ozaki, and James P. Canner, "High frequency measurement of multilayer ceramic capacitors", *IEEE Trans. Comp. Packag. Manufact. Technol. B*, vol. 19, no. 1, pp. 7-14, Feb. 1996.
- [8] Thomas A. Winslow, "Component modeling for PCB design", *IEEE Microwave Magazine*, vol. 1, no. 1, pp. 61-63, Mar. 2000.
- [9] M. I. Montrose, *Printed Circuit Board Design Techniques for EMC Compliance*, IEEE PRESS, 1996.
- [10] F. W. L. Kung and H. T. Chuah, "Modeling of power planes in printed circuit board using planar circuit approach", *Journal of Electromagnetic Waves and Applications*, vol. 11, pp. 1229-1247, 1997.
- [11] K. Lee and A. Barber, "Modeling and analysis of multichip module power supply planes", *IEEE Trans. Comp. Packag. Manufact. Technol. B*, vol. 18, no. 4, pp. 628-639, Nov. 1995.
- [12] H. H. Wu, J. W. Neyer, K. Lee, and A. Barber, "Accurate power supply and ground plane pair models", *IEEE 7th Topical Meeting Elect. Perform. Electron. Packag.*, pp. 163-166, Oct. 26-28, 1998.
- [13] W. D. Becker, J. Eckhardt, R. W. Frech, G. A. Katopis, E. Klink, M. F. McAllister, T. G. Mcnamara, P. Mucoch, S. R. Richter, and H. Smith, "Modeling, simulation, and measurement of mid-frequency simultaneous switching noise in computer systems", *IEEE Trans. Comp. Packag. Manufact. Technol. B*, vol. 21, pp. 157-163, May 1998.
- [14] Istvan Novak, "Reducing simultaneous switching noise and EMI on ground/power planes by dissipative edge termination", *IEEE Trans. Advanced Packaging*, vol. 22, no. 3, Aug. 1999.
- [15] J. Fang, Y. Liu, Y. Chen, Z. Wu, and A. Agrawal, "Modeling of power/ground plane noise in high-speed digital electronic packaging", *IEEE 2nd Topical Meeting on Electrical Performance of Electronic Packaging*, Monterey, CA, pp. 206-208, 1993.
- [16] F. Y. Yuan, T. K. Postel, and L. M. Robin, "Analysis and modeling of power distribution networks and lane structures in multichip module and PCBs", *IEEE Electromagnetic Compatibility Symposium Digest*, Atlanta, GA, pp. 447-452, 1995.
- [17] R. Mittra, S. Chebolu, and W. D. Becker, "Efficient modeling of power planes in computer packages using the finite difference time domain method", *IEEE Trans. Microwave Theory Tech.*, vol. 42, no. 9, pp. 1791-1795, Sept. 1994.
- [18] S. Van den Gerghe, F. Olyslager, D. De Zutter, J. De Moerlose, and W. Temmerman, "Study of the ground bounce caused by power plane resonances", *IEEE Trans. Electromagn. Compat.*, vol. 40, pp. 111-119, May 1998.

손 경 주



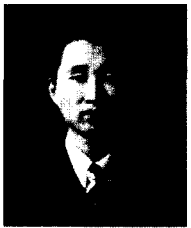
2000년 2월: 아주대학교 전자공학부 (공학사)
2000년 2월~현재: 아주대학교 전자공학부 석사과정 재학중
[주 관심분야] EMI/EMC 및 초고속 회로 설계

변 정 건



1985년 2월: 부산대학교 전자공학과 (공학사)
1987년 12월~현재: 삼성전자 DM 총괄 컴퓨터사업부 개발팀 책임연구원
[주 관심분야] 초고속 디지털 회로 설계

권 덕 규



1999년 2월: 아주대학교 전자공학부 (공학사)
2001년 2월: 아주대학교 대학원 전자공학과 (공학석사)
2000년 2월~현재: 아주대학교 대학원 전자공학부 박사과정
[주 관심분야] 고속 회로 설계 및

EMI 차폐 기법

이 해 영



1980년 2월: 아주대학교 전자공학과 (공학사)
1982년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1982년~1986년: 국방부 연구사무원
1989년 12월: The University of Texas at Austin (공학박사)

1990년~1992년 : 금성 중앙 연구소 기초1실장 (책임연구원)
1992년~현재: 아주대학교 전자공학부 정교수
[주 관심분야] 초고속/고밀도 반도체 Package의 설계/측정, 초고주파소자 및 광전소자의 설계/측정, 초소형 안테나 해석/설계, 초전도체의 고속 전송 특성 모델링

최 철 승



1987년 2월: 한국항공대학교 항공전자공학과 (공학사)
1990년~1996년 4월: 포스텍 데이터 기술연구소
1996년 5월~현재: 삼성전자 DM 총괄 컴퓨터사업부 개발팀 책임연구원

[주 관심분야] High-Speed Digital Design 및 SI/PI/EMI