

## 2차원 위상 교정 디지털 필터를 이용한 고성능/고화질의 영상 축소기 시스템 개발 및 IC 구현

### System Development and IC Implementation of High-quality and High-performance Image Downscaler Using 2-D Phase-correction Digital Filters

강 봉 순, 이 영 호, 이 봉 근

Bong soon Kang, Young ho Lee, Bong geun Lee

#### 요 약

본 논문에서는 DTV, TV-PIP, PC-video, camcorder, videophone 등에 널리 응용되고 있는 영상 축소기를 제안한다. 제안된 영상 축소기는 2차원 위상 교정 디지털 필터를 이용한 고성능/고화질의 축소이미지를 제공하는 영상 축소기이다. 본 논문에서는 기존 제품에 응용된 영상 축소기 방식인 Pixel-drop 방식, Upsampling 방식 및 Scaler32 방식의 문제점들을 모두 보완하는 엘리어싱 노이즈 제거 방법과 하드웨어 부담을 최소화한 방법인 디지털 필터의 위상 특성을 응용한 축소원리를 설명할 것이다. 또한, 제안된 영상 축소기의 성능이 Scaler32 방식보다 우수함을 최종 시뮬레이션 결과(축소 영상)를 Scaler32 방식에 의한 결과와 비교하여 그 타당성을 증명할 것이다.

본 논문에서 제안된 영상 축소기는 라인메모리, 수직축 축소기, 수평축 축소기 및 FIFO로 크게 4블럭으로 구성되어 있다. 또한, 시스템 면적의 최소화를 위해 사용된 필터의 계수는 덧셈기와 천이기로 구현이 가능하며, 필터는 MUX-adder 형태의 구조를 가진다. 그리고, 보상 필터의 추가로 인한 필터의 대역제한폭이 영상 대역제한폭인 6MHz 까지 향상되어 원영상의 고주파 성분의 손실이 최소화된다.

제안된 영상 축소기는 하드웨어 언어인 Verilog-HDL로 설계되고, Cadence로 검증된다. 그리고, 회로 합성은 Synopsys 합성기로 합성되며, 레이아웃은 Mentor에서 수행된다. 사용되는 칩 마스터는  $4,500\mu\text{m} \times 4,500\mu\text{m}$ 이며, 실제 레이아웃 크기는  $2,528\mu\text{m} \times 3,237\mu\text{m}$ 이다.

#### ABSTRACT

In this paper, we propose an image downscaler used in multimedia video applications, such as DTV, TV-PIP, PC-video, camcorder, videophone and so on. The proposed image downscaler provides a scaled image of high-quality and high-performance. This paper will explain the scaling theory using two-dimensional digital filters. It is the method that removes an aliasing noise and decreases the hardware complexity, compared with Pixel-drop and Upsampling. Also, this paper will prove it improves scaling precisions and decreases the loss of data, compared with the Scaler32, the Bt829 of Brooktree, and the SAA7114H of Philips.

The proposed downscaler consists of the following four blocks: line memory, vertical scaler, horizontal scaler, and FIFO memory. In order to reduce the hardware complexity, the using digital filters are implemented by the multiplexer-adder type scheme and their all the coefficients can be simply implemented by using shifters and adders. It also decreases the loss of high frequency data because it provides the wider BW of 6MHz as adding the compensation filter.

The proposed downscaler is modeled by using the Verilog-HDL and the model is verified by using the Cadence simulator. After the verification is done, the model is synthesized into gates by using the Synopsys. The synthesized downscaler is placed and routed by the Mentor with the IDEC-C632  $0.65\mu\text{m}$  library for further IC implementation. The IC master is fixed in size by  $4,500\mu\text{m} \times 4,500\mu\text{m}$ . The active layout size of the proposed downscaler is  $2,528\mu\text{m} \times 3,237\mu\text{m}$ .

**Keywords** : Downscaler, Phase-correction, Digital Filter, Pixel-drop, Upsampling, Verilog-HDL

### I. 서론

영상 축소기(Image Downscaler)는 일반적으로 가정에서 사용하는 TV 화면의 주 채널(Main-channel) 외에 작은 서브윈도우(Sub-window)를 사용하여 다른 채널을 볼 수 있는 PIP(Picture-In-Picture) 기능, 디지털 TV(DTV), PC-video card, Videophone 등의 각종 전자 제품에 널리 응용되고 있다. 현 제품에서 축소기를 응용한 PIP 기능은 없으면 경쟁이 안될 정도로 중요하고 일반화된 기능이며, PC의 활발한 보급과 더불어 PC 모니터에서 TV를 즐길 수 있게 해준다 [1-2].

기존 제품에 사용되고 있는 영상 축소기들은 Pixel-drop과 Upsampling 기법이 사용된다. Pixel-drop은 축소 시 낮은 정밀도/정확도(Precision)로 인하여 축소에 따른 원영상의 정보손실이 생기고, 엘리어싱 노이즈(Aliasing Noise)로 인한 수평과 수직 방향으로 노이즈가 발생된다. 엘리어싱 노이즈를 제거하는 기법으로 개발된 Upsampling 방식은 입력 클럭 보다 매우 빠른 시스템 동작 클럭을 사용하기 때문에 이를 구현하기 위해서는 하드웨어의 부담이 매우 큰 문제점을 가지고 있다. 이에 대한 개선 방안으로 필터를 이용한 축소 기법이 개발되었다 [3-5].

미국의 Brooktree에서 개발한 비디오 디코더 IC인 Bt829(1999년)에 사용되는 영상 축소기는 수평·수직축으로 각각 1/32 픽셀(Pixel)과 1/8 라인(line)의 매우 낮은 정밀도/정확도를 제공하고, 6-탭(Tap)의 수평축 필터와 2-탭의 수직축 필터를 사용하기 때문에 제공하는 성능을 고려하면 하드웨어 복잡도(Complexity)가 다소 크다 [1]. 네델란드의 Philips에서 개발한 비디오 디코더 IC인 SAA7114H(2000년)에 사용되는 영상 축소기는 이론적으로는 정확도가 수평·수직축으로 각각 1/64 픽셀과 1/24 라인의 정밀도/정확도를 제공한다. 그러나, 사용하는 필터의 탭 수가 고정되어 있지 않고, 축소비에 따라 변동을 하게 함으로써 정밀도/정확도가 향상된다. 따라서, 1/64 픽셀의 정밀도/정확도를 나타내려면 최대 20개의 탭 수를 가지는 필터를 사용하기 때문에 하드웨어 복잡도의 부담이 매우 크다 [2]. 또한, Scaler32는 수평·수직축으로 각각 1/32 픽셀과 1/16 라인의 정밀도/정확도를 제공하는 영상 축소기이지만, 사용되는 필터들의 대역폭이 최대 3.6MHz이므로 방송의 각 채널에 할당된 6MHz 대역폭(NTSC 기준)을 만족하지 못한다. 따라서, 입력 영상的高주파 성분 정보 손실을 초래한다 [6].

본 논문은 수평·수직축으로 각각 1/64 픽셀과 1/32 라인의 높은 정밀도/정확도를 제공하면서 대역폭이 6MHz까지 향상되어 원영상의 정보 손실을 최소화하는 영상 축소기를 개발하고, 고정된 필터 계수와 적은 필터 탭 수를 가지는 위상 교정 LPF(Low Pass Filter)를 사용한 최적화된 하드웨어를 제안한다. II절에서는 축소 기법

들을 설명하고, III절에서 제안된 영상 축소기에 사용된 필터의 특성을 살펴본다. IV절에서 제안된 영상 축소기의 하드웨어 아키텍처를 제시하며, V절에서는 Scaler32와 시뮬레이션 결과를 비교함으로써 제안된 영상 축소기의 우수성을 검증한다. 마지막으로, VI절에서 본 논문의 결론을 맺는다.

### II. 축소 기법

Pixel-drop 방식은 가장 간단한 방법으로서 하드웨어 구현이 쉽지만, 축소비에 따라 심한 엘리어싱 노이즈를 유발하여 정보 손실이 매우 크다. 이 방식은 축소비가 1/(정수)일 경우에 효과적이지만, 1/(비정수)일 경우는 그 축소비에 해당하는 값으로 가장 인접한 픽셀을 유효한 픽셀로 선택함으로써 정보 손실 즉, 엘리어싱 노이즈를 유발하게 된다. 그림 1은 Pixel-drop 방식의 동작 원리를 보여준다. 예를 들면, 축소비가 1/2.546875(163×1/64)인 경우는 정확한 축소 값에 가장 인접한 픽셀인 1번째, 4번째, 6번째 픽셀 등을 유효한 픽셀로 선택하게 된다. 그러므로, Pixel-drop 방식은 축소비에 따른 정확한 위치 값을 취하지 않기 때문에 소수점 위치에 해당되는 값만큼 정보손실을 초래하게 된다.

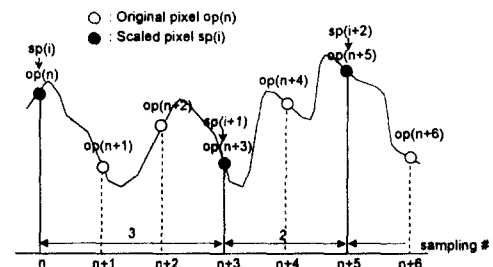


그림 1. Pixel-drop 방식의 동작 원리  
Fig. 1 Operation principle of the Pixel-drop

Upsampling 방식은 Pixel-drop 방식을 보완하여 개발된 방식이지만, 사용되는 입력신호의 데이터 속도를 축소비의 정확도에 비례하여 변화시켜야 한다. 즉, 매우 정밀한 축소 기능을 제공하기 위해서는 상대적으로 매우 빠른 동작 클럭(경우에 따라서는 입력 클럭 보다 몇 십 배 빠른 내부 클럭)이 사용되고, 인접한 두 픽셀 간의 상관관계를 구하는 블럭이 추가로 필요하기 때문에 하드웨어 복잡도의 증가로 인하여 현재 CMOS 공정으로 구현하기 어려운 문제점이 있다. 그림 2는 Upsampling 방식의 과정을 보여 준다. 예를 들면, 축소비가 1/2.546875(163×1/64)인 경우는 그 축소비에 해당하는 정확한 픽셀인 1번째, 3.546875번째, 6.09375번째, 8.640625번째 픽셀들을 유효한 픽셀로 선택하기 위해서 입력 클럭 보다 64배 빠른

내부 클럭을 사용해야 한다. 또한, 3.546875번째 픽셀은 원영상의 3번째 픽셀과 4번째 픽셀의 상관관계에 의해서 구해야 함으로 상관관계를 구하는 블럭이 추가적으로 필요하다. 그러므로, Upsampling 축소기는 하드웨어 복잡도가 방대하여 IC 구현의 현실적인 문제와 64배 빠른 내부 클럭을 추가로 사용해야 하는 기술적인 문제를 야기한다. ITU-R BT. 601 규격을 만족하기 위해서는 사용되는 13.5MHz 클럭보다 64배 빠른 864MHz의 내부 클럭을 사용해야 함으로 현재 사용중인 0.25 $\mu$ m CMOS 공정기술로는 구현이 불가능하다고 볼 수 있다 [7].

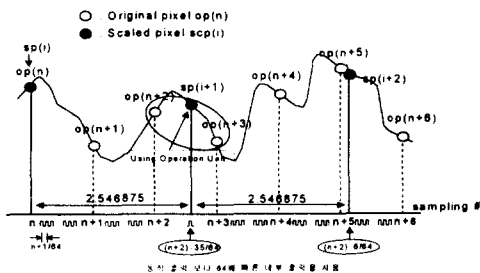


그림 2. Upsampling 방식의 동작 원리  
Fig. 2 Operation principle of the Upsampling

LPF의 위상 교정을 이용하는 기법은 앞에서 언급한 Pixel-drop과 Upsampling 방식의 단점을 보완하기 위해 개발된 방안이다. 이 기법은 데시메이션(Decimation) 이전에 LPF의 주파수 특성을 이용하여 엘리머싱 노이즈를 유발하는 고주파 성분을 제거하기 때문에 기존 방식보다 우수한 정밀도/정확도를 제공하고, LPF의 위상 지연 특성을 이용하여 입력 클럭을 시스템 동작 클럭으로 사용함으로써 하드웨어 복잡도 부담을 개선시킨다. 그림 3은 LPF의 위상 지연이 적용되는 원리를 보여준다. 예를 들면, 축소비가 1/2.546875(163 $\times$ 1/64)인 경우 그 축소비에 해당하는 위치의 위상 지연 특성을 가지는 필터를 선택함으로써 정확하게 유효한 픽셀을 선택할 수 있다. 선택되는 위상 지연 특성은 필터의 계수를 변화시킴으로써 이루어진다 [6].

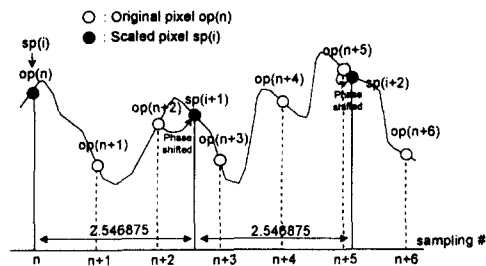


그림 3. 위상 교정 LPF를 적용하는 원리  
Fig. 3 Operation principle of the Phase-correction LPF

### III. 필터 특성

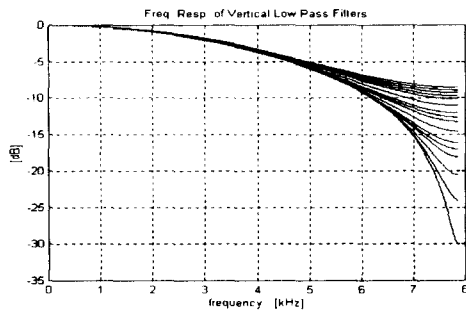
제안된 영상 축소기의 필터는 수직축과 수평축 필터로 크게 나누어진다. 수직·수평축의 모든 필터들의 계수는 천이기(Shifter)와 가산기(Adder)로 간단히 구현할 수 있게 설계되었다. 예를 들면, 137 계수는  $2^7+2^3+1$ 이므로 입력 신호를 왼쪽으로 7비트, 3비트 천이를 시킨 후 입력 신호와 덧셈을 수행하면 된다. 또한, 필터의 이득 정규화(Gain Normalization)를 위해 수직·수평축 필터의 계수를 각각 128, 512로 나누고, 나눗셈 연산은 오른쪽으로 천이를 시킴으로써 간단히 구현할 수 있다.

수직축 필터는 32개의 위상 특성을 가지는 3-탭 LPF로 구성된다. 식 1은 수직축 LPF를 보여준다. 식 1에서 1번째 필터의 계수와 32번째 필터의 계수, 2번째 필터의 계수와 31번째 필터의 계수들이 서로 상반된 것을 알 수 있다. 이것은 필터의 주파수 응답 특성은 같지만, 상반된 위상 지연 특성을 가진다.

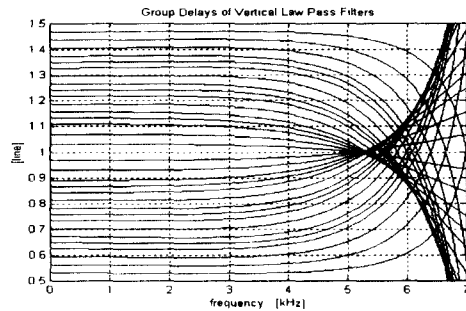
$$\begin{aligned}
 v_1[n] &= 61x[n] + 66x[n-1] + 1x[n-2] \\
 v_2[n] &= 58x[n] + 68x[n-1] + 2x[n-2] \\
 v_3[n] &= 55x[n] + 70x[n-1] + 3x[n-2] \\
 &\dots\dots\dots (1) \\
 v_{30}[n] &= 3x[n] + 70x[n-1] + 55x[n-2] \\
 v_{31}[n] &= 2x[n] + 68x[n-1] + 58x[n-2] \\
 v_{32}[n] &= 1x[n] + 66x[n-1] + 61x[n-2]
 \end{aligned}$$

그림 4는 수직축 필터의 주파수 특성을 보여준다. 그림 4(a)는 주파수 응답 특성으로 16개의 특성을 보여주고, 그림 4(b)는 위상 지연 특성으로 32개의 특성을 보여준다. 또한, 위상 지연은 1 라인을 중심으로  $\pm 0.5$ 내에 모두 존재하며, 간격은 1/32이므로 수직축의 정밀도/정확도가 1/32 라인임을 알 수 있다.

수평축 필터는 64개의 위상 특성을 가지는 5-탭 LPF(Low Pass Filter)와 보상 HPF(High Pass Filter)로 구성된다. 식 2는 수평축 LPF를 보여주며, 식 3은 보상 HPF를 나타내고 있다.



(a)

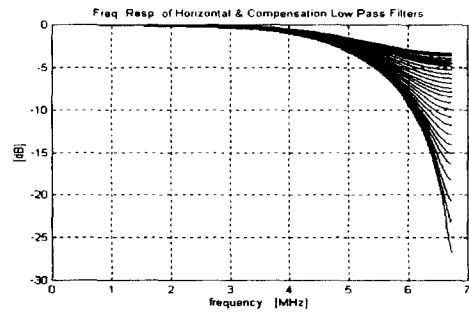


(b)

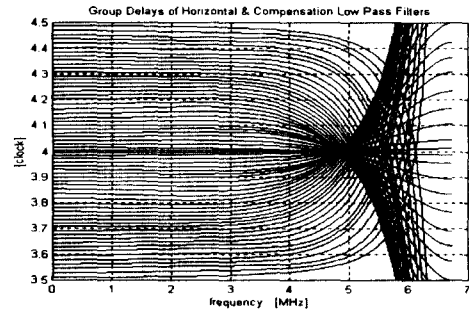
그림 4. 수직축 필터  
(a) 주파수 응답 (b) 위상 지연 특성

Fig. 4 Vertical filters

(a) Frequency responses (b) Phase delays



(a)



(b)

그림 5. 수평축 필터  
(a) 주파수 응답 (b) 위상 지연 특성

Fig. 5 Horizontal filters

(a) Frequency response (b) Phase delays

$$\begin{aligned}
 h_1[n] &= -2x[n] + 252x[n-1] + 264x[n-2] - 2x[n-3] + 0x[n-4] \\
 h_2[n] &= -5x[n] + 248x[n-1] + 271x[n-2] - x[n-3] - x[n-4] \\
 h_3[n] &= -8x[n] + 244x[n-1] + 278x[n-2] + 0x[n-3] - 2x[n-4] \\
 &\dots\dots\dots (2) \\
 h_{62}[n] &= -2x[n] + 0x[n-1] + 278x[n-2] + 244x[n-3] - 8x[n-4] \\
 h_{63}[n] &= -x[n] - x[n-1] + 271x[n-2] + 248x[n-3] - 5x[n-4] \\
 h_{64}[n] &= 0x[n] - 2x[n-1] + 264x[n-2] + 252x[n-3] - 2x[n-4] \\
 c[n] &= 5x[n] - 30x[n-1] + 178x[n-2] - 30x[n-3] + 5x[n-4] (3)
 \end{aligned}$$

보상 HPF는 LPF에 의한 고주파 손실을 보상하기 위하여 수평축 LPF의 앞단에 위치한다. 그림 5는 수평축 LPF와 보상 HPF의 결합된 주파수 특성을 보여준다. 그림 5(a)는 주파수 응답 특성으로 32개의 특성을 보여주며, 입력 클럭 13.5MHz일 때 차단주파수(Cut-off Frequency)는 최대 6MHz임을 나타낸다. 이것은 입력되는 영상 신호를 모두 통과시키는데 충분한 대역폭이다 [8]. 그림 5(b)는 위상 지연 특성으로 64개의 특성을 보여준다. 또한, 위상 지연은 4 클럭을 중심으로 ±0.5내에 모두 존재하며, 간격은 1/64이므로 수평축의 정밀도/정확도가 1/64 픽셀임을 알 수 있다.

IV. 하드웨어 아키텍처

그림 6은 제안된 영상 축소기의 블럭 다이어그램을 보여준다. 제안된 아키텍처는 크게 4개의 블럭으로 라인 메모리(Line Memory), 수직축 축소기(Vertical Scaler), 수평축 축소기(Horizontal Scaler) 그리고, FIFO 메모리(First In First Out Memory)로 구성된다.

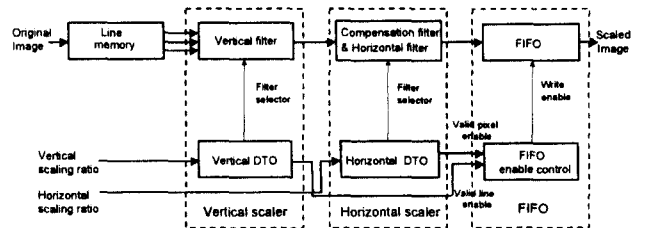


그림 6. 제안된 영상 축소기의 블럭 다이어그램  
Fig. 6 Block diagram of proposed image downscaler

1. 라인 메모리

라인 메모리는 수평축 1H를 지연시키는 2개의 메모리로 구성된다. 1H 지연은 NTSC 규정에 따라 약 63.5us지연을 의미한다. 첫 번째 메모리는 1H를 지연시키고, 두

번째 메모리는 1H 지연된 데이터를 다시 1H 지연시키는 기능을 한다. 각 메모리는 ITU-R의 규정에 따라 8 비트, 768 픽셀의 SRAM으로 구성된다 [7]. 동작 주파수는 13.5MHz이며, 입력 데이터와 1H 지연 데이터 그리고, 2H 지연 데이터는 다음 블록의 수직축 축소기의 입력으로 사용된다.

2. 수직축 축소기

수직축 축소기는 수직축 LPF와 VDTO(Vertical Discrete Time Oscillator)로 구성된다. VDTO는 수직축 필터에 입력될 1비트 En\_v와 5비트 Sel\_v를 발생시킨다. 그림 7은 VDTO의 세부적인 블록 다이어그램을 나타낸다. 17비트 Scale\_v는 수직축 축소비를 의미하며, En\_hin과 En\_vin은 입력 영상의 유효한 구간을 나타낸다. MUX1은 Scale\_v를 시스템 동작 클럭과 동기(Synchronization) 시키는데 사용되며, En\_hin과 En\_vin에 의한 Gen\_start 블록에서 발생하는 Hstart 신호로 제어된다. En\_v는 현재 라인의 유효성을 판별하며, ScaleD와 ScaleD\_a의 XOR에 의해서 발생된다. Bit Slice 블록은 ScaleD의 부호 비트를 제외한 상위 5비트로 32개의 수직축 필터 중 1개를 선택하는 Sel\_v 신호를 생성하는 기능을 한다. D1과 D2 플립플롭은 En\_v와 Sel\_v를 동기시키기 위해 사용되며, D3 플립플롭은 출력 안정화를 위해 사용된다.

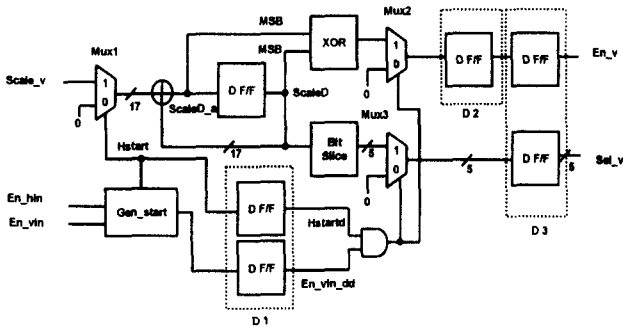


그림 7. 수직축 DTO  
Fig. 7 Vertical DTO

그림 8은 수직축 LPF의 아키텍처를 보여준다. Data\_out, RamdataD 그리고, RamdataDD는 8비트 입력 데이터들이며, RamdataD와 RamdataDD는 메모리에서 각각 1H, 2H 지연된 데이터들이다. 일반적으로, 필터 구현은 입력 신호가 먼저 필터를 통과한 출력을 축소비에 따라 MUX를 통해 선택되어지게 구현한다(이후 Arch1이라 함). 그림 8(a)은 Arch1을 나타낸다. 그림 8(a)에서처럼 Arch1은 32개의 전가산기(Full Adder)와 1개의 32-to-1 MUX를 사용한다. 보통, 전가산기는 MUX보다 2배 정도 크다. 그러므로, 최적화된 하드웨어를 위해서 전가산기를 감소시킬 필요가 있다. 개선된 필터 구현은 필터의 계수를 먼저 축

소비에 따라 MUX에 의해서 선택되어지고, 입력 영상은 선택되어진 필터를 통과시키는 형식이다(이후 Arch2라고 함). 그림 8(b)는 Arch2를 나타낸다. Arch2는 1개의 전가산기와 1개의 (32-to-1) MUX를 사용한다. 이것은 Arch2를 사용함으로써 하드웨어 복잡도가 감소됨을 알 수 있다.

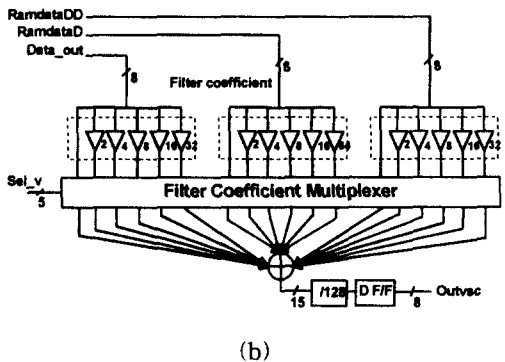
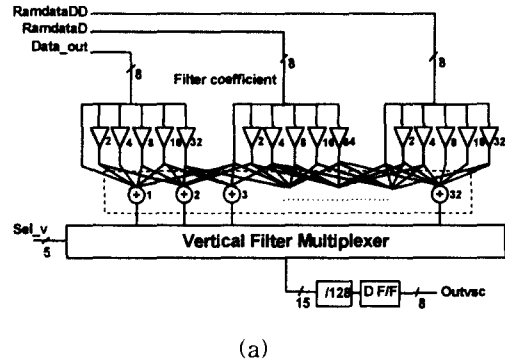


그림 8. 수직축 LPF의 아키텍처  
(a) 가산기-MUX(Arch1) (b) MUX-가산기(Arch2)  
Fig. 8 Architecture of vertical LPF  
(a) Adder-MUX type (b) MUX-adder type

3. 수평축 축소기

수평축 축소기는 수평축 LPF, 보상 HPF 그리고, HDTO(Horizontal Discrete Time Oscillator)로 구성된다. 보상 HPF는 수직축 축소기에서 입력을 받아 고주파 성분을 보상하여 수평축 LPF로 전달하는 기능을 한다. HDTO는 수평축 필터에 입력될 1비트 En\_h와 6비트 Sel\_h 신호를 발생시킨다. 그림 9는 세부적인 HDTO의 블록 다이어그램을 나타낸다. 17비트 Scale\_h는 수평축 축소비를 의미하며, En\_hin은 입력 영상의 유효한 구간을 나타낸다. En\_h는 현재 픽셀의 유효성을 판별하며, ScaleD와 ScaleD\_a의 XOR에 의해서 발생된다. Bit Slice 블록은 ScaleD의 부호 비트를 제외한 상위 6비트로 64개의 수평축 필터 중 1개를 선택하는 Sel\_v 신호를 생성하는 기능을 한다.

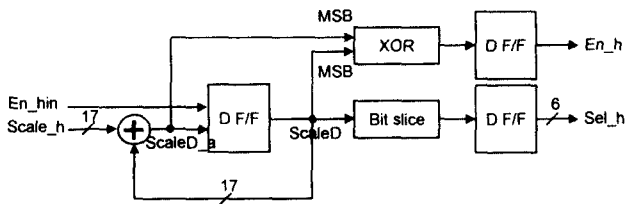


그림 9. 수평축 DTO  
Fig. 9 Horizontal DTO

수평축 LPF의 아키텍처는 하드웨어 복잡성 부담을 감소시키기 위해 그림 8(b)와 유사하게 구현된다. 그림 10(a)는 Arch1로 64개의 전가산기와 1개의 64-to-1 MUX를 사용하고, 그림 10(b)는 Arch2로 1개의 전가산기와 1개의 (5탭)-to-1 MUX를 사용한다. 그러므로, 최적화된 아키텍처 구현을 위해 본 논문은 Arch2 아키텍처를 제안한다.

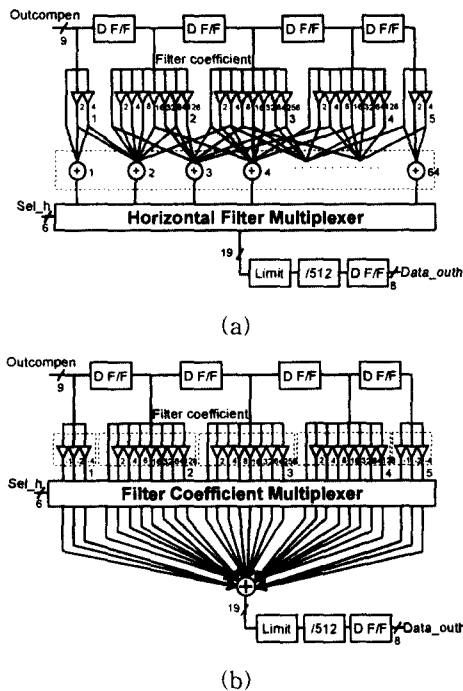


그림 10. 수평축 LPF의 아키텍처  
(a) 가산기-MUX (b) MUX-가산기  
Fig. 10 Architecture of horizontal LPF  
(a) Adder-MUX type (b) MUX-adder type

4. FIFO

FIFO는 축소된 데이터 중 유효한 데이터만을 선택하여 정렬한다. 즉, 입력된 모든 데이터는 수직·수평축 필터를 통과함으로써 FIFO에서 유효한 축소 데이터만을 저장하여 출력을 한다. 본 논문에서는 ITU-R 규격의 루미넌스(Luminance)와 크로미넌스(Chrominance) 데이터에 대

한 16비트, 256바이트 동기 FIFO 사용을 권장한다 [8].

V. 실험 결과

1. 제안된 영상 축소기 성능 비교

제안된 영상 축소기의 정밀도/정확도 성능 검증을 위해 테스트 영상은 수평/수직축으로 1MHz/3.33kHz, 2MHz/6.67kHz, 3MHz/10.00kHz, 4MHz/13.33kHz, 5MHz/16.67kHz, 6MHz/20.00kHz의 단일 주파수를 가지는 영상과 0Hz에서 6.75MHz까지의 전 주파수 성분을 포함하는 CZP(Circular Zone Plate)를 사용하였다. 비교 대상은 Scaler32 영상 축소기로, 단일 주파수 영상은 SNR(Signal-to-Noise Rate)의 비교를 위해, CZP 영상은 시각적 도식화를 위해 사용되었다.

표 1은 단일 주파수를 가지는 영상의 SNR 결과를 보여준다. 사용된 축소비는 1/1배에서 1/3배까지 1/64배씩 증가시켰다. 표 1에서 보여주는 값은 129개의 축소비에 따른 SNR의 평균이다. 표 1에서 알 수 있듯이, 입력 영상이 고주파의 성분을 가질수록 SNR이 더 높은 결과를 나타내었다.

표 1. 각 축소비에 따른 평균 SNR  
Table 1. Average of SNR by each ratio

입력 주파수 (수평/수직)	Scaler32 [dB]	제안된 영상 축소기 [dB]
1MHz/3.33kHz	76.05	76.05
2MHz/6.67kHz	71.06	71.13
3MHz/10.00kHz	66.92	67.15
4MHz/13.33kHz	63.35	63.45
5MHz/16.67kHz	61.75	61.97
6MHz/20.00kHz	58.97	59.42

그림 11은 300×300 픽셀을 가지는 CZP의 원영상을 보여준다. 그림 12는 각 축소기에 의한 축소된 영상들이다. 입력 주파수는 13.5MHz이며, 축소비는 1/2.546875 (163×1/64)이다. 축소비를 1/2.546875로 하였기 때문에 축소된 영상들은 118×118 픽셀을 가짐으로 자세한 검증을 위해 축소 영상을 확대시켰다. 그림 12(a)는 Scaler32 영상 축소기에 의한 축소된 영상이고, 12(b)는 제안된 영상 축소기에 의한 축소된 영상이다. 그림 12(b)의 축소 영상이 그림 12(a)의 축소 영상 보다 수평축 선명도 즉, 수평축으로 고주파 성분이 많이 포함하고 있는 것을 알 수 있다. 이것은 제안된 영상 축소기가 Scaler32 영상 축소기 보다 주파수 대역폭이 더 넓고, 정밀도/정확도가 더 우수하다는 것을 의미한다.

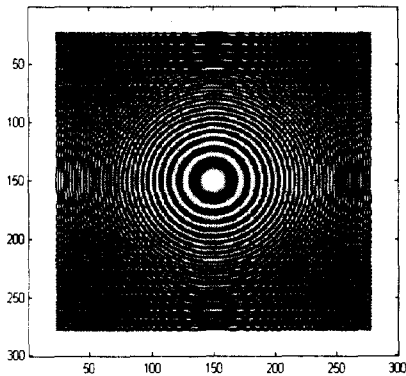
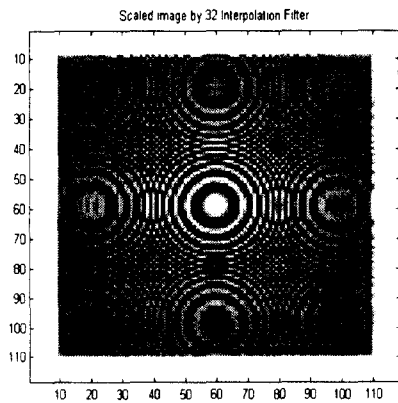
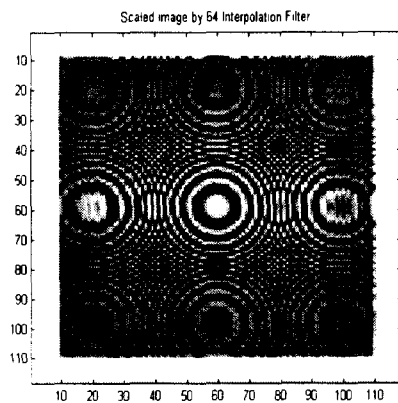


그림 11. CZP 원 영상  
Fig. 11 Original image of CZP



(a)



(b)

그림 12. 축소 영상

(a) Scaler32 영상 축소기 (b) 제안된 영상 축소기

Fig. 12 Scaled images

(a) Scaler32 downscaler (b) Proposed image downscaler

2. Arch1과 Arch2 아키텍처의 게이트 수 비교

제안된 영상 축소기는 Verilog-HDL에 의해 모델링 (Modeling)되었으며, Cadence 시뮬레이터(Simulator)로

검증되었다. 합성은 IDEC-C632 0.65 $\mu$ m 셀 라이브러리 (Cell Library)<sup>1)</sup>를 사용하여 Synopsys 합성기에서 수행되었다. 표 2는 제안된 영상 축소기의 각 블록에 해당하는 게이트 수를 보여준다. 1번째 컬럼(Column)은 제안된 영상 축소기의 Top-module이며, 2번째 컬럼은 Sub-module이다. 메모리인 SRAM1, SRAM2 그리고, FIFO는 실제 IC를 구현할 때 메모리 컴파일러(Memory Compiler)에서 발생하는 매크로 셀(Macro Cell)을 사용함으로써 제외시켰다. 3번째 컬럼은 Arch1 아키텍처를 이용한 각 블록의 게이트 수이며, 4번째 컬럼은 Arch2 아키텍처를 이용한 게이트 수를 나타내고 있다. 표 2에서 알 수 있듯이, 수평축 필터에서 Arch2 아키텍처 게이트 수가 184,499.4개에서 32,164.8개로 82.57% 감소되었고, 메모리를 제외한 전체 게이트 수는 257,431.8개에서 72,757.8개로 71.74% 감소되었다. 그러므로, 표 2는 Arch2가 최적화된 필터 구현 아키텍처를 입을 의미한다.

표 2. 제안된 영상 축소기의 게이트 수

Table 2. Gate count of proposed image downscaler

		Sub_module	Arch. 1	Arch. 2
T o p - m o d u l e	Time alignment	-	2,640.0	2,640.0
	MACRO	Sram1	-	-
		Sram2	-	-
		FIFO	-	-
	Vertical scaler	Sram control	2,270.4	2,270.4
		Delay	2,880.0	2,880.0
		Vertical DTO	3,880.8	3,880.8
		Vertical filter	43,570.8	11,231.4
	Horizontal scaler	FIFO control	492.0	492.0
		Horizontal DTO	5,469.6	5,469.6
Horizontal filter		184,499.4	32,164.8	
Compensation filter		11,728.8	11,728.8	
Total gate counts (except macro cell area)			257,431.8	72,757.8

3. 레이아웃 및 포스트 시뮬레이션(Post-simulation)

그림 13은 제안된 영상 축소기의 레이아웃을 보여준다. 레이아웃은 IDEC-C632 0.65 $\mu$ m 2-poly 2-metal 공정과 Mentor IC-station을 사용하여 P&R(Place & Route) 과정을 수행하였다. IDEC<sup>2)</sup>에서 제공하는 칩 마스터(Chip Master)를 사용하였으며, 칩 마스터의 크기는 4,500 $\mu$ m $\times$ 4,500 $\mu$ m이다. 제안된 영상 축소기의 실제 레이아웃 크기는 2,528 $\mu$ m $\times$ 3,237 $\mu$ m이다.

1) IDEC-C632 0.65 $\mu$ m 셀 라이브러리 게이트 수는 NAND 7.2개 기준으로 함.

2) IDEC : IC Design Education Center의 약어로 본 논문에서 사용된 설계 툴(Synopsys, Cadence, Mentor, Library)을 지원하였음.

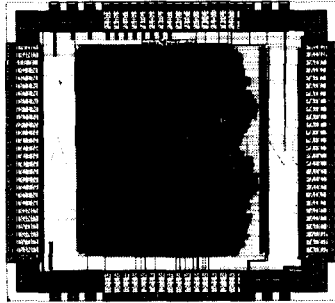


그림 13. 제안된 영상 축소기의 레이아웃  
Fig. 13 Layout of proposed image downscaler

그림 14는 제안된 영상 축소기의 레이아웃 검증에 위한 시뮬레이션 결과로 입력 주파수는 13.5MHz에서 수행하였다. 그림 14(a)는 프리 레이아웃 시뮬레이션(Pre-layout Simulation)을 보여주며, 그림 14(b)는 포스트 레이아웃 시뮬레이션(Post-layout Simulation)을 나타낸다. 그림 14(a)는 출력이 464,116.910ns에서, 그림 14(b)는 출력이 464,117.219ns에서 각각 출력되었다.

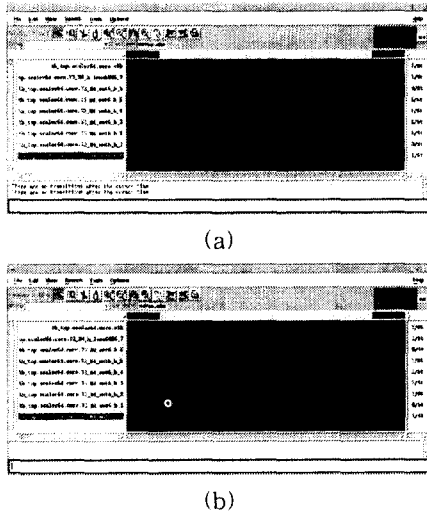


그림 14. 제안된 영상 축소기의 시뮬레이션 결과  
(a) 프리 레이아웃 시뮬레이션  
(b) 포스트 레이아웃 시뮬레이션

Fig. 14 Results of simulation by the proposed image downscaler

(a) Pre-layout simulation (b) Post-layout simulation

## V. 결론

본 논문에서는 멀티미디어에 널리 응용되는 고성능/고화질의 축소 영상을 제공하는 영상 축소기를 제안하였다.

제안된 영상 축소기는 수평·수직축으로 각각 1/64 픽셀과 1/32 라인의 높은 정밀도/정확도를 가진다. 또한, 수평축으로 보상 필터를 추가하여 수평축 필터의 대역폭을 최대 6MHz까지 향상시켜 원영상의 고주파 성분 손실을 최소화함으로써 기존 제품에 응용되고 있는 축소기보다 그 성능이 우수하다. 제안된 축소기는 하드웨어 복잡도의 부담을 최소화하기 위해 수평·수직축의 LPF를 MUX-adder 아키텍처를 사용하여 구현하였다(MUX-adder 형식으로 구현할 때의 게이트 수가 Adder-MUX 형식보다 71.74% 감소). 칩 제작을 위하여 레이아웃 및 포스트 레이아웃 시뮬레이션 검증 단계를 수행하였으며, 칩 마스터(Chip Master)는 IDEC에서 제공하는 칩 마스터를 사용하였고, 크기는  $4,500\mu\text{m} \times 4,500\mu\text{m}$ 이다. 제안된 영상 축소기의 실제 레이아웃 크기는  $2,528\mu\text{m} \times 3,237\mu\text{m}$ 이다.

접수일자 : 2001. 6. 8                      수정완료 : 2001. 7. 14

본 논문은 2000년도 한국학술진흥재단의 지원에 의하여 연구되었음(과제 번호 : KRF-2000-041-E00185).

## 참고 문헌

- [1] Brooktree Corporation, BT819A (VideoStream Decoders) Datasheet, 1999.
- [2] Philips Corporation, SAA7114A (HPS: High Performance Scaler) Datasheet, 2000.
- [3] S.K. Park and Z. Rahman, "Fidelity analysis of sampled imaging systems," *Optical Engineering*, Vol. 38, No. 5, pp. 786-800, May, 1999.
- [4] N. Liu, H. Jin, and A.P. Rockwood, "Antialiasing by Gaussian Integration," *IEEE Computer Graphics & Applications*, Vol. 16, No. 3, pp. 58-63, May, 1996.
- [5] L.L. Presti and A. Akhdar, "Efficient Antialiasing Decimation Filter for Delta-Sigma Converters," *Proceedings of IEEE International Conference on Electronics, Circuits and Systems*, Vol. 1, pp. 367-370, Sep., 1998.
- [6] H. Lee, B. Lee, Y. Lee, and B. Kang, "Optimized VLSI Design for Enhanced Image Downscaler," *the Second IEEE ASIA-PACIFIC Conference on ASIC (AP-ASIC)*, pp. 139-142, Aug., 2000.
- [7] ITU-R Recommendation BT. 601, *Encoding Parameters of Digital Television for Studios*, 1994.
- [8] K. Jack, *Video Demystified*, HighText Pub., San Diego, 1996.





강봉순 (Bongsoon Kang)

正會員

1985년 연세대학교 전자공학과

1987년 미국 Univ. of Pennsylvania  
전기공학과(공학석사)

1990년 미국 Drexel Univ.

전기·컴퓨터공학과(공학박사)

1989년-1999년 삼성전자 반도체 수석연구원

1999년-현재 동아대학교 전기·전자·컴퓨터공학부  
조교수

관심분야: VLSI algorithm/architecture design, Image/  
Video processing, Wireless communication.



이봉근 (Bonggeun Lee)

準會員

2000년 동아대학교 전자공학과

2000년 - 현재 동아대학교 전자공학과  
석사과정

관심분야: Digital signal processing, Image processing,  
Wireless communication.



이영호 (Youngho Lee)

正會員

1999년 동서대학교 전자공학과

2001년 동아대학교 전자공학과(공학석사)

2001년 - 현재 동아대학교 전자공학과  
박사과정

관심분야: VLSI design, Digital signal processing,  
Image processing.