패턴인식을 위한 다층 신경망의 디지털 구현에 관한 연구

A Study on the Digital Implementation of Multi-layered Neural Networks for Pattern Recognition

박영석
경남대학교 정보통신공학부

Young-Seak Park
Division of Information and Communication Engineering
Kyungnam University
e-mail : yspark@kyungnam.ac.kr

요약

본 연구에서는 패턴 인식용 다층 퍼셉트론 신경망을 순수 디지털 논리회로 모델로 구현할 수 있도록 새로운 논리뉴런의 구조, 디지털 정형 다층논리신경망 구조, 그리고 패턴인식의 응용을 위한 다단 다층논리 신경망 구조를 제안하고, 또한 제안된 구조는 매우 단순하면서도 효과적인 증가적인 가법적(Incremental Additive) 학습알고리즘이 존재함을 보였다.

Abstract

In this paper, in order to implement the multi-layered perceptron neural network using pure digital logic circuit model, we propose the new logic neuron structure, the digital canonical multi-layered logic neural network structure, and the multi-stage multi-layered logic neural network structure for pattern recognition applications. And we show that the proposed approach provides an incremental additive learning algorithm, which is very simple and effective.

Keywords Neural Networks, Logic Neurons, Mapper, Classifier, Digital Canonical Logic Neural Network, Multi-stage Multi-layered Logic Neural Network, Incremental Additive Learning Algorithm

Ⅰ. 서론

신경망 회로의 구현에서 디지털 혹은 아날로그 회로 어느 쪽을 택할 것인지는 시스템 설계 이슈에 달려있다. 설계 이슈의 예로서는, 망 구조, 학습 메커니즘 과 적응성, 학습과 검색의 속도, 신경 상태나 시냅틱 가중치 값의 범위에 대한 정도(precision), 설계의 프로그래머빌리티, 재구성 능력, 확장성, 그리고 고장 감내성(fault tolerance)등을 들 수 있다. 일반적으로 아날로그 회로 혹은 광학회로는 생물학적 형태의 신경망을 위해서는 더욱 매력적인 것일 수 있다. 그러나 그들은 부적절한 정확성과 프로그램 능력의 관점에서 그 매력을 상실한다. 그러므로 아날로그 회로가 높은 정확성과 프로그래머빌리티를 요구하는 연결형 신경망에 적합 할런지는 매우 의문스럽다[1].

디지털 CMOS VLSI 기술은 1980년이래 처리 속도와 집적도 관점에서 괄목할 만한 성장을 계속해왔고 그 가격 또한 해마다 급격하게 떨어져 왔다. CMOS VLSI 기술이 이미 다른 기술에 비해 월등하다 할지라도 집적도의 향상은 아마 21세기에도 계속될 것이다. 디지털 신경망은 대규모 병렬 하드웨어가 경제적 부담이 되지 않을 때 가장 유력한 대안일 것이다[2~4].

그러하다 할지라도 구현된 대부분의 디지털 신경망 시스템은 가급적 생물학적 기능에 충실한 뉴런의 설계와 대

량 뉴런의 집적화에 바탕을 두고 범용성있는 처리기능을 실현하는 점에 촛점을 두고 있다. 이같은 접근은 자연스런 것일지라도 현실적인 다양한 응용 요구에 비추어 그러한 시스템은 뉴런의 범용성 추구로 지나치게 회로가 복잡화되고 가격이 비싸게 된다는 문제점을 지니고 있다. 이러한 문제점은 다양한 특수 목적의 응용 활성화를 위축하는 결과를 초래하게 된다. 따라서 범용적 신경회로망 구현의 노력과 더불어 소규모 응용 혹은 특수 목적 응용에 적합한 설계 구현이 용이하고 경제적인 접근법의 연구 개발이 매우 필요하다.

다양한 응용 분야의 신경망 알고리즘을 손쉽고 값싸게 구현하기 위해서는 응용에 따라 어느 정도 뉴런 및 시냅스 관련 기능을 제약하여 회로의 단순화를 꾀하고 설계 및 구현이 손쉬운 VLSI 접근법을 사용할 필요가 있다. 신경망 회로의 단순화가 전제된다면 경제적이고 용이한 구현을 위한 매우 유력한 하나의 접근법이 VLSI PLD(programmable logic devices)칩을 사용하거나 혹은 PLD형의 회로 구현일 것이다. 신경망의 구현을 위해 이용 가능한 대표적인 PLD 소자로는 CPLD(Complex PLD) 그리고 FPGA(Field Programmable Gate Array) 등을 들 수 있다[5,6]. 최근 이러한 소자들은 프로토타입이나 전용칩의 구현을 위해 연구 및 산업 전반에 널리 이용되고 있으며, VLSI 기술의 발전에 힘입어 현재 수백에서 수십만 게이트 수준까지의 집적도를 가지는 다양한 칩들이 여러 업체로부터 제공되고 있다.

다층퍼셉트론신경망(Multi-layered Perceptron Neural Network)은 패턴인식에 있어서 패턴 식별을 위해 거의 공통적으로 사용될 수 있을 뿐만 아니라 음성 및 영상을 포함하는 신호처리, 컴퓨터 비젼, 자동제어 등의 다양한 분야에서 널리 이용되고 있다[1,2,7~9]. 따라서 본 연구에서는 패턴 인식용 다층 퍼셉트론 신경망을 PLD형의 순수 디지털 논리회로 모델로 구현할 수 있는 디지털 논리 뉴런구조와 체계적인 학습 알고리즘이 존재하는 디지털 논리 신경망 구조를 제안하고자 한다.

II. 다층 퍼셉트론 신경망의 분석

2.1 신경망의 매핑(Mapping)개념

일반적으로 다층 퍼셉트론 신경망과 패턴인식의 핵심적 처리(패턴 분류 혹은 식별)는 수학적 의미로 N-차원 유클리드(Euclidean) 입력 벡터 공간(R^N)을 M-차원 이진(binary) 출력 공간(I^M)으로 다단계 매핑(mapping)하는 함수(f: R^N -> I^M)라는 기능적 유사성을 가진다. 대부분의 실용적 패턴 인식 응용은 학습에 일반화된 델타 규칙(Generalized Delta Rule)이 적용되며 준선형(semilinear: 완전한 비선형이 아니라 선형결합에의 비선형 특성을 가지는) 식별능력을 가지는 2층 이상의 신경망이 사용된다[1,7,9]. 그림 1은 3층 신경망의 구조를 보인다.

제1층의 뉴런 집합은 매핑 R^{N1} -> I^{N2}을 행하고 생성된 개개의 이진 출력은 패턴 공간의 선형 식별능력을 가지며 각각 패턴 공간을 2등분하는 하나의 초평면(hyperplane)에 대응한다. 하나의 초평면은 I^{N2} 공간을 나타내는 이진 벡터의 한 성분(혹은 2진 변수)에 대응한다.

제2층은 매핑 I^{N2} -> I^{N3}를 행하며 1층에 의한 초평면들에 의해 나누어진 영역 부류를 한점으로 하는 I^{N2} 차원 이진 혹은 hyper-cube 공간을 I^{N3} 차원 이진 공간으로 매핑하는 것이며 역시 각 출력은 I^{N2} 공간에 대한 하나의 초평면에 대응한다.

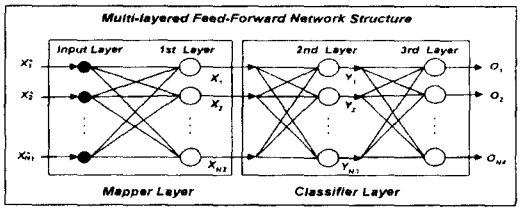


그림 1 3층 퍼셉트론 네트워크 구조

Fig. 1 3-Layer Perceptron Network Structure

결과적으로 I^{N3} 공간이란 개개의 제 2층 출력이 제 1층에 의한 초평면들의 AND 결합 즉, I^{N2} 공간의 2진 변수들의 적항(product term)으로서 이뤄지는 패턴 부류들의 공간이다. 따라서 2층 망은 I^{N3} 공간의 한점(부류) 즉, 초평면들로 이뤄지는 하나의 폐공간(closed space)에 속하는 패턴 부류들을 식별할 수 있는 준선형 식별 능력을 가진다.

그리고 제 3층은 유사하게 매핑 I^{N3} -> I^{N4}를 행하며 개개 출력은 제2층 초평면들의 AND 결합이지만 1층 초평면들의 AND 결합에 의한 폐공간들의 OR 결합 즉, I^{N2} 공간 변수들로 이뤄지는 적항의 합(sum)에 대응한다. 결국 I^{N4} 출력 공간은 I^{N2} 공간 변수에 대한 적의 합(sum of product)형으로 이뤄지는 패턴 부류들의 공간이 된다[9].

2.2 디지털 논리회로로의 전환문제

전술한 다단계 매핑의 개념으로 부터 그림 1의 신경망에서 제2층은 논리적 AND 층 그리고 제 3층은 논리적 OR 층에 대응한다. 이는 출력 층의 출력이 부울 대수(Boolean Algebra)의 관점에서 I^{N2} 공간 변수(즉, 1층의 출력)에 대한 적의 합형으로 표현될 수 있다는 것이며, 결국 2층과 3층을 AND-OR 형 디지털 논리회로[8]로 구현할 수가 있음을 의미한다. 실제로 제 2층과 제 3층 부분은 I^{N2} 공간 패턴에 대한 분류 기능을 수행함으로 우리는 1층과 분리하여 분류기 층(classifier layer)이라 명명한다.

그리고 제 1층은 유클리드 공간을 이진공간으로의 매핑 R^{N1} -> I^{N2}을 수행함으로 매핑기 층(Mapper layer)라 명명한다. 매핑기 층은 의미적으로 $N1$-차원 유클리드 공간 상의 패턴에 대응한는 점들을 2^{N2} 개의 패턴 부류에 대응하는 $N2$-차원 2진 공간 상의 한 점으로 매핑하는 것이다 그래서 매핑기의 처리는 응용에 따라 달라질 수 있고 패턴 인식의 관점에서는 특징 추출기(feature extractor)[7,9,10]

로 간주할 수 있다.

예로써 문자 인식의 경우 입력 벡터는 문자 영상의 일련의 화소(pixel) 값일 수 있고 이 때 뉴런은 단순한 스레쉬홀딩 기능을 수행함으로서 2진 패턴 벡터로 변환되어 질 수 있다. 이러한 점은 입출력의 기능의 관점에서 매핑기는 아날로그 신경망적 관점에서 벗어나 전통적 디지털회로의 접근법을 사용해도 무방할 수 있고 매핑기를 디지털 회로로 구현한다면 의외로 회로가 단순화되고 또한 구조 설계가 용이하게 이뤄질 수 있다는 점을 시사한다.

III. 디지털 정형논리신경망의 구조

3.1 논리 뉴런(Logic Neuron)의 구조

그림 2는 재구성 가능한 n 입력 논리 AND 및 OR 뉴런의 논리도를 보이며 그림 3는 n 입력 뉴런의 블록도를 보인다. 그림 2에서 보이는 SAIC(Simple AND Input Control) 논리블록이나 SOIC(Simple OR Input Control) 논리블록은 신경망의 시냅스와 대응되며 뉴런의 입력결합을 재구성 가능하게 한다. 여기서 이진 입력 s_i는 시냅스 가중치(weight)로서 각각 그림3의 AND뉴런의 가중치 w_i^A와 OR뉴런의 가중치w_i^O 를 나타낸다.

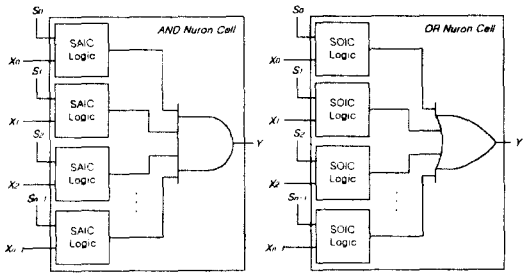


그림 2 뉴론 셀 논리도

Fig. 2 Neuron Cell Logic Diagram

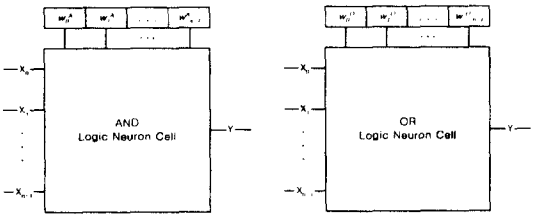


그림 3 뉴론 셀 논리기호

Fig. 3 Neuron Cell Logic Symbols

각 논리뉴런에 있어서 입력의 가중치 제어는 입력제어논리(Input Control Logic)를 통해서 이루어진다. 일반적으로, 논리뉴런의 경우 가중치 w_i는 2비트 값 s_{i0}, s_{i1}으로 표현될 수 있다. 일반적인 입력제어논리의 기능은 표 1, 2로 정리할 수 있고 각각의 간략화된 논리식은 다음과 같다.

$$Y_A = S_{i0} + X_i'S_{i1} + X_iS_{i1}'$$

$$Y_O = X_i'S_{i1} + X_iS_{i0}'S_{i1}'$$

이와 같은 일반적인 입력제어논리를 사용하면 AND뉴런 및 OR뉴런의 모든 입력을 3가지 상태 즉, 연결(Connect), 반전(Invert), 개방(Disconnect or cut) 상태로 제어할 수 있다.

그런데 만약 디지털 논리 신경망의 구조가 보다 제약된 형태를 가진다면 입력제어논리를 보다 단순화할 수 있다. 후속 장에서 제시되는 논리 신경망의 구조에 사용하기 충분한 것으로, 표 3과 4는 단순화된 입력제어논리 기능을 보이고 있고 간략화된 논리식은 다음과 같고,

$$Y_{O*} = X_iS_i$$

$$Y_{A*} = X_i'S_i' + X_iS_i = (X_i \oplus S_i)'$$

논리도는 각각 그림 4에서 보인다. 그래서 그림 2, 3에서는 단순한 입력제어논리 기능의 사용을 전제로 하고 논리뉴런을 표현한 것이다.

3.2 매핑기 층(Mapper Layer)의 구조

매핑기 층은 의미적으로 유클리드 공간 상의 패턴에 대응한는 점들을 2진 패턴에 해당하는 2진 공간 상의 한 점으로 매핑하는 것이다 그래서 매핑기의 구조는 응용에 따라 달라질 수 있다. 예로써 문자 인식의 경우 입력 벡터는 문자 영상의 일련의 화소(pixel) 값일 수 있고 이 때 뉴런은 단순한 스레쉬홀딩 기능을 수행함으로서 2진 패턴 벡

표 1 AND 뉴론의 입력제어논리

Table 1 Input Control logic of AND neuron

X_i	S_{i1}	S_{i0}	Y_A	Meaning
0	0	0	0	connect
0	0	1	1	cut
0	1	0	1	invert
0	1	1	X(1,0)	don't care (cut, cut-invert)
1	0	0	1	connect
1	0	1	1	cut
1	1	0	0	invert
1	1	1	X(1,0)	dont'care (cut, cut-invert)

표 2 OR 뉴런의 입력제어논리

Table 2 Input Control logic of OR neuron

X_i	S_{i1}	S_{i0}	Y_O	Meaning
0	0	0	0	connect
0	0	1	0	cut
0	1	0	1	invert
0	1	1	X(0,1)	don't care (cut, cut-invert)
1	0	0	1	connect
1	0	1	0	cut
1	1	0	0	invert
1	1	1	X(0,1)	dont'care (cut, cut-invert)

표 3 단순 AND 입력제어논리
Table 3 Simple AND Input Control logic

X_i	S_i	Y_{A*}	Meanning
0	0	1	invert
0	1	0	connect
1	0	0	invert
1	1	1	connect

표 4 단순 OR 입력제어논리
Table 4 Simple OR Input Control Logic

X_i	S_i	$Yo*$	Meanning
0	0	0	cut
0	1	0	connect
1	0	0	cut
1	1	1	connect

터로 변환되어 질 수 있다. 본 연구에서는 문자인식과 같은 영상패턴 인식용을 고려하여 그림 5에서 보여지는 문턱치 처리기(Thresholder)에 의한 하나의 매핑기 구조를 제시한다.

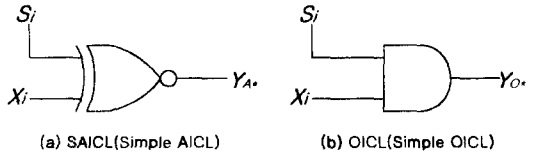


그림 4 단순입력제어논리
Fig. 4 Simple Input Control Logics

이 매핑기는 초기화 과정에서 문턱치 값을 문턱치 레지스터에 로드하고 그 후 싸이즈 N×N 입력 패턴의 각 화소값(8-bit 가정)을 순차적으로 읽어 문턱치 처리기 통해를 문턱치 처리를 수행하여 1비트 값을 생성하며 이 값들은 시프트 레지스터를 통하여 누적되어 총 N×N비트의 2진 정보가 얻어진다.

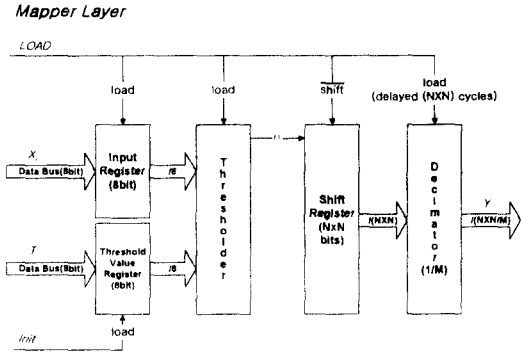


그림 5 매핑기 층 구조
Fig. 5 Mapper Layer Structure

이 2진 패턴은 필요에 따라 감축기(decimator)를 통해 1/M로 다운샘플링되어 분류기 층의 입력으로 사용된다. 감축기의 기능은 입력 패턴의 고유특징을 상실하지 않는 범위 내에서 분류기 층 입력변수의 수(혹은 패턴의 비트수)를 대폭 줄여주기 때문에 분류기 층의 하드웨어적 부담을 크게 경감할 수 있다.

3.3 분류기 층(Classifier Layer)의 구조

본 연구의 분류기 층은 기본적으로 AND-OR회로 형태를 취한다. AND_OR회로의 정의[8]로부터 단일출력을 가지는 분류기층 신경망 회로는 NOT 게이트는 제외하고 2^{n-1}개의 AND뉴런과 1개의 OR뉴런을 가지는 레벨 2인 AND-OR 구조로 구현할 수 있다. 그러나 분류기는 일반적으로 다출력 함수를 가지기 때문에 레벨 2로 $(2^{n-1}+n)$개의 논리 게이트들에 의한 AND-OR 다출력 신경망 구조를 구성했을 때 모든 입력패턴 부류에 대한 완전한 분류능력을 가질 수 없다.

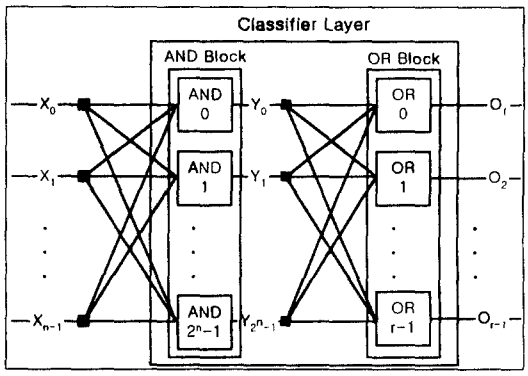


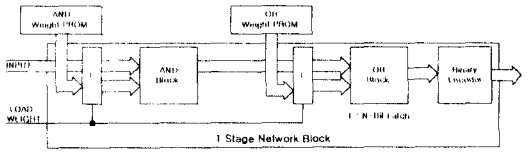
그림 6 분류기 네트워크의 개념
Fig. 6 The Concept of Classifier Network

따라서 2-level 분류기 층은 2^n개의 AND뉴런 셀과 r개의 OR뉴런 셀로 r개의 출력함수를 구현한 구조를 그림 6과 같이 표현할 수 있다. 하나의 부울함수 $f(x_1,...,x_n)$는 식(1)처럼 최소항(Minterm)을 M_i, 그것의 가중치 $w_i \in (0,1)$라 할 때 최소항의 합(SOM: Sum of Minterms)형인 정형(Canonical Form)으로 표현될 수 있기 때문에 다출력을 가지는 분류기 층의 AND 블록은 2^n개의 AND 뉴런 셀로 이루어 진다. 그리고 출력은 상호 배타적이므로 최대 2^n개를 가질 수 있으므로 $r \le 2^n$이다. 이런 이유로 그림 6의 구조를 디지털 정형 논리 신경망 분류기(Digital Canonical Logic Neural Network Classifier)라 명명한다.

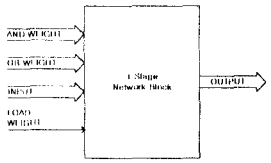
$$f(x_0,...,x_{n-1}) = w_0M_0 \vee w_1M1 \vee ... \vee w_{2^n-1}M_{2^n-1} \quad (1)$$
$$= w_0Y_0 \vee w_1Y1 \vee ... \vee w_{2^n-1}Y_{2^n-1}$$

그림7은 전향(Feed Forward) 퍼셉트론 망의 디지털 정형 논리 신경망 분류기로 구성된 1단 분류기 층의 구조를 제시한다. AND 및 OR뉴런의 가중치는 각각의 가중치 메모리(RAM 혹은 PROM)에 저장되고 신경망의 초기화 과정에서 로드(Load) 혹은 다운로드(Down Load)된다. 그리고 AND 뉴런블록 래치(Latch)는 뉴런 당 1개로 총 2^n개, OR 뉴런블록 래치는 r개가 필요하다. 종단의 2진 엔코더는

분류기 층의 r개 상호 배타적인 출력을 2진 값으로 변환한다. 이 엔코더의 출력 값은 식별 패턴의 고유한 부류를 나타낸다.



(a) Block Diagram of 1 Stage Network



(b) Block Symbol

그림 7 디지털 정형논리신경망 분류기

Fig. 7 Digital Canonical Logic Neural Network Classifier

3.3 분류기층의 학습 알고리즘

매핑기 층에 대한 학습은 응용에 따라 달리 고려되어야 하며 본 연구에서 제시한 구조에서는 학습이 필요 없다. 따라서 여기서는 분류기 층에 대한 학습 문제를 설명한다. 그림 8은 분류기에서 하나의 부류에 속하는 2개 입력패턴이 증가적으로 최소항의 합으로 학습되는 과정을 설명하고 있다. 이와 같이 디지털 정형 다층 신경망의 분류기층 학습은 매우 간단하게 수행될 수 있다.

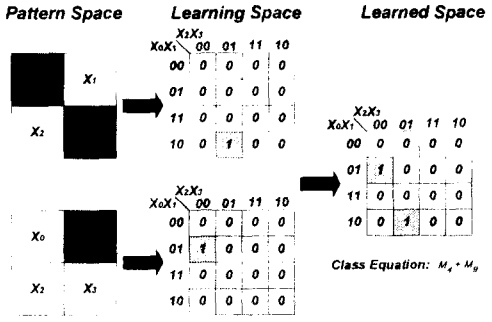


그림 8 패턴 대 학습 공간

Fig. 8 Pattern vs. Learning Space

그림 6의 분류기층 네트웍으로부터 X는 분류기 입력, Y는 AND 뉴런 출력, O는 OR 뉴런 출력, 그리고 M은 최소항 벡터로 다음처럼 정의된다.

$X = (x_0, x_1, \ldots, x_{n-1}) \in \{0,1\}^n$

$Y = (y_0, y_1, \ldots, y_{2^n-1}) \in \{0,1\}^n$

$O = (o_0, o_1, \ldots, o_{r-1}) \in \{0,1\}^n$

$M = (M_0, M_1, \ldots, M_{2^n-1})$

(1) AND뉴런의 입력 가중치 문제

디지털 정형 다층 논리 신경망에서 AND i뉴런의 출력 y_i는 다음처럼 최소항 M_i가 되도록 입력 가중치를 가지면 된다.

$y_i = f(x_0, x_1, \ldots, x_{n-1}) = M_i$

여기서 AND i뉴런의 인덱스 i에 대한 n-bit 2진 값에서 j 번째 LSB(Least Significant Bit)의 값을 구하는 함수를 $Bit(i,j)$로 정의하자. 그리고 AND뉴런 블록의 전체 가중치 W는 출력 Y에 관련되는 가중치 벡터 W_j들의 벡터이고 W_j는 모든 입력과 j번 AND뉴런간의 가중치 벡터이며 w_{ji}는 입력 x_i와 j번 AND뉴런간의 가중치로 다음처럼 정의된다.

$W = (W_0, W_1, \ldots, W_{2^n-1})$

$W_j = (w_{j0}, w_{j1}, \ldots, w_{jn-1})$

따라서, AND뉴런의 가중치는 다음의 식(2)와 같다. 이것은 고정적인 최소항을 구성하는 것으로 학습을 필요로 하지 않는다. 다만 신경망의 초기화 과정에서 AND뉴런이 모든 고유한 최소항을 동적으로 재구성할 수 있게 한다.

$$w_{jl} = Bit(i,l+1),\ 0 \le l \le n-1 \qquad (2)$$

(2) 증가적인 가법적 학습 알고리즘

(Incremental Additive Learning Algorithm)

분류기의 입력$X_i \in X$는 n차 2진공간 상 한 점에 해당하고 분류 대상이 되는 부류(class) C_j는 그 부류에 속하는 패턴 $P_{ji} \in X$인 P_{ji} 의 합집합, 즉 논리적 OR결합으로 표현된다. 그리고 하나의 패턴 P_{ji}에 대응하는 최소항이 M_l일 때 Map함수는 패턴을 최소항으로 매핑하는 것으로 다음과 같이 정리할 수 있다.

$C_j = P_{j0} \vee P_{j1} \vee \ldots \vee P_{jk},\ 0 \le k \le 2^n-1$

$Map: P_{ji} \in C_j \rightarrow M_l \in M$

$Map(P_{ji}) = M_l = \Sigma(l)$

그리고 모든 패턴은 서로 다르며(disjoint하며) 모든 패턴 부류의 합집합은 다음처럼 모든 최소항에 대한 역(inverse) Map함수의 합집합이다.

$P_{ji} \neq P_{kl}$ if $ji \neq kl$

$$\bigcup_{\text{for all } j} C_j = \{Map^{-1}(M_0), \ldots, Map^{-1}(M_{2^n-1})\}$$

OR뉴런 블록 전체 가중치 W는 출력 O에 관련되는 가중치 벡터 W_j들의 벡터이고 W_j는 모든 AND 뉴런과 j번 OR뉴런 간의 가중치 벡터이며 w_{ji}는 i번 AND뉴런과 j번 OR뉴런간의 가중치라 두자.

$W = (W_0, W_1, \ldots, W_{r-1})$

$W_j = (w_{j0}, w_{j1}, \ldots, w_{j2^n-1})$

부류 C_j를 식별하는 함수 $Classify(C_j)$는 출력 부울함수 O_j이며 디지털 정형다층신경망은 다음 식이 성립된다.

$Classify(C_j) = O_j$

$O_j = W_j \cdot Y^T = W_j \cdot M^T$

따라서 모든 j와 l에 대해서 $W(j,l)$은 다음처럼 학습된다.

$$w(j,l) = \begin{cases} 1 & \text{if } C_j \ni P_{ji} \text{ and } Map(P_{ji}) = M_l \\ 0 & Otherwise \end{cases} \qquad (3)$$

여기서 i가 패턴 P_{ji}의 발생순서라면 OR뉴런의 학습은

논리 가법적으로 증가적으로 진행된다.

지금까지의 학습에 대한 설명과 후술되는 비선형 분류능력(Nonlinear Separability)을 요구하는 학습 예를 통해서 형식적 증명없이(자명함으로) 다음의 성질을 정리할 수 있다.

성질) (정형논리 신경망 분류기의 비선형 분류능력) 정형논리 신경망 분류기는 매핑기의 출력 패턴에 대해 증가적인 가법적 학습을 통해 완전한 비선형 분류능력을 가진다.

(3) 증가적인 가법적 학습의 예

증가적 학습과정을 예를 들어 설명하기 위해 패리티 함수를 사용한다. 일반적인 n-변수 홀수 패리티 함수 (n-variable Odd Parity Function) $PAR_n(X)$[8]는 $X = (x_0, \ldots, x_{n-1}) \in \{0,1\}^n$ 에 대해 다음처럼 정의된다.

$$PAR_n(X) = \begin{cases} 1 & \text{if } \sum_{i=0}^{n-1} x_i \text{ is odd,} \\ 0 & \text{otherwise.} \end{cases}$$

이와 같은 PAR함수는 논리적 간략화가 불가한 부울함수이고 비선형적인 분류능력을 요구하는 함수의 하나이다. 설명을 간단히 하기 위해 PAR_4 함수를 생각하자. 참고로 PAR_2 함수는 Exclusive_OR 함수이다.

표 3 AND 가중치
Table 3 AND Weights

Neuron Number	Weights	Neuron Outputs	Decignations
0	$w_{00}=0, w_{01}=0, w_{02}=0, w_{03}=0$	$x_3'x_2'x_1'x_0'$	M_0
1	$w_{10}=1, w_{11}=0, w_{12}=0, w_{13}=0$	$x_3'x_2'x_1'x_0$	M_1
2	$w_{20}=0, w_{21}=1, w_{22}=0, w_{23}=0$	$x_3'x_2'x_1x_0'$	M_2
3	$w_{30}=1, w_{31}=1, w_{32}=0, w_{33}=0$	$x_3'x_2'x_1x_0$	M_3
4	$w_{40}=0, w_{41}=0, w_{42}=1, w_{43}=0$	$x_3'x_2x_1'x_0'$	M_4
5	$w_{50}=1, w_{51}=0, w_{52}=1, w_{53}=0$	$x_3'x_2x_1'x_0$	M_5
6	$w_{60}=0, w_{61}=1, w_{62}=1, w_{63}=0$	$x_3'x_2x_1x_0'$	M_6
7	$w_{70}=1, w_{71}=1, w_{72}=1, w_{73}=0$	$x_3'x_2x_1x_0$	M_7
8	$w_{80}=0, w_{81}=0, w_{82}=0, w_{83}=1$	$x_3x_2'x_1'x_0'$	M_8
9	$w_{90}=1, w_{91}=0, w_{92}=0, w_{93}=1$	$x_3x_2'x_1'x_0$	M_9
10	$w_{100}=0, w_{101}=1, w_{102}=0, w_{103}=1$	$x_3x_2'x_1x_0'$	M_{10}
11	$w_{110}=1, w_{111}=1, w_{112}=0, w_{113}=1$	$x_3x_2'x_1x_0$	M_{11}
12	$w_{120}=0, w_{121}=0, w_{122}=1, w_{123}=1$	$x_3x_2x_1'x_0'$	M_{12}
13	$w_{130}=1, w_{131}=0, w_{132}=1, w_{133}=1$	$x_3x_2x_1'x_0$	M_{13}
14	$w_{140}=0, w_{141}=1, w_{142}=1, w_{143}=1$	$x_3x_2x_1x_0'$	M_{14}
15	$w_{150}=1, w_{151}=1, w_{152}=1, w_{153}=1$	$x_3x_2x_1x_0$	M_{15}

전술한 것처럼 디지털 정형 논리신경망 분류기에서는 AND뉴런 입력 가중치는 표3처럼 고정된 값을 가진다. 한편 PAR_4 부류는 표4에서 처럼 P_0에서 P_7까지 8가지 패턴을 가지며 P_0에서 P_7까지 차례로 패턴이 발생한다고 가정하면 OR뉴런의 입력가중치는 표4처럼 증가적으로 학습되어 진다.

표 4 OR 가중치
Table 4 OR Weights

Occurrence Order	Patterns	Minterms	Minterm Designation	Learned OR Weights
P0	0001	x1'x2'x1'x0	M1	w1 = 1
P1	0010	x1'x2'x1x0'	M2	w2 = 1
P2	0100	x1'x2x1'x0'	M4	w4 = 1
P3	0111	x1'x2x1x0	M7	w7 = 1
P4	1000	x1x2'x1'x0'	M8	w8 = 1
P5	1011	x1x2'x1x0	M11	w11 = 1
P6	1101	x1x2x1'x0	M13	w13 = 1
P7	1110	x1x2x1x0'	M14	w14 = 1

초기적으로 모든 OR뉴런의 가중치는 0이다. 처음 P_0가 발생하면 $w_1 = 1$로 학습된다. 다음 P_1이 발생하면 $w_2 = 1$로 학습되어 $w_1 = 1$, $w_2 = 1$이고 나머지 가중치는 모두 0을 유지한다. 이와 같이 순차적으로 P_7까지 학습되면 $w_1 = w_2 = w_4 = w_7 = w_8 = w_{11} = w_{13} = w_{14} = 1$이 되고 나머지 가중치는 0을 유지함으로서 완전한 PAR_4함수 즉, PAR_4 부류의 분류능력을 가지게 된다.

Ⅳ. 다단 정형논리신경망의 구조 및 고찰

전술한 디지털 정형논리신경망의 구조는 매우 단순하며 또한 매우 효과적인 학습알고리즘이 존재한다. 그러나 일반적인 패턴인식문제에 있어서 입력패턴은 다변수 함수이기 때문에 패턴 즉, 입력 변수가 많아지게 되면 정형논리신경망의 구조는 지수함수적으로 커지게 되어 현실적이지 못하다. 따라서 패턴인식에 적용하기 위해서는 새로운 적용방법을 고려할 필요가 있다.

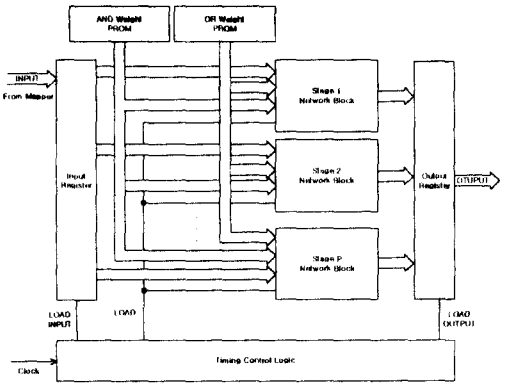


그림 9 다단 디지털 정형논리신경망 분류기의 구조

Fig. 9 The Structure of Multi-stage Digital Canonical Logic Neural Network Classifier

문자 영상패턴과 같은 영상 패턴의 경우는 그림5의 매핑기를 통하면 싸이즈 $N \times N$의 2진 패턴이 되고 분류기에서는 N^2개의 입력 부울변수를 가지게 된다. 예로써 16×16 그레이레벨 문자 패턴의 경우 1/2다운샘플링을 통한 매핑

기의 출력은 8×8 2진 패턴이 되며 이는 8^2=64개의 2진 변수가 된다. 이것을 1단의 정형논리신경망으로 구현한다고 하면 2^{64}개의 AND뉴런이 요구되므로 현실적이지 못하다. 따라서 싸이즈 2×2로 분할 즉, 4변수로 분할하면 16개 블록이되고 개개의 블록은 4입력 1단 논리신경망 분류기가 되고 총 16단으로 구현될 수 있다.

각 블록에 해당하는 2×2패턴을 4개 부부류(subclasses)로 분류한다고 가정하면 각단은 2^4개의 AND 뉴런과 4개의 OR뉴런, 그리고 하나의 4×2 2진 엔코더로 구성될 수 있고 전체는 16×2^4 AND 뉴런과 16×4 OR뉴런 그리고 16개의 4×2 2진 엔코더로 구성된다. 만약 분류능력이 수용할만하다면 이 구조는 충분한 현실성을 가진다. 그리고 분류기의 최종 출력은 부부류를 나타내는 각각 2비트인 16개의 값들(16-tuple)로 하나의 부류를 나타내며 각각은 대응하는 단의 OR 뉴런 즉, 출력함수의 위치를 나타낸다. 따라서 일반화해서 그림9과 같은 다단의 다층 디지털 정형 논리신경망 분류기 구조를 제시한다.

특히 제시된 다단 디지털 정형논리 신경망 구조는 블록분할에 의한 망 특징량[10]을 이용하는 문자인식 방법 등에 그대로 적용 가능하다.

AND-OR 회로에 의한 디지털 신경망에 관한 대부분의 기존연구는 회로 복잡도에 관한 이론적 한계성과 그것에 근거한 비선형 소자를 통한 생물학적 기능에 충실한 회로의 구현에 집중되어 왔다[8]. 그러나 AND-OR회로의 복잡도에 관한 한계성 문제는 최근의 고집적도 VLSI 기술에 의해 완화되어져 왔고 수십만 게이트급의 대규모 PLD소자의 출현이 AND-OR회로의 유효성을 입증하는 하나의 뚜렷한 증거이다.

이러한 시점에서 본 연구의 접근법은 다양한 응용에는 직접적으로 적용할 수 있을 뿐만 아니라 향후 디지털 신경망 구현 연구에 새로운 기초와 돌파구를 제공할 것으로 기대된다. 특히 회로의 복잡도(논리뉴런의 수)를 줄여서 강력한 경쟁력을 가지는 디지털 신경망 구현을 위해서는 역시 비정형 논리(Noncanonical Logic)를 실현할 수 있는 구조연구가 요구되며 그에 따른 학습방법의 개발 또한 필요하다. 이러한 기술적 진전이 얻어진다면 PLD소자에 의한 구현만이 아니라 ASIC기술을 통한 상용 PLNND(Programmable Logic Neural Network Device)의 실현도 기대할 수 있다.

V. 결론

다층 퍼셉트론 신경망은 패턴인식에 있어서 패턴 분류를 위해 거의 공통적으로 사용될 수 있을 뿐만 아니라 음성 및 영상을 포함하는 신호처리, 컴퓨터 비젼, 자동제어 등의 다양한 분야에서 널리 이용되고 있다. 본 연구에서는 패턴 인식용 다층 퍼셉트론 신경망을 순수 디지털 논리회로 모델로 전환 구현할 수 있도록 새로운 논리뉴런의 구조, 디지털 정형 다층논리신경망 구조, 그리고 패턴인식의 응용을 위한 다단 다층논리 신경망 구조를 제안하고, 또한 제안된 구조는 매우 단순하면서도 효과적인 증가적인 가법적 학습알고리즘이 존재함을 보였다.

본 연구에서 제시한 디지털 정형논리 다층신경망은 회로의 정규성(regularity)으로부터 최근 고집적도를 가지는 프로그램 가능한 논리소자(PLD)를 이용하여 구현이 가능하며, 나아가 ASIC기술을 통해 디지털 VLSI 논리신경망 칩 혹은 PLNND(Programmable Logic Neural Network Device)을 구현하기 위한 기반 연구로서도 큰 의의를 가지며 다양한 분야에 그 응용성을 기대할 수 있다.

본 연구를 기반으로 한 향후 후속연구로는 다양한 매핑기(Mapper) 알고리즘 및 구조 연구, 비정형(Noncanonical) 논리신경망 분류기 구조연구, 그리고 그에 따른 학습알고리즘의 연구 등이 요구된다.

접수일자 : 2001. 1. 5 수정완료 : 2001. 3. 2

본 연구는 1999년도 경남대학교 교내 연구비 지원에 의해 수행되었음

참 고 문 헌

[1] S. Haykin, Neural Network a Comprehensive Foundation, McMillan Publishing Co, 1993

[2] I. A. Anderson, Neurocomputing - Paper Collections, MIT press, Cambridge, MA, 1988

[3] King-sun Fu, VLSI for Pattern Recognition and Image Processing, Springer-Verlag, NY. 1984

[4] A. Masaki, Y. Hirai, M. Yamada,"Neural Networks in CMOS: A Case Study", IEEE Circuits and Devices Mag., July 1990, pp.12-17.

[5] Aptix Inc., System Data Book, Aptix,1993

[6] Xilinx Inc., The Programmable Gate Array Data Book, Xilinx, San Jose, 1992

[7] B. Windrow, R. G. Winter, and R. A. Baxter, "Layered Neural Nets for Pattern Recognition," IEEE Trans. ASSP, Vol. 36, pp.1109-118, July 1988

[8] Kai-Yeung Siu, V. Roychowdhury, and T. Kailath, Discrete Neural Computation: A Theoretical Foundation, Prentice Hall, 1995

[9] Yoh-Han Pao, Adaptive Pattern Recognition and Neural Networks, Addison-Wesley, 1989

[10] 이성환, 문자인식: 이론과 실제, 1권-2권, 홍릉과학 출판사, 1994

박영석(Young Seak Park)
正會員
1979년 영남대학교 전자공학과 공학사
1981년 한양대학교 전자공학과 공학석사
1985년 한양대학교 전자공학과 공학박사
1990년~1991년 일본 우정성 통신총합연구소 (관서선단연구센터) 초빙과학자
1990년~1991년 일본 긴끼이동통신센터 객원 연구원
1985년~현재 경남대학교 정보통신공학부교수
관심분야: Software Engineering, Web-based Software Design & Development, Pattern Recognition, Image Processing, High Speed Computer Network & Network Computing etc.