

High- κ Gate Dielectrics : 고유전율 게이트 유전체 개발 동향



이 현 우
(한서대학교 물리학과 교수)

1. 서 론

0.1 μm 이하 CMOS (complementary metal-oxide-semiconductor) 기술에서 게이트 유전체(Gate Dielectrics)로서 실리콘 산화막(SiO_2)의 효율성은 한계에 달하였으므로 여러 유전체가 SiO_2 의 대체물로서 연구되고 있다[1,2]. 현재까지 게이트 유전체로 사용될 수 있었던 SiO_2 의 여러 우수한 특성을 고려하여볼 때, 이 대체 게이트 유전체 후보들이 가져야하는 특성들은 (a) 큰 유전율, 밴드 갭 (band gap), 실리콘과의 밴드 정렬성 (b) 열역학적 안정성 (c) 박막의 표면 평탄성 (surface morphology)과 균일성 (d) 실리콘 기판과의 계면 특성 (e) 기존 CMOS 공정 기술과의 적합성 (f) 기존 혹은 새로 사용될 게이트 전극 물질과의 적합성 (g) 십년 이상을 보장할 수 있는 신뢰성 등이다. 현재 많은 유전체들이 연구되고있으나 이러한 특성을 모두 만족하고있다고 확인된 물질은 존재하고 있지 않다고 해도 과언은 아니며 현재 활발한 연구가 수행중이다. 이 중에서 몇몇 물질만이 가능성을 높게 평가받고있을 뿐이다. 본고에서는 이 후보 물질을 주기율표 내 IIIA와 IIIB 족 금속 산화물 (Al_2O_3 , Y_2O_3 , La_2O_3 , Ta_2O_5 등)과 IVB족 금속 산화물 (TiO_2 , HfO_2 , ZrO_2 등)과 유사 이원소합금 산화물 (pseudobinary alloy) 세 종류로 분류하여 각각의 연구 동향을 살펴보고자 한다.

2. 게이트 유전체로서 SiO_2 의 한계

약 30년 동안 SiO_2 가 게이트 유전체로 사용될 수 있었던 것은 SiO_2 의 낮은 누설 전류, 우수한 Si 기판과의 계면 특성, 열역학적 안정성, 기존 공정과의 양립성, 그리고 우수한 신뢰성 등의 특성이 있었기 때문이다. 그 동안 반도체 소자 산업의 변창은 SiO_2/Si 의 탁월성에 상당 부분 기반을 두고있다고 해도 지나친 과장은 아닐 것이다. 그러나 소자 크기가 작아짐에 따라 동작 전압도 같이 낮아지고 이는 구동 전류(drive current)의 감소를 초래한다. 따라서 소자의 고속 동작을 위하여 구동 전류량을 증가시켜야하며 이는 게이트 충전용량(Gate Capacitance)의 증가가 요구되고 SiO_2 막을 얇게 하여 충전용량을 증가시켜야한다는 것은 당연한 귀결이다. 그러므로 0.1 μm 이하 CMOS 소자에서 게이트 유전체로서 SiO_2 가 한계에 봉착한 점을 이해하여야 고유전율 게이트 유전체 (이하 고유전체)의 필요성을 논할 수 있을 것이다. 먼저 실리콘과 다결정 실리콘 게리트 (poly-Si) 과의 계면에 SiO_2 는 약 3.5~4Å의 실리콘 과다 영역(Si-rich region)이 존재하므로 절연체로서 SiO_2 의 물리적 두께의 절대적 한계는 약 7Å이 된다[3]. 13~15Å의 SiO_2 를 게이트 유전체로 사용한 트랜지스터가 작동에 성공하였다고 하나 상당히 높은 누설 전류 밀도 ($J \sim 1\text{--}10\text{A}/\text{cm}^2$)가 보고되었다[4]. 이는 저소비전력 소자에서 요구되

는 누설 전류값 ($J \sim 10^{-3} \text{A/cm}^2$)에 비해 매우 높으므로 사용이 제한적일 수밖에 없다. 10-12Å 두께에서는 터널링 현상에 의한 누설 전류값이 너무 커서 구동 전류에 이득(gain)이 없어짐에 따라 이 두께가 사실상의 사용 한계값이 될 것이다(5). 신뢰성이란 면에서 14Å 두께의 SiO_2 는 1.4V 동작 전압에서 수명 10년을 보장할 수 있다는 신뢰성 결과는 놀라우나(6), 실제 반도체 생산 공정에서 웨이퍼 내 균일성(within uniformity)과 웨이퍼 대 웨이퍼 균일성(wafer to wafer uniformity)을 모두 1Å 정도로 제어해야한다는 어려움과 생산 라인에서 보다 엄격하게 분진 입자의 수와 크기를 제어해야한다는 어려움을 감안하면 14Å 두께의 SiO_2 박막은 현실성이 매우 낮아 보인다. 더구나 본질적인 미세 구멍 (intrinsic pinhole)이 있을 수 있다는 보고(7)는 가능성을 더욱 낮추어 놓았다고 할 것이다. 또한 20Å 이하 두께에서는 후속 불순물 활성화를 위한 열공정을 거치면서 붕소가 산화막을 뚫고 채널 영역까지 확산을 막는 장벽 역할을 기대하기 어렵다. 이는 트랜지스터의 문턱전압을 적절히 제어하기 어렵게 만듦으로 피해야하는 현상이다(8).

2.1 고유전체 박막 결과

위에서 본바, SiO_2 를 사용하는데 한계에 달하였으므로, 실리콘 위에서 안정적이고 SiO_2 와 비슷한 수준의 계면 특성을 가진 고유전체 게이트 유전체를 사용하는 것이 매우 바람직하다. 계면층이 없어 동시에 물질의 고유전율을 완전히 실현될 수 있어야 할 것이다. 만일 계면층이 있다면 충전기의 직렬 연결이므로 총 충전용량은

$$\frac{1}{C_{tot}} = \frac{1}{C_{ox}} + \frac{1}{C_{high-\kappa}}$$

로 주어지고 작은 충전용량이 총 충전용량에 주로 기여하게 된다.

등가 산화막 두께 T_{eq} 를 계면 산화막의 두께 T_{SiO_2} 와 유전상수의 비로 표현하면

$$T_{eq} = T_{SiO_2} + \frac{\kappa_{ox}}{\kappa_{high-\kappa}} T_{high-\kappa}$$

로 주어지므로 최소 유전체 두께는 계면 산화막 층이 된다. 따라서 원하는 충전 용량을 얻기 위해서는 계면 산화막을 없애거나 최소화하여야 한다. 그러나 계면 특성을 개선하기 위하여 계면 산화막이 필요할 수도 있으므로 계면 특성과 충전용량 사이에 적절한 타협점을 찾아야 할 것이다.

표 1에 앞으로 검토할 고유전체 후보의 주요 특성을 정리하였다. 이 중에서 Ta_2O_5 는 DRAM의 축전기로의 응용에 대한

Table 1. Comparison of relevant properties for high- κ camdodates.

Material	Dielectric constant (κ)	Band gap E_G (eV)	ΔE_G (eV) to Si	Crystal structure(s)
SiO_2	3.9	8.9	3.2	Amorphous
Si_3N_4	7	5.1	2	Amorphous
Al_2O_3	9	8.7	2.8 ^a	Amorphous
Y_2O_3	15	5.6	2.3 ^a	Cubic
La_2O_3	30	4.3	2.3 ^a	Hexagonal, cubic
Ta_2O_5	26	4.5	1-1.5	Orthorhombic
TiO_2	80	3.5	1.2	Tetrag. ^c (rutile, anatase)
HfO_2	25	5.7	1.5 ^a	Mono. ^b , tetrag. ^c , cubic
ZrO_2	25	7.8	1.4 ^a	Mono. ^b , tetrag. ^c , cubic

^aCalculated by Robertson

^bMono.=monoclinic.

^cTetrag.=tetragonal.

것이며 실리콘 위에 직접 증착한 Ta_2O_5 박막은 고유의 비안정성 때문에 게이트 유전체로서는 상당한 제약이 있을 수 밖에 없으므로 논외로 하겠다. 표 1 내의 금속 산화물과 유사 이원소 합금계에 대한 연구를 검토하여 주기율표에 비슷한 화학적 성질을 가진 IIIA와 IIIB 족 금속 산화물 (Al_2O_3 , Y_2O_3 , La_2O_3 , Ta_2O_5 등)과 IVB족 금속 산화물 (TiO_2 , HfO_2 , ZrO_2 등)과 유사 이원소합금 산화물 (pseudobinary alloy) 세 종류로 분류하여 각각의 연구 결과를 살펴보고자 한다.

3. IIIA 와 IIIB 족의 금속 산화물

III족 원소 중에서 유전체 후보로는 Al_2O_3 가 열적으로 안정적인 물질이므로 많은 응용에 대해 폭넓게 연구되었다. 게이트 유전체로서 Al_2O_3 은 표 1에서 보듯이 큰 밴드갭, 고온에서 실리콘 위에서의 안정성, 비정질 구조 등의 여러 바람직한 특성을 가지고 있다. 단점은 Al_2O_3 의 유전상수 κ 가 8-10 밖에 되지 않는다. 만일 대체물이 필요한 시점까지 다른 장기 해결책이 없다면 단기 해결책으로서 아마 적절할 것이다.

Al_2O_3 는 실리콘위에서 열역학적으로 안정적이어서 증착시 SiO_2 계면층이 형성되지 않는다. 비평형 조건하에서 증착이 이루어지므로 상평형도에 의해 증착된 박막의 상을 예측할 수 없으나 추가 열공정에 의해 평형 상태로 바뀔 수 있다. 원자층 화학증착법 (ALCVD)에 의한 Al_2O_3 박막의 물리적 전기적 특성에 대한 Gusev 등의 연구 결과를 보면(9), (triethylaluminum과 H_2O 를 precursor로 각각 사용) 박막은 수소 종단된 실리콘위에 증착하여 계면 SiO_2 형성되지 않았음을 알 수 있는데, 이것은 매우 중요한 결과이다. Gusev 등의 연구에서 사용된 세가지 물리적 분석법의 결과를 조합하여 보면 최소한 이 precursor와 증착 조건하에서는 계면에 서 반응을 제어할 수 있음을 보여주고 있다.

Buchanan 등은 ALCVD Al_2O_3 를 사용하여 게이트 길이 0.08 μm , poly-Si 게이트 전극 그리고 1000 $^\circ\text{C}$ 이상에서 RTA

(Rapid Thermal Annealing) 불순물 활성화 어닐링을 포함한 표준 공정 조건으로 nMOSFET을 제조하여 특성을 보고하였다[10]. $T_{eq} = 10\text{\AA}$ 에서 누설 전류 밀도는 ($V_G = V_{FB} + 1\text{ V}$ 에서 측정) $J \sim 10^{-1}\text{ A/cm}^2$ 이며 같은 T_{eq} 의 SiO_2 에 비해 100분의 일로 감소하였다. Al_2O_3 두께에 따른 고정 전하도 보고하였는 바, 두께를 감소시키면 고정전하값이 증가하였다. 1 MV/cm 의 유효 전장에서 Al_2O_3 채널 전하 이동도 (mobility) 값은 보편적인 이동도 곡선에서 예측된 값 $200\text{ cm}^2/\text{Vs}$ 에 비해 약 $100\text{ cm}^2/\text{Vs}$ 로서 측정되었다. 향상된 구동 전류 값과 신뢰도 특성이 이 소자에서 보여졌으나 상당한 이동도 저하는 후속 연구에서 규명되어야 할 바람직하지 못한 특성이다.

Park 등의 연구는 불순물 활성화 어닐링중에 ALCVD Al_2O_3 막을 통해 붕소가 확산됨을 보였다[11]. 약 60\AA 의 Al_2O_3 막위에 폴리실리콘 게이트 전극에 붕소를 이온 주입 후 $800\text{--}900^\circ\text{C}$ 에서 어닐링한 후에 Al_2O_3 을 뚫고 n형 실리콘 기판으로 상당한 확산이 일어나며 Flat Band Shift (ΔV_{FB})가 약 1.5 V 로 측정되었다(여기서 Flat Band Shift는 게이트 전극과 Si의 일함수 차에서 예상된 이상적인 Flat Band Voltage와의 차를 의미하며 보통 박막내의 고정 전하의 존재에 기인한다고 본다). 그러나 Al_2O_3 증착전에 N_2O 어닐링에 의해 형성된 옥시나이트라이드(oxynitride) 층을 추가하여 ΔV_{FB} 이 90 mV 로 크게 감소함을 보였다. Lee 등의 다른 연구에 의하면[12] ALCVD Al_2O_3 층을 통과하는 n+ 폴리 실리콘 전극으로부터 인의 확산이 850°C 30분의 보통 어닐링 조건하에서 발생한다고 보고하였다. C-V 분석은 평탄 밴드 이동값이 $670\text{--}740\text{ mV}$ (불순물 주입 공정에 의존한다)이며 이는 박막내에 $10^{10}/\text{cm}^2$ 이상의 고정 음전하(Negative Fixed Charge)가 존재하는 경우에 해당된다. 이러한 결과들은 인이 Al_2O_3 을 통해 확산될 뿐더러 박막내에 고정전하로 도입됨을 의미한다. 실리콘위에 Al_2O_3 에 대한 전술한 연구들에서, 사용된 전극과 기판 형에서 예상된 값에 비하여 측정된 ΔV_{FB} 는 약 $+300$ 에서 $+800\text{ mV}$ 이다.

고유전체로 IIIB족 금속산화물 Y_2O_3 , La_2O_3 , Pr_2O_3 등이 연구되었다. Manchanda 와 Gurvitch [13,14]는 스퍼터링으로 이트륨을 증착후 열산화시켜 Y_2O_3 를 형성시켰으며, Y_2O_3 와 Si 계면에 의도적으로 SiO_2 층을 성장 시킨 경우와 없는 경우를 연구하였다. 약 260\AA 의 Y_2O_3 박막은 5 V bias 전압에서 10^{-10} A/cm^2 이하의 매우 낮은 누설전류를 가졌으며 항복 전장 (Breakdown Field)은 약 4 MV/cm 이다. 측전기는 C-V 곡선에서 작은 hysteresis (C-V 측정시 전극에 걸린 전압의 부호를 바꾸어 sweep 할 때 V_{FB} 의 차이) 특성을 보였으나 계면 전하밀도가 약 $\sim 6 \times 10^{11}/\text{cm}^2$ 이며 계면 트랩 밀도 $\sim 10^{11}\text{ cm}^{-2}\text{ eV}^{-1}$ 값을 보였다. SiO_2 위에 성장시킨 Y_2O_3 의 유전 상수는 $\kappa \sim 17\text{--}20$ 이나 Si 위에 직접 성장시킨 Y_2O_3 경우 $\kappa \sim$

12 정도로 보고되었다. 이 낮은 유전을 값은 열산화과정중 계면 SiO_2 의 성장에 기인한 것으로 보인다.

Kwo 등은 분자빔 에피택시(Molecular Beam Epitaxy)법으로 증착한 Y_2O_3 와 Gd_2O_3 박막을 결정상과 비정질상 (X선 회절로 측정) 모두 연구하였다[15]. 비정질 박막은 결정상 박막 보다 매우 낮은 누설전류를 보인 점은 주목할만하다.

Guha 등은 최근 원자 O와 Y 금속 빔 에피택시 방법으로 상대적으로 두꺼운 ($T_{eq} \sim 45\text{\AA}$) Y_2O_3 박막을 연구하였다[16]. Al 전극을 사용하여 준정적, 고주파수 (100 kHz) C-V 측정 특성은 금속후 어닐링 공정 전후의 측정이 서로 잘 일치한다. 이는 계면 상태밀도가 $10^{11}/\text{cm}^2$ 이하임을 시사한다. ΔV_{FB} 은 작거나 아주 없는 것으로 보고되었다. 1 V 에서 보다 얇은 박막 ($\sim 21\text{\AA}$)에서 누설 전류는 $\sim 10^{-8}\text{ A/cm}^2$ 로 보고되었다. 고 분해능 TEM 과 MEIS (Medium Energy Ion Scattering) 분석으로 박막내 $\sim 10\%$ Si의 기동형 다결정 구조가 형성되었음과 15\AA 두께의 계면 SiO_x 층을 확인할 수 있었다.

Chin 등은 Si 위에 La를 증발법(Evapoartion)으로 증착한 후 후속 저온 열 산화에 의해 형성된 La_2O_3 박막과 ex-situ Al 게이트 전극을 사용한 결과를 보고하였다[17]. 이 박막의 실제 조성과 구조는 추가 검증이 필요하나, 순수 La는 매우 휘발성이 높으며 대기중에서 반응성이 높으므로 La_2O_3 박막은 대기중에서 수분을 흡수할 수 있다. 이러한 특성으로 박막의 대기중 노출은 제어되지 않은 반응을 초래할 수도 있다. 그렇지만 뛰어난 소자 특성이 이 박막에 대해 보고되었다. 33\AA 의 물리적 두께는 $T_{eq} = 4.6\text{\AA}$ 에 해당되며, 1.0 V 게이트 바이어스 전압에서 누설전류 $J \sim 10^{-1}\text{ A/cm}^2$ 이며 midgap interface state density $D_{it} \sim 3 \times 10^{10}/\text{eVcm}^2$ 이다. (Al 게이트 전극 때문에 이 T_{eq} 값에 대한 양자역학적 효과는 거의 없다) 게이트 유전체로 이 박막을 사용한 긴 채널 트랜지스터는 매우 좋은 turn-on 특성, subthreshold slope가 75 mV/decade , 그리고 매우 높은 $300\text{ cm}^2/\text{Vs}$ 의 전장 유효 이동도 (1 MV/cm 에서)를 보였다. 이 박막은 또한 $\sim +700\text{ mV}$ 의 ΔV_{FB} 을 보였다.

Guha 등은 또한 최근에 얇은 ($T_{eq} \sim 10\text{--}14\text{\AA}$) La_2O_3 박막을 연구하여 1 V 에서 누설전류 $10^{-4} \sim 10^{-7}\text{ A/cm}^2$ 을 보고하였다[16]. 구조면에서는 $\sim 10\%$ Si의 비정질 박막과 얇은 계면 SiO_x 층이 관찰되었다고 보고하였다. 또한 C-V 곡선에서 매우 큰 ΔV_{FB} 인 -1.4 V 가 또한 보고되었다.

III족 금속 산화물들은 확실히 가능성이 높은 좋은 특성을 보였으나 큰 ΔV_{FB} 값은 상당한 양의 고정 전하 밀도 즉 $Q > 10^{12}/\text{cm}^2$ 을 시사한다. 이점은 계속 연구되어야 할 것이다. 표준 공정 조건하에서 계면 안정성은 아직 연구 대상이며, 초기 경우에는 열역학적 예상과 달리 제어되지 않은 반응이 비평형 증착 과정 중에 발생하는 경향이 있다 (물론 ALCVD 증착 Al_2O_3 은 명확히 예외이다).

4. IVB쪽 금속 산화물

TiO₂은 DRAM의 축전기와 트랜지스터에 응용을 위해 깊이 연구된 물질이다. 증착 방법과 결정 구조에 따라 매우 높은 유전율 즉 $\kappa=80-100$ 을 가지므로 매우 매력적으로 보인다. 이 비정상적으로 높은 유전율은 Ti 이온에 관련된 soft phonon의 기여에 기인한 것인데 다른 IVB 금속 산화물에서는 이런 특성이 보이지 않는다. 반면 Ti는 Ti³⁺ 과 Ti⁴⁺ 의 여러 안정된 산화 상태를 가지고 있으며 이는 Ti-O 결합을 포함한 물질에서 잘 알려진 문제 즉 reduced oxide 문제를 야기한다. reduced oxide 층은 많은 산소 공핍을 가지고있으며 이들은 전하 트랩과 높은 누설 전류의 통로가 된다. TiO₂는 400℃ 이상 온도에서 결정화됨으로 누설전류의 통로가 될 수 있는 결정립 경계 (grain boundary)를 가진 바람직하지않은 다결정 상이 된다. CVD 증착 동안 Si 위에서 TiO₂는 안정적이지 못함으로 이 고유전체 계의 모든 연구는 의도적이건 의도하지 않았던 간에 채널 계면과 게이트 계면에서 반응층을 포함하고 있다.

게이트 유전체로서 TiO₂를 사용한 트랜지스터는 Campbell 등에 의해 처음 보고되었는데[18]. 게이트 계면에서 반응을 막기 위해 백금 Pt를 전극으로 사용하였다. subthreshold slope는 83-91 mV/decade 값을 트랜지스터(100 μ m \times 100 μ m 와 1 μ m \times 6 μ m)에서 얻었으며 transconductance $\sim 322\mu$ A/V를 얻었고 이동도는 단지 $\sim 160\text{cm}^2/\text{Vs}$ 에 불과했다. 그림 1에서 보이듯이 이 소자의 트랜지스터로서의 성능은 CVD 과정과 후속 어닐링의 결과로 계면에 생성된 두꺼운 산화막 층과 상대적으로 큰 계면 상태 밀도 ($10^{12}/\text{cm}^2 \text{ eV}$)로 인해 제약을 받

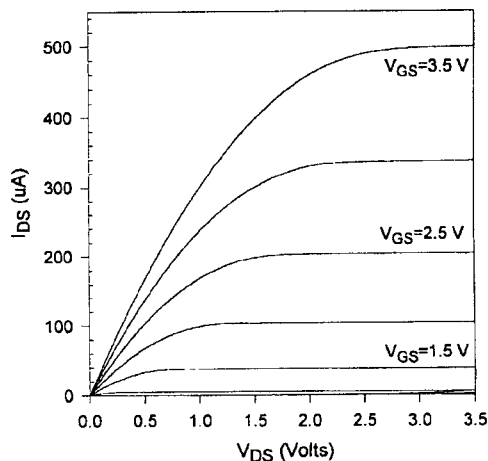


Fig. 1 C-V curves for a 190Å TiO₂ gate dielectric in a Pt/TiO₂/p-type Si MIS capacitor structure(150 μ m² area). A gate bias-dependent accumulation capacitance was observed.

을 수밖에 없다. 트랜지스터의 누설 전류는 또한 유용성이 없을 정도로 크다. 고유전체에서 누설 전류와의 원인으로서의 탄소의 역할은 완전히 이해된 것은 아니나, 박막 내 탄소가 높은 누설 전류를 만드는 결합 상태를 만들 수 있을 것으로 보인다. 누설 전류를 줄이기 위해 Ti의 탄소 없는 precursor를 합성한 후 이것을 박막내 탄소 함유를 막기 위해 증착시 사용하였다. 또한 NH₃ 분위기에서 초기 어닐링으로 채널 표면에 열질화막을 성장시켰다. 이러한 방법을 사용한 소자는 Teq<20 A 값을 가졌으며 대등한 두께의 SiO₂의 누설전류값의 100분의 일 수준으로 감소하였다. C-V 곡선의 hysteresis 값은 80mV로 측정되었으며 채널 계면에서 질화막 층에서 고정 전하 효과에 기인한 것이다.

Ma 등은 TiO₂ 층을 CVD로 형성한후 200℃에서 플라즈마 오존으로 후 공정 처리를 한 후 N₂O 또는 O₂ 분위기에서 RTA 처리를 하여 TiO₂와 Si 계면에 계면 반응을 최소화하였다 [19]. 이 과정은 누설전류를 반분의 일로 감소시켰다. (TiO₂ 박막 두께는 100Å 이하) TiN 게이트를 사용한 MOSFET의 특성 또한 보고하였는데, 상대적으로 낮은 구동 전류 값인 $\sim 40 \mu\text{A}/\mu\text{m}$ ($V_G=1.2\text{V}$, $V_D=1\text{V}$)를 0.5 μ m 소자에서 얻었는데 이는 다결정 TiO₂ 층의 불균일성과 이에 따른 계면의 거칠기 때문으로 보였다.

IVB 군의 금속산화물로 ZrO₂와 HfO₂ 게이트 유전체 후보에 관한 연구는 70년대와 80년대에 광코팅과 DRAM 축전기 응용 목적으로 수행되어 보고된 바 있다. 게이트 유전체로서 과거의 두꺼운 박막에 대한 실험결과가 현재의 얇은 박막의 결과와 대비되어 주의를 끌고있다.

Shappir 등은 450℃에서 MOCVD로 얇게 (300-600Å) 증착된 ZrO₂ 박막을 여러 MIS 구조로 (기판에 자연산화막을 포함한) 조사하였다[20]. 게이트 전극은 Mo, Al, Poly-Si를 사용하였다. Al 게이트 축전기에서는 N₂ 분위기에서 T \geq 800℃ 어닐링이 누설전류의 큰 감소를 가져왔다. 흥미로운 점은 O₂/HCl 분위기에서 800℃에서 어닐링이 유전상수의 감소없이(SiO₂ 형성없이) 가장 큰 누설전류의 감소를 주었다는 점이다. 모든 C-V 곡선에 큰 hysteresis가 관찰되었으며, 어닐링이 없거나 N₂ 어닐링한 경우 $\sim 600\text{mV}$, O₂/HCl 어닐링 경우 $\sim 200\text{mV}$ 값으로 측정되었다. 이 박막들의 계면 상태밀도는 $D_{it} \sim 1 \times 10^{12}/\text{cm}^2 \text{ eV}$ 로 추정되며 아마 자연산화막이 없는 다결정 ZrO₂의 경우보다 클 것이다. 자연산화막을 포함하였지만 1MHz에서 유전상수는 14에서 19 사이에서 측정되었다. κ 는 어닐링 온도증가에 따라 감소하였다. Poly-Si 게이트의 경우 550℃에서 비정질 Si 상태로 증착한 후 POCl₃ 도핑(880℃), 920℃ 2.5h 동안 확산시켜 Si 전극을 결정화시키면 가장 좋은 특성을 보였다. 고온(620℃)에서 다결정 Si를 증착하면 poly-Si/ZrO₂ 계면에 Zr-rich 층을 유발하고 이는 큰 누설전류를 초래함이 주목된다. 누설전류는 Al이나 Mo 게이트 경우

와 비슷하나 파손전장은 Al 경우보다 낮은 3MV/cm로 보고되었다. 또 자연 산화막을 포함한 상태로 유전상수는 16으로 측정되었다. 이 연구에서는 C-V 곡선에서 큰 hysteresis와 다른 이동이 모든 게이트 전극과 어닐링 조건에서 관찰되었다. 이는 순수 ZrO₂ 박막내에서 이동성 이온의 확산에 기인한 것으로 추정된다. ZrO₂와 HfO₂에 대한 이 모든 연구들은 증착 과정이나 후속 어닐링 과정 동안 이 금속산화물의 결정화가 발생하였다. 이는 누설전류, 이동도 측면에서 바람직하지 못한 점이다.

CVD나 스퍼터링으로 증착된 박막에 대한 최근 연구 결과는 매우 고무적이다. ALCVD로 Copel 등은 SiO₂위에 20Å의 매우 얇고 균일한 ZrO₂ 박막을 증착하였다고 보고하였다(21). 이 연구에서 15Å의 SiO₂ 층을 열 어닐링 방법으로 의도적으로 성장시켜 매우 양질의 계면 산화막을 형성하였다. 전술한바, 이 층은 얻을 수 있는 최소 Teq 값을 제약하게되나, ALCVD에서 사용된 ZrCl₄의 precursor로 인해 필요하다. 표면에 SiO₂ 층이 없다면, ZrCl₄ precursor는 표준 HF-Last 습식 세정 공정에서 존재하는 Si 표면에서 Si-H 결합을 쉽게 바꿔 자리잡게 되지 못한다. 이 초기 산화막은 그러므로 매우 양질의 계면 특성과 동시에 매우 얇은 ZrO₂ 층을 증착 가능하게 하는 반응성 표면을 동시에 제공한다. 이러한 ZrO₂는 900℃까지 진공 어닐링에서 열적으로 안정적이거나 1000℃이상 진공 어닐링에서는 분해됨이 관찰되었다.

Perkin 등은 화학적으로 성장된 산화층위에 ALCVD로 증착한 다결정 ZrO₂ 박막의 전기적 성질을 보고하였다(22). TiN 전극을 사용하여 Teq < 14Å, 누설전류 $J \sim 2 \times 10^{-4}$ A/cm² ($V_G - V_{FB} = 1V$)의 고무적인 결과를 얻었다. ΔV_{FB} 은 -600mV이며 hysteresis는 $\pm 3V$ 의 영역에서 $\sim 80mV$, $\pm 2V$ 영역에서 -10mV의 결과를 얻었다. 측정된 평탄전압과 hysteresis를 조합하여 보면 박막내에 양전하가 계면 혹은 ZrO₂ 층에 존재함을 시사해준다.

Qi 등은 Pt 전극을 사용하여 스퍼터링 증착된 ZrO₂와 HfO₂의 매우 얇은 박막의 소자 특성을 조사하였다(23). Si 기판위에 Hf 금속만을 스퍼터링 증착한 후 Ar/O₂ 분위기에서 반응 스퍼터링을 하여, Teq는 11.5Å의 낮은 값을, 누설전류는 $J \sim 1 \times 10^{-2}$ A/cm² ($V_G - V_{FB} = 1V$ 에서)을 Pt 전극으로 사용하여 얻었다고 보고되었다. 어떠한 공정 조건에서도 무시할 수 있는 hysteresis가 관측되었으나 어떤 경우에는 600mV의 상대적으로 큰 ΔV_{FB} 이, 작은 공정 조건을 바꾼 다른 경우에는 -300mV의 값이 보고되었다. 이러한 ΔV_{FB} 은 큰 양의 음 고정 전하 (양의 ΔV_{FB} 이므로), 양 고정 전하 (음의 ΔV_{FB})에 아마 각각 기인할 것이다. 앞에서 보고된 두꺼운 박막의 경우와 같이 파손 전장은 약간 낮은 값인 $\sim 4MV/cm$ 가 측정되었다. 계면 산화막은 항상 이 스퍼터링 증착과정이나 후속 어닐링 과정에서 형성되며 이는 잘 알려진 산소원자의 ZrO₂나

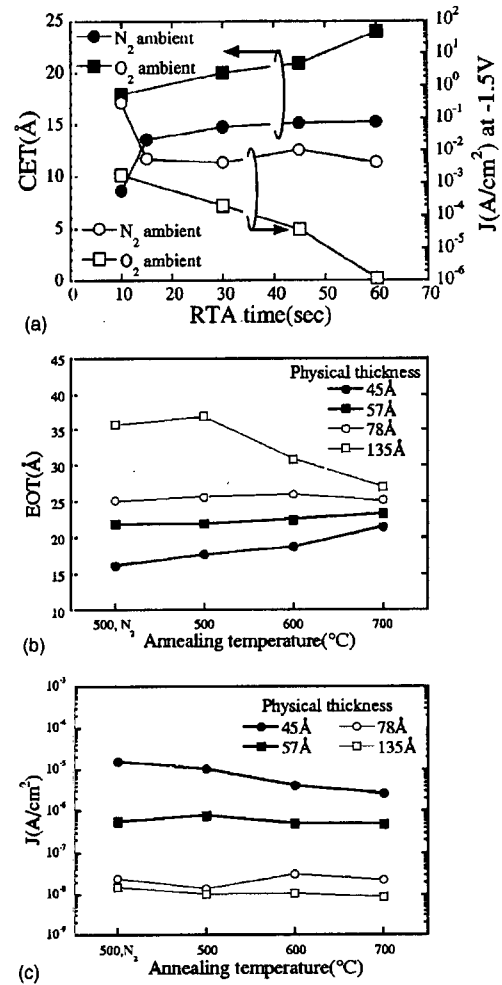


Fig. 2 Effect of postdeposition annealing on HfO₂ gate dielectrics. (a) N₂ and O₂ anneals, (b) equivalent oxide thickness, and (c) leakage current after O₂ anneals

HfO₂ 통한 빠른 확산에 기인한다. 이 경우 산소는 이들 금속산화물을 통해 확산되어 Si 기판과 반응해서 제외되지 않은 계면 산화층을 형성한다. 어닐링 조건에 따른 HfO₂의 누설전류 밀도와 Teq 변화는 그림 2에 보여졌는데 박막이 얇을수록 계면 산화층에 의한 효과가 뚜렷히 보인다.

최적화된 공정 조건에서, 이러한 계면층은 Teq $\sim 5\text{Å}$ 정도 기여하나 저주파수에서의 C-V 곡선 상을 보면 아직 상당한 수준의 계면 상태가 존재한다. HfO₂ 박막은 증착 상태에서는 비정질 상태이나 700℃ 이상에서 어닐링 한 후 결정화가 일어남을 X선 회절로 확인할 수 있다. 다결정 게이트 유전체 박막은 대부분 높은 누설 전류값을 가지며 비정질 박막보다 불균일하고 재현성도 낮다.

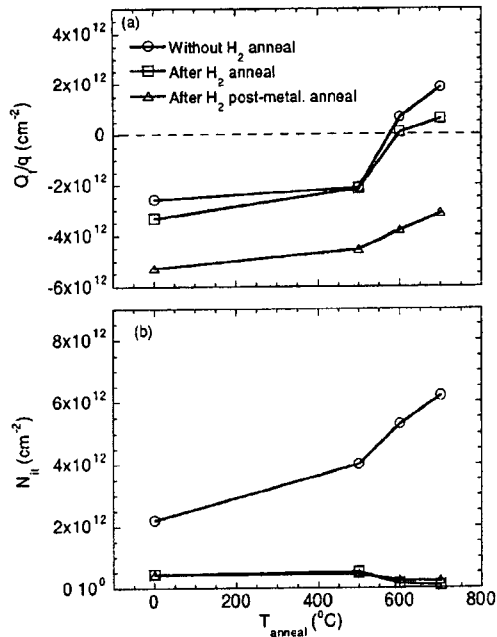


Fig 3. Extrapolated values of (a) fixed charge density Q_f and (b) midgap interface state density N_{it} as a function of postannealing conditions in O_2 and H_2 for ALCVD ZrO_2

ZrO_2 의 경우, HfO_2 와 유사하게 스퍼터링 ZrO_2 은 Pt 전극 사용시 $Teq = 16A$, 누설 전류 $J \sim 3 \times 10^{-2} A/cm^2$ ($V_G - V_{FB} = 0.5V$ 에서)의 값으로 보고되었다. [24] 계면은 또 ZrO_2 과 Si 사이에 반응층이 보여지며, 이 층은 증착 조건을 최적화하여 물리적 두께가 10Å 이내로 감소시켰다. 계면은 50mV의 hysteresis와 $\Delta V_{FB} \sim +200mV$ 에서 +300mV이고 $D_{it} \sim 10^{11}/cm^2$ 의 값을 가져 반응층으로 인한 계면 성질의 한계를 나타냈다. 특히 큰 ΔV_{FB} 은 증착과 후속 어닐링 공정 조건에 부분적으로 기인한다.

Houssa 등은 자연산화막위에 ALCVD로 증착한 ZrO_2 층의 ΔV_{FB} 와 고정 전하를 이해하려는 체계적 연구를 보고하였다 [25]. 그들의 연구에 따르면, 알짜(net) 고정 전하는 후속 어닐링 조건에 따라 크게 변화될 수 있다. 초기 증착 상태인 ZrO_2/SiO_x 적층은 음 고정 전하를 가지며 O_2 분위기내에서 후속 어닐링후는 보상된 양의 고정 전하를 도입시키며 동시에 midgap 갭 증간의 상태밀도를 증가시킨다. 이러한 결과는 그림 3(a)에 보여졌는데, 원 증착 상태에서는 고정전하밀도가 $-2.5 \times 10^{12} cm^{-2}$ 으로 추정된다. ($\Delta V_{FB} \sim +200 \sim 600mV$, 박막 두께에 따라 다름) 보다 고온에서 후속 어닐링은 음의 고정 전하의 알짜 양을 감소시키나 (아마 양의 고정 전하의 도입에 의한 보상으로) 600°C 이상 O_2 분위기 어닐링에서는 알짜 양

의 고정전하가 측정된다. 700°C O_2 어닐링 후 알짜 양 고정전하 밀도는 $2 \times 10^{12} /cm^2$ 이다.

그림 3(b)에서는 같은 어닐링 조건에서 midgap 계면 상태 밀도 또한 증가한다. H_2 분위기에서 후속 어닐링으로 midgap 계면 상태는 최소화되나, 알짜 고정 전하에는 별 영향이 없다. 만일 후속 H_2 anneal이 증착 후 바로 수행되면 아마 알짜 고정 전하는 보다 큰 음 전하값을 가지며 고온 O_2 어닐링 후에도 알짜 양 고정전하는 보이지 않는다. 최종 고정전하 양과 부호는 어닐링 조건에 의존하며, 양의 고정 전하는 수소 존재에 의해 유도되어 정위치에서 벗어난 산소 원자 때문으로 보이며 이는 SiO_2 경우와 같다.

앞에서 언급하였지만 ZrO_2 와 HfO_2 는 매우 적은 Teq 와 같은 조건의 SiO_2 사용할때 보다 낮은 누설 전류를 보여주었다. 이 박막들은 산소가 확산되어 채널 계면에서 반응함으로 인해, 계면 특성은 핵심 연구 주제로 남았다. 최종 소자 성능은 채널 전하 이동도에 주로 의존한다. 이는 높은 계면 트랩 준위로 인해 저하될 수 있다. 큰 hysteresis와 ΔV_{FB} 은 큰 문턱전압의 이동을 초래함으로 게이트 유전체로 쓰기 곤란하다. 마지막으로 이들 금속 산화물은 CMOS 공정상의 고온(불순물 활성온도 1050°C와 같이)에서 안정성이 검증되지 않았다. 이 시점에서 게이트 전극을 새로운 물질로 공정을 같이 바꾸어 저온 열 공정을 새로이 고려해야하나 새로운 게이트 전극을 사용한 검증된 대량 생산 공정은 아직 없다. 그러므로 고유전체 박막이 고온 어닐링을 견딜 수 있어야한다는 점이 아직은 결정적으로 필요한 성질이 될 수밖에 없다

이 단일 산화물 계에 대한 연구를 요약하자면, 모든 고유전체 금속 산화물은 고무적인 전기적 특성을 보여주었다. 보고된 모든 단일 산화물은 $Teq < 15A$, $J < 10^{-2} A/cm^2$ ($V_G - V_{FB} = 1V$ 에서)의 결과를 얻을 수 있었다. 그러나 거의 모든 금속 산화물은 상당한 주파수 의존성, hysteresis, Flat Band Shift를 보였으며 또한 후속 고온 열 공정중에 산소 확산과 계면 안정성에 대해 우려되는 점을 보였다.

4.1 유사 이원소 합금

여러 물질의 바람직한 특성을 조합 보충하고 이렇게 해서 각각 물질의 단점을 극복하려는 시도인 두 금속 산화물들의 합성 혼합에 대해 소개하고자한다.

앞에서 언급한 모든 물질들은 명확히 고유전체를 게이트 유전체로서 많은 장점이 있으나 아직 SiO_2 를 대체하기에 미흡한 바람직하지 않은 특성들이 있다. 유망한 물질로는 $(ZrO_2)_x(SiO_2)_{1-x}$ 와 $(HfO_2)_x(SiO_2)_{1-x}$ 같은 유사 이원소 합금이다. 이들은 일반적으로 화학 조성비가 맞지 않지만 (꼭 필요해서가 아니지만) 목적에 맞춰 두 산화물을 조합한 것이다. 이 방법으로, 두 다른 산화물의 바람직한 특성을 합하고 각 물질의 바람직하지않은 특성을 보완 제거하고자 한다. Zr과 Hf

이 CMOS로의 응용에 바람직한 전기적 특성을 가지고 있다는 점에서(역으로 Ti가 선호되지 않는 이유이기도 하다) 둘의 화학적 전기적 특성을 고려한다는 것은 유익할 것이다. 즉 계면에서의 빈결합 (dangling bond)의 존재를 최소화하려는 측면에서 Si와 같이 사중 결합을 하는 IVB족의 물질을 산화막 또는 실리케이트에 편입시키는 것이 유리할 것이다. 유사이원 소계 즉 (M-Si-O, M=Zr, Hf, La, Gd) 혹은 알루미늄에이트 (M-Al-O, M=Zr)의 최근 연구에서 이와같은 물질들은 게이트 유전체로서 이미 고무적인 특성을 보였다(26-28). 각 물질계는 고유전체(결정성) 금속산화물과 비정질이며 안정적인 저유전체(SiO₂ 혹은 Al₂O₃)를 섞어 CMOS 게이트 유전체로 적절한 특성과 바람직한 morphology를 가진 박막을 얻고자하는 목적을 가지고 있다. SiO₂나 Al₂O₃에 ZrO₂같은 금속 산화물을 더하면 Si상에서 열역학적으로 안정적인(낮은 누설전류를 얻기 위해) 비정질 박막을 얻을 수 있는 효과가 있다. 유사 이원소 합금의 전반적인 유전율은 필연적으로 단일 금속 산화물보다 낮게되나 개선된 안정성 때문에 보상은 충분하다. 특히 ZrO₂:SiO₂ 와 HfO₂:SiO₂ 실리케이트는 적절한 조성비에서 매우 낮은 누설 전류와 물질내 단지 적은 양의 ZrO₂와 HfO₂로 개선된 유전율을 얻을 수 있었다. 실리케이트의 또한 잠재적 장점은 SiO₂-Si 계면과 유사한 Si-실리케이트 계면이다. Si 상에 증착된 대부분의 M_xO_y 단일 산화물은 매우 얇더라도 계면에 실리케이트 계면층을 형성하기 때문에 소자 특성을 결정짓는 주요한 역할을 하는 채널 계면에 이러한 층의 존재는 큰 영향을 끼치므로 특히 중요하다. 이런 면에서 Zr이나 Hf 같은 4가 전이 금속 양이온은 SiO₄ 4면을 형성하는 Si 위치에 대체해서 자리잡는 이점이 있다. 화학적 조성비가 맞지 않는 실리케이트 [예: (ZrO₂)_x(SiO₂)_y, 여기서 x, y는 정수가 아님]를 형성하는 경우에 Zr⁴⁺나 Hf⁴⁺ 같은 4가 양이온은 Si⁴⁺를 잘 대체하여 낮은 결합 밀도의 실리케이트 결합을 할 수 있다. 화학적 조성비가 맞는 경우에는 다른 양이온 즉 (La₂O₃)_x(SiO₂)_{1-x} (x=0.5)에서 La³⁺ 이온이 같은 역할을 할 수 있다.

이를 종합해 보면 Zr과 Hf 그리고 다른 원소를 포함한 실리케이트는 확실히 개선성이 있어 보인다. 그러나 공정 변화를 최소화라는 생산 기술의 요구를 만족시키는 물질이 당연히 선호될 수 밖에 없으므로, 이러한 점에서 Hf-Si-O와 Zr-Si-O계에 초점을 맞추려한다. 왜냐하면 전에 열거한 모든 바람직한 특성의 조합이 이루어졌으며 최근에 유망한 결과가 보고되었기 때문이다.

Teq<20A이고 Si 위에 직접 증착한 안정적인 게이트 유전체의 첫 번째 실현에서, Hf와 Zr 실리케이트 박막에 대해 Wilk와 Wallace의 연구에서 평탄한 계면이 관찰되었다.[29-31] HfO₂:SiO₂ 유전체와 Si의 계면이 명확히 관찰되었으며 비정질 Si를 활성화하고 결정화시키기 위해 어닐링이 필요하

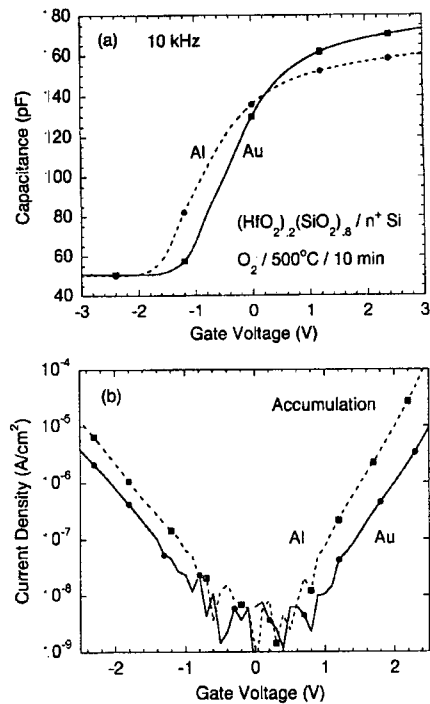


Fig 4. Comparison of C-V and J-V performance for a MIS structure incorporating Hf silicate. The Al electrode results in interfacial reactions

나 계면에 확인될 수 있을 정도의 계면층은 관측되지 않았다. Hf-실리케이트 층에 Al과 Au 전극을 사용한 MIS 축전기 평가 결과를 그림 4에 표시하였다. 어느 정도 낮은 축적 축전용량과 어느 정도 높은 누설전류가 Al 게이트 전극에서 관찰되었다. 고분해능 TEM (HRTEM) 결과는 제시되지 않았지만 Al/Zr 실리케이트 구조의 경우와 비슷한 Al/실리케이트 계면에서 현저한 변화를 보여준다. 이러한 결과들은 실리케이트 물질계에 예측될 수 있는 Al/실리케이트 반응이 후속 증착에서 발생한 것을 시사한다. 누설전류밀도는 동등한 SiO₂ 게이트유전체 박막보다 낮으며 그 값은 V_G-V_{FB}=1V에서 J(10⁻⁵A/cm²)이다.

높은 구동 전류와 낮은 누설 전류를 얻기 위한 필요로 도핑 형태로 N을 추가하거나 SiO₂ 위에 질화막을 덮을 필요가 게이트 산화막에 요구되었다. 이 공정은 유효 유전상수를 약간 증가시켜 물리적으로 두꺼운 박막을 사용할 수있게하여 보다 높은 구동 전류와 낮은 누설 전류를 얻을 수 있었다. 이러한 경향을 염두에 두고, 게이트 유전체로서 실리케이트 알루미늄에이트는 단지 또다른 SiO₂의 보정이라는 관점에서 보아야한다. 기존의 잘 확립된 CMOS 공정에 잘 접합시킬 수 있으며 소자 특성을 개선하기 위하여 이들 유사 이중합금 계는 SiO₂나 Al₂O₃에 Zr이나 Hf를 도핑에 의해 원하는 성질을 얻도록 조절

한다고 생각되어져야한다. 사실 이들 실리케이트 박막이 사용된다면, 점차적 소자 성능 개선을 위해 한 기술 전환점에서 다음 점까지는 Zr이나 Hf 도핑 농도를 단순히 올림으로서 이 물질계가 현재 기술 이정표상의 요구사항을 만족시킬수 있을 것이다.

Roberts 등은 스퍼터로 $\text{HfO}_2:\text{SiO}_2$ 박막을 연구하였다 [32]. Hf-실리케이트 박막은 스퍼터링으로 증착한 Ta_2O_3 박막보다 얇은 축전기 절연물질로 (두께 100-150 Å)보다 우수한 특성을 보인다고 보고하였다. 파손 실험 결과로 선호된 $\text{Hf}_4\text{SiO}_{10}$ 의 조성비를 확인하였으며, 유전상수 $\kappa=13$ 임을 보고하였다. $\text{Hf}_x\text{SiO}_{2x+2}$ ($x/2$ 또는 x)4경우)에 대해 800°C 이상에서 O_2 분위기 후속 어닐링을 하면 계면에 SiO_2 가 성장한다는 점을 주목하여야한다. 덧붙여서, $\text{SiO}_2/\text{Hf}_4\text{SiO}_{10}/\text{Si}_3\text{N}_4$ 절연물 적층을 사용하여 계면을 제어하면 Ta_2O_3 를 사용한 비슷한 구조에 비해 우수한 특성을 얻을 수 있었다.

$(\text{ZrO}_2)_x(\text{SiO}_2)_y$ 보다 $(\text{HfO}_2)_x(\text{SiO}_2)_y$ 에 대해 보다 적은 양의 결과가 보고되었다. 그러나 Hf와 Zr은 화학적 성질이 비슷하여 각각의 실리케이트 계를 비교하여 참작할 수 있다. Blumenthal[33]과 Bragg[34] 등에게 보고된 바에의하면, 화학적 조성이 맞는 ZrSiO_4 (지르콘)의 브라바이스 격자는 체심 사면체이고 point 군 D4h에 속한다. 결정은 Zr 원자를 포함한 SiO_4 사면체로 이루어진다. 따라서 구조 단위 분자인 SiO_2 와 ZrO_2 의 평행한 연쇄로 생각되어진다. 각각 Zr과 Si 원자는 각각 연쇄내에서 4개의 산소 원자를 공유하고있으며 산소원자의 연속된 쌍은 ZrO_2 와 SiO_2 단위를 이루면서 가로로 배열되어있다. 연쇄내에서 Si-O 결합 길이는 Zr-O 결합보다 짧다. 각 Zr 원자는 옆 연쇄내의(명확히 하면 옆 연쇄에 대한 4 결합 중 2개만) 다른 산소와 결합을 공유하고있어 물질의 3차원적 안정성을 제공한다.

각 Zr과 Si 원자는 가장 가까운 지근 거리내에 단지 O 원자만 있다는 점을 상기하는 것은 중요하다. 균일한 실리케이트 박막을 화학적으로 분석은 다음 지근 결합인 Si-O 결합에 작은 영향을 줌으로서 Zr-O만 보이게끔 예상된다.

이 연구에서 제시된 박막은 비정질이지만, 화학적 조성이 맞는 $\text{MO}_2\text{-SiO}_2$ 중합체의 농도보다 낮은 Hf와 Zr의 농도에 대해 거의 모든 결합은 Zr-O(또는 Hf-O)와 Si-O 결합일 것이라고 가정함이 타당할 것이다.

Hf와 Zr 사이의 결합 좌표 화학적 이론을 사용하면 HfSiO_4 는 ZrSiO_4 와 같은 구조를 가져야함을 알 수 있다. bulk ZrSiO_4 의 $\kappa\sim 12.6$ 의 값이 Blumenthal에 의해 보고되었다. 비슷한 HfO_2 는 $\kappa\sim 21\text{-}25$ 값이 보고되었으므로 HfSiO_4 는 $\kappa\sim 13\text{-}20$ 범위의 값을 가질 것으로 예상된다. κ 의 정확한 값은 확실히 박막 조성, 밀도와 구조(비정질은 결정보다 보통 작은 격자 편극을 가진다)에 의존한다. 바람직한 모든 특성을 고려하면, $(\text{ZrO}_2)_x(\text{SiO}_2)_{1-x}$ 와 $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ 는 차세대 게이트

유전체 후보로서 유망하며 이미 고무적인 결과가 보고되었다.

많은 다른 실리케이트도 가능하나 주 관심사는 유전율이 게이트 유전체 응용에 적합할 정도로 큰지 여부와 높은 온도에서 Si상에서 상이 분리되는지 여부이다. Al-Si-O, Y-Sy-O, Sc-Si-O 같은 3가 원소계도 가능성이 있다. 왜냐하면 이들의 금속산화물이 Si상에서 안정적이기 때문이다. 그러나 이들 실리케이트는 상대적으로 낮은 유전상수를 가진다는 단점이 있다. 다른 가능한 실리케이트 후보는 La-Si-O, Ce-Si-O, Ba-Si-O 같이 희토류 고원자수 원자를 포함하는 것이 될 수 있다. 그러나 Ce-Si-O는 Si 상에서 안정성 문제가 있으며, BaO는 흡습성으로 악명 높다.

금속들과 산소만을 포함한 3원소 혹은 4원소계도 가능하나 이 경우 다시 Si 채널 계면에서의 제어되지 않는 반응이 발생한다는 문제를 야기한다. 예를 들면 TiO_x 박막은 누설 전류를 낮추고 박막 두께 균일성을 개선하기 위해 여러 금속을 도핑하여 비정질 박막을 얻을 수 있다.

TiO_2 같은 고유전체를 사용하면 확연한 소자 동작 특성의 개선을 얻을 수 있을 것이다. 이 물질의 최종 성공 가능성은 매우 높은 품질의 채널 계면과 이의 제어인데, 아직 좋은 결과가 보고된바 없다.

4.2 고유전체 선택시 고려사항

결론으로 앞에서 논의한 많은 물질중 어떤 것이 향후 게이트 유전체로서 적합한지 여부를 판단할 때 필요한 사항을 간단히 요약하고자한다.

우선적으로 고려해야할 사항은 고유전체를 도입하고자하는 목적 즉 유전상수 값이 충분한 충전용량을 제공할 수 있을 정도인지 여부이다. 유전상수 값이 충분히 크지 않다면 박막의 두께를 낮춰야하는데 이는 터널링 현상에 대한 장벽 높이 (Barrier Height)가 충분하지 않아 높은 누설 전류를 야기할 수 있다. 물론 누설전류는 다결정과 비정질상 인지 여부에도 의존한다. 이런 구조적 측면을 제외한 순수한 물성에 의한 누설 전류라는 관점에서 보면 ΔE_C (conduction band offset $\sim q(x\phi_M - \phi_B)$, x : semiconductor electron affinity, ϕ_M : 금속일함수, ϕ_B : 금속과 유전체 사이의 장벽 높이) 값이 커야 할 것이다. 많은 물질의 실험적 ΔE_C 값은 아직 보고된 바가 적으나 1.0eV 이하이면 높은 누설전류를 예상할 수 있다. 물질의 밴드갭이 작으면 ΔE_C 이 작아짐으로 표1에서의 TiO_2 , Ta_2O_3 같이 밴드갭이 작은 물질일수록 누설전류의 양이 커서 게이트 유전체로서 선택될 가능성이 낮다고 할 수 있다.

모든 게이트 유전체에서 Si과의 계면 특성이 가장 중요한 고려 사항중 하나이다. 고유전체가 Si 위에서 열역학적으로 안정되어있지 않아서 후속 열공정 중 Si 계면에 원하지 않았던 계면층은 SiO_2 에서 Si-rich 계면층같이 박막의 전기적 특성에 크게 영향을 미치게된다. Ta_2O_3 와 TiO_2 는 계면에서 안정적이

지못하여 SiO₂나 실리사이드 혹은 금속산화물(M_xO_y, M= 금속)이 형성될 수 있다. 따라서 이를 막기위한 옥시나이트라이드 같은 추가 계면층이 필요할 것이다. 유사 이원소합금 (ZrO₂)_x(SiO₂)_{1-x}이나 (HfO₂)_x(SiO₂)_{1-x} 같은 경우 조성비 x의 넓은 범위에서 안정된 계면 특성을 보이는 점은 주목할만하다. 물론 ZrO₂나 HfO₂에 비해 유전 상수가 감소한다는 점을 감수하더라도 이 특성 때문에 게이트 유전체의 유력한 후보층의 하나인 것이다.

고유전체의 계면 특성이 SiO₂에 필적하기는 매우 어렵다는 것은 충분히 예상되는 일이다. 특히 높은 D_{it} (midgap interface state density)는 채널영역에서 전하 이동도에 악영향을 미쳐 소자 성능을 저하시킬 수 있다. C-V 곡선에서 hysteresis와 ΔV_{FB} 큰값은 문턱전압의 이동을 초래함으로써 소자의 안정성과 신뢰성에 악영향을 주어 이러한 유전체는 쓰기 곤란하다.

계면과 관련하여 주목해야하는 점은 후 공정에서 산소가 유전체 박막을 통해 확산하여 Si 계면에 원하지않는 SiO₂ 층이 생기는지 여부이다. 물론 계면층은 충전 용량의 감소를 초래한다. 채널 영역에서 계면 SiO₂는 소자 특성상 필요할 수도 있으나 문제는 정확히 제어해야하는 점에서 산소 확산은 곤란한 문제이다. 특히 ZrO₂와 HfO₂에서 단점이 보고되었다.

앞에서 언급한 다결정 구조와 비정질 구조의 차이점 또한 누설 전류라는 측면에서 중요하다. 다결정 구조는 결정립 계면이 누설 전류의 통로가 될 수 있기 때문에 비정질이 바람직하다. 초기 증착시 비정질 구조가 후속 열공정을 거치면서 다결정으로 바뀌는 물질이 대부분이며 후속 열공정에서도 비정질로 남아있는 유사이원소합금의 장점이 주목될 수밖에 없다.

고유전체 박막을 제조하는 공정이 기존 CMOS 공정과 양립할 수 있는냐는 점은 기존 생산 공정을 크게 바꾸지않고 기존 방식대로 제조할 수 있는냐 문제 때문에 매우 중요한 문제이다. 우선 게이트 전극을 poly-Si을 쓸 수 있어야 할 것이다. 만일 게이트 전극으로서 poly-Si과 반응을 일으켜 원하지 않는 계면층을 만든다면 결국 충전용량의 원하지않는 감소를 초래한다. 이 문제 때문에 많은 연구가 금속 게이트를 사용하였으나 Al은 경우 후속 고온 공정을 사용하기 곤란하므로 Pt나 TiN 같은 실리사이드를 사용하여야한다 하지만 poly-Si 게이트가 필요한 이유는 poly-Si의 경우 nMOS 나 pMOS 모두 적절한 이온주입양으로 원하는 문턱전압을 조절하는 기존 공정을 크게 바꾸지 않아도 되기 때문이다. 특히 ZrO₂의 경우 이런 계면층이 보고된바 있다. 이런 면에서 유사이원소합금과 Al₂O₃가 좋은 특성을 가졌으나 Al₂O₃ 경우 붕소 확산이 문제를 야기할 수 있음을 유념해야할 것이다.

대량 생산을 염두에 두면 생산 단가와 양산성을 논의하여야한다. 물론 MBE는 양산에 적합하지 않으므로 논외이다. 스퍼터링같은 PVD 방식은 표면 손상을 야기할 수 있고, 표면 morphology도 우수하지 못하기 때문에 CVD 방식이 적합해

보인다. 하지만 CVD 공정에서 주의할 점은 원하지 않는 계면층을 제어하여야 한다는 것이다. 이런 면에서 한 층씩 쌓아 올리는 ALCVD 방식이 유망하며 Al₂O₃나 ZrO₂, HfO₂에서 좋은 결과를 보인 것은 앞에서 언급하였다. 그리고 유사이원소합금의 경우 안정적인 특성 재현성이 보장하기 위해서 조성비가 어느 범위에서 제어되어야 하는지 아직 불확실하며 이는 양산성에 걸림돌이 될 수 있다.

마지막으로 신뢰성 실제 생산에서 중요한 점은 유전체의 신뢰성이다. 유전체가 상당히 엄격한 실험 수명 보장이라는 조건을 만족할 수 있는냐는 현재로서는 판단하기 매우 어려운 문제이다. 현재 사용중인 SiO₂ 박막과 같은 신뢰성을 가질 수 있는냐는 문제는 SiO₂와 똑같은 공정 환경, 균일성이 먼저 보장되어야 S.O₂와 비교될 수 있을 것이다. 몇몇 축전기로서 얻은 평균 파손 시간 측정 (mean failure time measurement)으로는 잠재적 가능성 여부를 판단하는데 참고사항으로 고려될 뿐 그 이상의 의미부여는 할 수 없을 것이다. 물론 SiO₂의 신뢰성 문제에 동원되었던 분석 방법과 해결책들이 훌륭한 지침서가 될 수 있다.

그 동안 30여년간 반도체 산업 특히 MOS 소자 산업은 Si-SiO₂의 탁월한 성질에 상당 부분 의존해서 성공했다고 해도 과언은 아니다. 이제 Si-SiO₂ 시대가 종언을 고하는 시점이 점차 다가오고 있다. 새로운 게이트 유전체가 위에서 언급한 물질 중 무엇일지 단언하기 어렵다. 선택된 물질에 따라 기존 공정을 거의 그대로 사용할 수도 있지만 게이트 적층 물질의 선택에 따라서 기존 공정을 혁신적으로 바꾸게 될 가능성도 배제할 수 없다. 신규 소자 개발 시간표에 따라 향후 5년 이내에 우수한 게이트 유전체를 제조하고 이를 CMOS 전체 공정과 융합시킨다는 문제는 연구자에게 부과된 대단한 도전임에 틀림없다.

참고 문헌

- [1] T.Tori, "Gate Dielectrics and MOS ULSIs (Springer, New York, 1997).
- [2] G.D. Wilk, R.M. Wallace, J.M. Anthony, J of Appl. Phys. 89, 5243.(2001).
- [3] S. Tang, R.M. Wallace, A. Seabaugh, and D. King-Smith, Appl. Surf. Sci. 135, 137 (1998).
- [4] H.S. Momose, M.Ono, T.Yoshitomi, T.Ohguro, S.I. Nakamura, M. Saito, and H. Iwai. IEEE Trans. Elect. Devs. 43, 1223,(1996).
- [5] B.E. Weir, P.J. Silverman, M.A. Alam, F. Bauman, D. Monroe, A. Ghetti, J.D. Bude, G.L. Timp, A. Hamad, T.M. Oberdick, et.al Tech. Dig. Int. Elect. Dev. Meet. 1999,p.437.

- [6] M. Alam, B. Weir, P. Silverman, J. Bude, A. Ghetti, Y. Ma, M. Brown., F. Hwang, and A. Hamad, Proc-Electrochem. Soc 2000-2, p. 365.
- [7] Y. Wei, R.M. Wallace, and A.C. Seabaugh, Appl. Phys.Lett. 69, 1270 (1996).
- [8] M. Cao, P.V. Voorde, M. Cox, and Green, IEEE Elec. Dev. Lett. 19, 291 (1998).
- [9] E.P. Gusev, M. Copel R. Cartier, I.J.R. Baumann, W.L. Brown, C. Krug, and M.A. Gribelyuk, Appl. Phys. Lett. 76, 176,(2000).
- [10] D.A. Buchanan, E.P. Gusev, E. Caretiet, H. Okorn-Schmidt, K. Lim, M.A. Gribelyuk, A. Mocuta, A. Ajmera, M. Copel, S. Guha et.al Tech. Dig. VLSI Symp. 200, p.46.
- [11] D.G. Park, H.J. Cho, C. Lim, L.S. Yeo, I.S. Roh, C.T. Kim, and J.M. Hwang, Tech. Dig. VLSI Symp. 2000.p.46.
- [12] J.H. Lee, K.Koh, H.I. Lee, M.H. Cho, Y.K. Kim, J.S. Jeon, K.H. Cho et.al. Tech. Dig. Intl. Elect. Dev. Meet. 200., p. 645.
- [13] L. Manchanda and M. Gurvitch, IEEE Elec. Dev. Lett. 180 (1988).
- [14] M. Gurvitch, L. Manchanda and J.M. Gibson, Appl. Phys. Lett. 51, 919 (1987).
- [15] J. Kwo, M. Hong, A.R. Kortan., K.T. Qeeney, Y.J. Chabal, et. al Appl. Phys. Lett. 77, 2710 (2000)
- [16] S. Guha, E. Cartier, M.A. Gribelyuk, N.A. Borjaczuk, and M.A. Copel, Appl. Phys. Lett. 77, 2710. (200).
- [17] A. Chin, Y.H. Wu, S.B. Chen, C.C. Chiao, and W.J. Chen, Tech. Dig. VLSI. Symp. 200, p.16.
- [18] S. A. Campbell, D.C. Gilmer, X. Wang, M.T. Hsich, H.S. Kim, W.L. Gladfelter, and J.H. Yan, IEEE Trans. Elect. Dev. 44, 104 (1997).
- [19] Y. Ma. Y. Ono. and S.T. Hsu, Mater. Res. Soc. Symp. Proc. 567, 355 (1999).
- [20] J. Shapir, A. Anis, and I. Ponsky, IEEE Trans. Elect. Dev. ED-33, 442 (1986).
- [21] M.A. Copel, M.A. Gribelyuk, AND E.P. Gusev, Appl. Phys. Lett. 76, 436 (2000).
- [22] C.M. Perkins B.B. Triplett, P.C. McIntyre, K.C. Saraswat, S. Haukka, and M. Tuominen (unpublished).
- [23] W.J. Qi, R. Nieh, B.H. Lee, K. Onishi, L. Kang, Y. Jeon, T.Ngai, S. Nanerjee, and J.C. Lee, Tech. Dig. Intl.. Elect. Dev. Meet. 1999, p.145.
- [24] W.J. Qi, R. Nieh, B.H. Lee, K. Onishi, L. Kang, Y. Jeon, J.C. Lee, V. Kaushik, B.Y. Nguyen et.al, Tehc. Dig. VLSI. Symp. 2000, p.40.
- [25] M. Houssa V.V. Afanasev, A. Stesman and M.A. Heyns, Appl. Phys. Lett.77, 1885 (2000).
- [26] W.J. Qi, R. Nieh, B.H. Lee, E. Dhrrmarajan, L. Kang, Y. Jeon, T.Ngai, S. Nanerjee, K. Onishi and J.C. Lee, Appl. Phys. Lett. 77, 1704 (2000).
- [27] M.A. Copel, E. Cartier, and F.M. Ross, Appl. Phys. Lett. 78, 1607 (2001).
- [28] J.A. Gupta, , D. Londheer, J.P. McCaffrey, and G.I. Spoule, Appl. Phys. Lett. 78, 1718 (2001).
- [29] G.D. Wilk and R. Wallace, Appl. Phys. Lett. 74, 2854 (1999).
- [30] G.D. Wilk and R. Wallace, Appl. Phys. Lett. 76, 112 (2000).
- [31] G.D. Wilk R. Wallace, and J.M. Anthony, J. Appl. Phys. 87, 484 (2000).
- [32] S. Roberts, J.G. Ryan, and D.W. Martin, in "Emerging Semiconductor Technology", STM STP 960, ed. D.C. Gupta and P.H. Langer (1986) p.137.
- [33] W.B. Blumenthal, "The Chemical Behavior of Zirconium" (Van Norstrand, Princeton, 1958), pp.201-219.
- [34] L. Bragg, G.F. Claringbell, and W.H. Taylor, "Crystal Structures of Minerals". (Cornell Univ. Press, Ithaca, 1965). p.185.

저 자 약 령

성명 : 이 현 우

◆학 령

1983년 서울대학교 물리학과 졸업(이학사)
1991년 한국과학기술원 물리학과 졸업(이박사)

◆경 령

1990년-1995년 현대전자산업 반도체연구소 선임연구원
1995년-현재 한서대학교 물리학과 교수