

신재료 고유전율/강유전체 박막의 기술 개발 동향



유 병 곤
(한국전자통신연구원 반도체신기술연구소)



유 종 선
(한국전자통신연구원 반도체신기술연구소)

실리콘 기반의 마이크로일렉트로닉스 산업은 소자 제작이 더 이상 작은 크기로 단순하게 축소될 수 없는 상황으로 급속히 접근하고 있다. 지금은 실리콘 소자가 계속하여 개발되기 위한 방향을 획기적으로 바꿀 기술적 장벽의 극복이 이루어져야 하는 시기이다. 그러한 기술적 극복에 대한 노력중 하나의 도전이 지금까지 사용되어 오던 실리콘 산화물을 대체한, 보다 높은 유전율을 가진 유전체에 대한 요구인 것이다. 이미 메모리(DRAM)를 위한 대체 유전체를 개발하기 위하여 상당한 노력이 수행되어 왔었다. 이러한 개발은 소위 전계-효과 트랜지스터와 같은 로직 소자의 게이트 유전체를 위해서도 필요한 재료의 개발로서 실리콘 산화물에 대한 대체물을 확인하는 데 도움을 준다.

본 논문에서는, 고유전율 재료 및 강유전체로부터 만들어지는 게이트 절연막의 현황과 가능성에 관하여 논의하기로 한다. 게이트와 커패시터 절연막의 전기적 요구 사양에 맞추어 고유전율 게이트 절연막의 선택 기준을 명확히 하고 유력한 후보 재료를 소개하기로 한다. 한편, 강유전체 게이트 구조에 관해서는, 강유전체 박막을 Si 기판상에 직접 없기보다는, 박막과 Si 사이에 상유전성 버퍼층을 삽입한 쪽이 현실적이라는 것을 제시하고, 버퍼층 및 강유전체 박막에 필요한 특성을 명확히 하기로 한다. 많은 재료의 연구에도 불구하고 실제 소자에 적용하기 위해서는 소자의 구조 및 공정의 종합화를 염두

에 둔 연구개발이 더 진행되어야 할 것이다.

1. 서 론

1948년 트랜지스터가 발명되고 1950년대에 IC의 개념이 제안된 이래 반도체는 집적화를 계속하여 오늘날 대용량 집적회로(Ultra-Large-Scale Integration: ULSI)로 많은 전기·전자 제품의 소형화와 성능의 향상에 기여하였다. 1970년대 후반에 마이크로프로세서와 메모리 IC가 본격적으로 시장에 출하된 이래, 반도체의 집적도는 3년에 4배씩 증가하는 이른바, 무어의 법칙[1]에 따라 발전을 거듭하였다. 그림 1은 반도체, 특히 실리콘 반도체 기술의 지표가 되는 마이크로프로세서와 DRAM 소자의 집적도를 나타낸 것이다[2,3]. 기존의 재료를 잘 활용한 소자의 축소화와 칩 크기의 꾸준한 증가로 0.18 μm 급의 1.5 GHz 마이크로프로세서와 256M DRAM까지는 무어의 법칙을 유지해 왔다. 이는 집적도를 결정하는 대표적인 기술인 미세화 기술의 발전에 힘입은 바가 크다 하겠다. 표 1은 1999년판 ITRS 로드맵의 제안에 따른 미세화와 게이트 산화막 두께의 추세를 나타낸 것이다[2-4]. 2000년대에 이르기까지 실리콘 IC는 기존의 재료를 개선하면서(즉, 유전체로서 SiO_2 또는 발전하여 Si-O-N, 금속배선으로서 Al과 탈전하여 Cu, 저항체로서 도핑된 실리콘/폴리실리콘

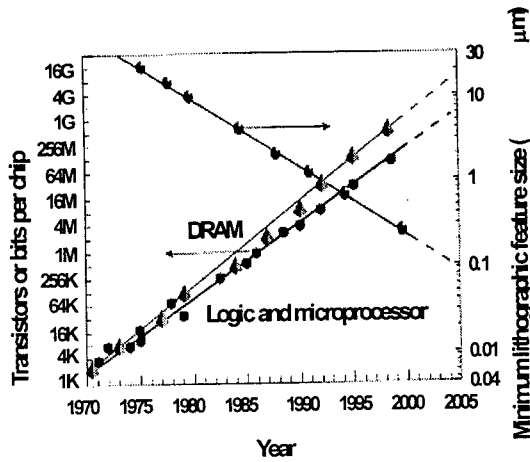


그림 1. 리소그래피의 최소 선폰 크기가 줄어들에 따른 소자 밀도의 꾸준한 증가를 보여주는 개략도. DRAM과 로직 소자(예를 들면, CMOS FET들) 양쪽에 대한 소자 밀도를 보여주고 있음. 1999년판 ITRS의 데이터로부터 발췌한 것임.

과 발전하여 실리사이드/폴리사이드) 발전하여 왔다.

그런데 2000년대에 진입하면서 반도체 기술은 새로운 국면에 진입하였다. 즉, 기존 기술의 개선이 아닌 새로운 기술의 도입이다. 양산성 있는 sub-0.1 μm 리소그래피에 이어 게이트 절연막의 문제가 심각한 기술적 장벽이 되었다. 수학적 계산상으로는 미세화와 고속화의 추세를 유지하기 위해서는 그림2에 보인 바와 같이 게이트 산화막(규소 산화막)의 두께를 계속 낮추어야 한다[3]. 그런데, 이 두께를 25 Å 이하로 낮추면 산화막 터널링(tunneling)에 의한 물리적인 한계로 인하여 트랜지스터의 기능을 잃게 된다[5]. 물론 터널링에 의한 누설 전류(즉 전력 손실)를 감수한다면 기존 산화막의 생존 기간을 더 늘릴 수도 있을 것이다. 그러나 또 다른 문제가 있는데, 바로 규소 산화막의 유전율이 작아 트랜지스터가 필요한 충분한 전하(시간적 변화율은 전류)를 얻을 수 없다는 것이다. 이를 해결하

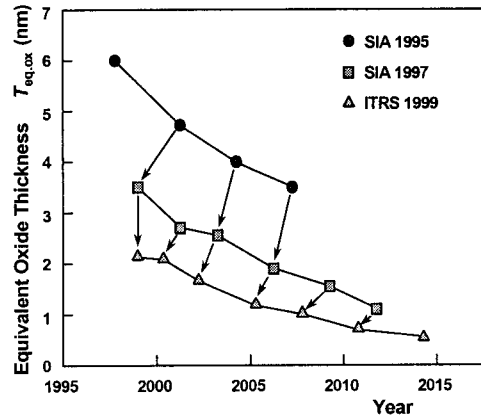


그림 2. 등가 게이트 산화막 두께의 감소 추이. 등가 산화막 두께는 다양한 신재료의 개발에 의하여 과거의 예상치보다 낮아지고 있다.

기 위해서는 기존의 규소 산화막이 아닌 고유전을 산화막 또는 절연막이 필요하게 된다. 그 후보로는 Al_2O_3 , Ta_2O_5 , TiO_2 , ZrO_2 , HfO_2 , 등이 있다[6-8]. 또한, 유전율이 규소 산화막의 수십~수백 배에 달하는 PZT, SBT, STO, 등의 강유전체 박막도 연구되고 있는데, 화학적 조성의 균일성을 유지하면서 직접 규소 웨이퍼 위에 형성하기 어려운 기술적 난제가 아직 남아 있다. 이들 새로이 대두되는 유전체들은 원자 레벨로 증착 또는 에피-성장을 가능케 하는 장치 기술도 필요로 한다.

필자는, 약 10년전에 일본 히다찌 중앙연구소에서 캐피터 절연막용으로 고유전율을 갖는 강유전체 박막의 연구를 개시하여, 한국전자통신연구원에서 근무하고 있는 현재까지 고유전 캐피터 절연막, 고유전율 게이트 절연막 및 강유전체 게이트 절연막 연구를 수행하여 왔다. 현재 게이트 절연막으로서 유망한 재료를 바탕으로, 지금까지의 필자의 연구 결과를 첨가하여 고유전체 및 강유전체 절연막의 개발 동향을 살펴보기로 한다.

표 1. 1999년 ITRS 기술 로드맵에 따른 최소 선폰과 게이트 절연막 두께의 추이

년 도	1999	2002	2005	2008	2011	2014
DRAM 반치폭 (nm)	180	130	100	70	50	35
오버레이 정확도 (nm)	65	45	35	25	20	15
μP 게이트 길이 (nm)	140	85-90	65	45	30-32	20-22
CD 제어 (nm)	14	9	6	4	3	2
등가 산화막 두께 (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
접합 깊이 (nm)	42-70	25-43	20-33	16-26	11-19	8-13
금속간 절연막 유전율	3.5-4.0	2.7-3.5	1.6-2.2	1.5	<1.5	<1.5

2. 고유전율 캐퍼시터 절연막

캐퍼시터 절연막용의 고유전율 재료에 관한 연구는, 지난 수년간 활발하게 수행되어 왔다. DRAM 메모리가 고집적화가 되면서 지금까지도 사용되고 있는 재질화 실리콘 산화막(Si-O-N)으로는 충분한 정전용량(셀당 25 fF 이상)을 확보하기 어려운 한계적 상황을 예견하였기 때문에 고유전율 캐퍼시터 절연막의 연구가 본격적으로 수행되어 왔다. 많은 어려움이 있었지만 최근에 유전율이 20 이상인 탄탈륨 산화물(Ta_2O_5)을 256M DRAM 생산에 도입되는 성과를 거두고 있다. 또한 유전율이 더 높은 박막 재료에 대한 선택도 눈앞에 두고 있는 상태이다. DRAM에 필요한 셀 용량(캐퍼시터의 정전용량)은 센스 앰프의 감도, 비트선 용량, 내방사선 소프트 에러 등을 고려하여 30 fF 정도가 필요한 최소값이다. 캐퍼시터의 정전용량 C

$$C = \epsilon_0 \epsilon_r A / d \quad (1)$$

(ϵ_0 : 진공의 유전율, ϵ_r : 유전체 박막의 비유전율, A : 캐퍼시터의 유효 면적, d : 유전체 박막의 두께) 값을 확보하기 위해서는 식(1)에 보인 것처럼 캐퍼시터 재료의 유전율 ϵ_r 을 크게 하든지, 캐퍼시터의 유효 면적 A 를 크게 하든지, 박막 두께 d 를 작게 하지 않으면 안 된다. 4M DRAM 이후에는 그림 3과 같이 우선 유효 면적 A 를 크게 하기 위해서 stack이나 trench 구조 등으로 입체 구조를 형성하여 왔으나, 256M DRAM 이상의 기술에서는 이것도 한계에 도달하여 고유전율 박막을 도입하지 않으면 안 되게 되었다. 즉 비유전율이 높은 Ta_2O_5 , STO, BST, PZT 등의 검토가 활발히 이루어진 것이다. 현재 셀은 cylinder 형의 stack 구조와 trench 구조의 것으로 나누어져 있는데, stack 구조에 관한 로드맵을 보면, 180nm의 기술 노드(technology node)에서 셀 구조는 cylinder를 사용하여 비유전율 22인 Ta_2O_5 막의 도입으로 가능하게 되고, 130nm의 세대에서는 비유전율이 50인 Ta_2O_5 을 사용하여 비교적 단순한 pedestal 형의 셀 구조로써 실현하게 된다. 고유전율 캐퍼시터 절연막의 두께는 적어도 수십 nm 이상이기 때문에, 실린더 형의 구조에 적용하기는 어렵다. 결국 100nm의 세대에서는 비유전율 250의 BST 박막이 예상되고 그 이후에는 세대마다 비유전율이 더 큰 고유전율 박막이 요구될 것이다.

한편 trench 셀에서는 trench의 aspect 비를 50~60 정도로 높임으로써 캐퍼시터 유효 면적을 증가시킬 수 있으므로 ONO 등의 Si-O-N 계열의 박막으로 실현이 가능할 것이나, 70nm 세대부터는 역시 고유전율 박막의 도입이 필요하게 된다.

Cylinder와 pedestal 등의 구조에서는 일반적인 고유전율 박막을 PVD에 의하여 증착하면 단차 피복도가 현저히 나빠지

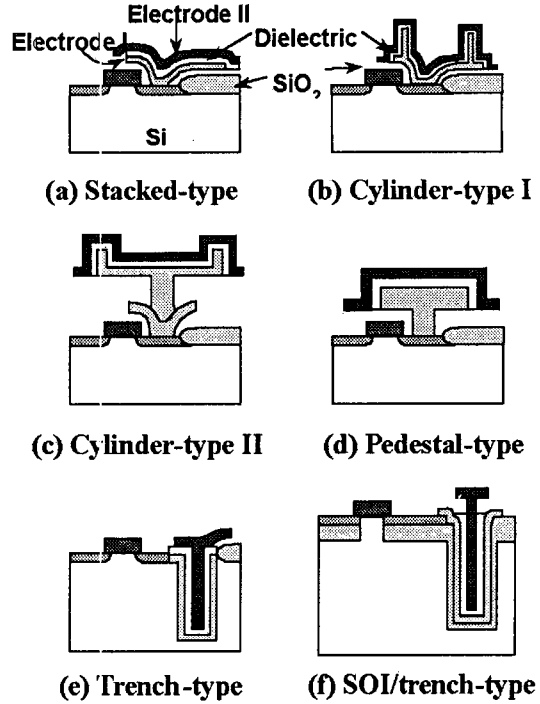


그림 3. 여러 형태의 DRAM 셀 구조

므로 이 방법을 적용할 수는 없다. 따라서, CVD 방법에 의해 증착하여 단차를 양호하게 피복할 필요가 있다. CVD 방법을 이용할 경우 Ta_2O_5 막에 잔존하는 H, C 등의 불순물을 일반적으로 800 °C 이상의 고온 열처리로 제거될 수 있는데 이때 비정질이 다결정화가 되는 문제가 발생하게 된다[7]. 다결정화가 되면 누설전류가 증가하기 쉬우므로 막 중에 10~40%의 Al을 첨가하여 $Ta_{1-x}Al_xO_5$ 로 함으로써 고온에서도 비정질을 유지하게 되어 누설전류가 감소된다는 결과가 있다. 이것과 달리 Pt와 Ru 상에 CVD로 성장시킨 Ta_2O_5 막을 750 °C 열처리(anneal)하여 (110)와 (001)로 배향된 결정화를 시키면 비유전율이 50 이상으로 된다는 결과도 있다[7,9].

한편 BST' 막은 비유전율이 수백의 고유전율 재료로서 열처리 온도가 650 °C 정도이기 때문에 Ta_2O_5 막에 이은 다음 세대의 고유전율 재료로 활발하게 개발되고 있다. 고유전율 재료의 경우 누설전류가 억제된 양호한 캐퍼시터를 형성하기 위해서는 전극의 선택이 중요하다. 최근까지 이용되어 온 것은 상부 및 하부 전극에 Pt였지만 예칭의 어려움과 Pt에 의한 오염, 장벽층에의 영향 등에 난제가 있어, 이것을 대체할 전극 재료로 RuO_2/Ru , IrO_2/Ir 등이 개발되기에 이르렀다. 또한 BST(40nm)의 상부 및 하부전극 양쪽에 페롭스카이트 형의 도전성 산화물인 $SrRuO_3$ (SRO)를 이용하여 BST를 포함하여 전극 모두를 페롭스카이트 형의 산화물로 형성하면 전극에

Ru를 이용한 경우에 비하여 누설전류 특성이 개선되었다는 보고도 있다(8).

결국, 고유전율 물질, 전극 재료, 버퍼층의 종합성(integration capability)과 기존 공정과의 양립성에 기술 개발의 성패가 달려 있다 할 것이다.

3. 고유전율 게이트 절연막

그림 4에 보인 바와 같이, 게이트 절연막 두께는 게이트 길이와 함께 MOS 트랜지스터의 성능을 결정하는 데 중요한 요소이다. 전류구동 능력을 대폭 향상시키기 위하여 수직 구조의 MOS FET도 제안되었으나 공정 신뢰도의 문제가 크다. 게이트 절연막의 특성으로서는 실리콘 기판과 계면이 전기적으로 매끄러워 캐리어 이동도가 열화하지 않는 것이 중요하다. SiO₂ 박막은 계면의 특성이 우수하여 게이트 절연막으로 일반적으로 사용되어 왔다. 또 게이트 절연막 두께가 얇아수록 캐리어의 수가 증가하여 드레인 전류가 증가될 수 있다. 따라서 게이트 SiO₂ 막은 미세화로 전원전압이 낮아짐과 더불어 절연과피의 신뢰성을 손상시키지 않는 범위에서 박막화가 추구되어 왔다. 그러나, 게이트 SiO₂ 막이 3nm 이하로 되면 직접 터널링 전류가 흘러서 절연막으로서 역할을 하지 못하게 된다. 그래서 SiO₂ 막을 3nm로 유지시키고 트랜지스터를 미세화하여도 성능의 개선이 이루어지지 않는 것이 sub-0.1μm의 트랜지스터 기술에서는 심각한 문제로 대두하게 되었다. 따라서, MOSFET의 미세화에 동반하여, SiO₂를 대체하는 고유전율 게이트 절연막 재료에 대한 관심이 최근 급속히 높아지게 되었다.

뒤에 서술하는 바와 같이, 강유전체 게이트 FET에 사용하는 상유전성 버퍼층도 고유전율 재료인 것이 바람직하다. 따라서, 양쪽의 기술개발 과제에는 공통점이 많은데, 세부에 관해서는 양쪽에 필요로 하는 특성이 반드시 일치하지는 않는다(10).

비유전율이 SiO₂보다 높은 재료를 사용하여, FET의 전류구동 능력을 결정하는 단위면적당의 게이트 용량 C_{ox}

$$C_{ox} = \epsilon_0 \epsilon_r / d \quad (2)$$

(ϵ_0 : 진공의 유전율, ϵ_r : 산화막의 비유전율, d : 산화막 두께)를 감소시키지 않고 게이트 절연막의 두께를 두껍게 함으로써, 게이트 누설전류의 문제를 해결할 수 있다. 그러나, SiO₂/Si 계면에 필적하는 양호한 계면 특성을 갖는 고유전율 재료를 선정하는 것은 용이하지 않다. 그럼에도, 마이크로프로세서에 사용하는 FET의 게이트 절연막 두께는, 2005년에는 SiO₂ 환산으로 1.0~1.5 nm가 요구되기 때문에(2), 새로운 고유전율 게이트 절연막의 개발은 극히 긴급한 과제가 되어 있다.

게이트 절연막 용도의 고유전율 재료에 관한 연구는, 최근 1~2년 사이에 미국을 중심으로 급속히 활발해져 왔다. 또한, 게이트 절연막에 대한 회로설계자의 인식도 변화하여, 초고속 마이크로프로세서 등의 설계에 있어서는 SiO₂ 막의 박막화에 의한 고속화로 바뀌어져 게이트 누설전류에 기초한 소비전력의 증가를 어느 정도 용인하는 방침이 일반화되었다. 게이트 누설전류에 의한 소비전력의 증가는, 마이크로프로세서의 전체 소비전력의 10% 정도가 한도로 생각되었는데, 이로부터 개개의 FET의 게이트 누설전류 밀도의 상한치를 구하면 약 1 A/cm²가 된다(10).

노스캐롤라이나 주립대학의 Kingon 등은 고유전율 게이트 절연막에 요구되는 특성을, 아래와 같이 정리하였다(4,10).
 ①열적 안정성: Si 기판상에 퇴적한 후에 산소 분위기중에서 열처리하더라도 막과 기판과는 반응하지 않고, 또한 계면에 SiO₂ 층이 형성되지 않는 것이 중요하다.
 ②결정 상태: 게이트 면적이 작아지더라도 특성이 변하지 않도록 비정질 막 또는 단결정질 막이 바람직하다.
 ③비유전율: SiO₂와의 비교에서 4 이상은 의미가 없고, 적어도 10 이상이 바람직하다.
 ④전자 구조: p 채널 및 n 채널 FET의 어느쪽을 제작하더라도 게이트 누설전류가 충분히 작아지기 위해서는, 가전자대 및 전도대의 양측에 1 eV 이상의 장벽이 형성될 필요가 있다. 친이 금속 산화물과 Si과의 장벽이 있어서는, 전도대측의 밴드 불연속이 작은 경우가 많기 때문에, n 채널 FET를 제작하는 경우에는 특히 주의가 필요하다.
 ⑤막중의 점 결함: 막중의 점 결함은 누설전류나 트랩 준위의 원인이 되기 때문에, 적은 것이 바람직하다.

상기의 기준 이외에, 절연막중의 고정전하의 원인이 되는 알칼리 금속, Si 결정중에 깊은 준위를 형성하는 Ni, Cu 등, 영구자기 모멘트를 갖는 Sm, Co, Mn 등, 오염의 원인이 되기도 하고 휘발성의 산화물을 형성하는 Pb, Bi, W, Mo 등을 제외하여 비정질 절연막의 후보를 검토한 결과, La, Gd, Zr, Hf 등의 산화물 및 그러한 산화물과 SiO₂와의 화합물(실리케이트)이 유력하다(4). 한편, 단결정막의 후보로서는, SrZrO₃,

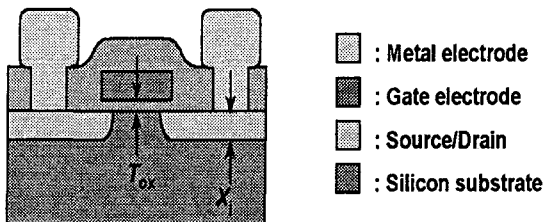


그림 4. 금속 산화막 반도체(MOS) 트랜지스터의 기본 구조

CaZrO₃, SrTiO₃ 등의 페롭스카이트 형 결정이 유력하다(4). 대표적인 막 형성 방법은 졸겔 법, 스퍼터 법, 진공증착 법, MBE 법, MOCVD 법 등이다. 일반적으로, 계면준위를 보다 감소시키기 위하여 막 형성 후에 산소 또는 수소 분위기중에서 열처리를 수행하는 경우가 많다. Amazawa 등은 ECR(전자 사이클로트론 공명) 스퍼터 법을 사용하여 Si 기판상에 Al₂O₃ 막을 형성하였다(11). 막을 실온에서 퇴적한 후에 산소 분위기중에서 600 °C, 10분간의 어닐을 수행하면, 히스테리시스가 없는 양호한 C-V 특성이 얻어져, 누설전류 특성도 SiO₂ 환산 막두께 4.8 nm의 막에서 3 V 인가시에 1×10⁻⁹ A/cm²로 극히 양호한 결과를 얻은 것으로 판단된다(10,11).

현재로서는 어떤 재료가 주된 흐름이 될지 예측하기는 어려우나, 고유전체와 기존 실리콘 공정과의 정합성 유지라는 측면에서 볼 때, 실리콘과 고유전체 박막 사이에 Si-O-N 등의 극박막 버퍼층을 삽입한 더미 구조, 또는 실리케이트 구조의 게이트 절연막이 주도할 것으로 보인다.

4. 강유전체 게이트 절연막

FET 소자에서 게이트로 강유전체 박막을 사용하면 랜덤 액세스성, 불휘발성 등 통상의 커패시터 형 강유전체 메모리가 갖는 특징에 더하여, 기억 데이터의 비파괴 읽어내기가 가능하고, 스케일링 법칙에 따른 디바이스 미세화도 가능한 새로운 특징을 갖는 메모리가 실현이 가능하다. 트랜지스터가 발명된지 얼마 되지 않아 단일 트랜지스터 메모리 소자로서 동작할 수 있는 재료와 구조가 제안되었다(12,13). 그러나, 그 이후 실리콘 공정과 정합성이 좋은 강유전체 재료 및 소자 구조가 선정되지 못하여 실제 응용을 위해서는 많은 시간과 노

력이 뒤따라야 했으며, 1990년대 후반에 들어서서야 본격적인 강유전체 재료 및 소자 구조가 제안되기 시작하였다. 또한 저장된 전하를 전압으로 감지하는 DRAM과는 달리, 트랜지스터에 흐르는 전류 레벨을 감지하고 정보를 읽어낼 때 이웃 셀에 전기적 자극을 줄 수 있기 때문에 이를 극복할 수 있는 주변회로의 개발에도 많은 노력이 수행되고 있다.

필자는 수년 전부터 강유전체 게이트 절연막을 연구하여 왔는데, 초기에는 실리콘에 직접 강유전체를 시도하였다. 일반적으로 강유전체는 열적 열화가 심하므로 트랜지스터의 소오스/드레인을 형성한 후 게이트 강유전체 박막을 형성하는 방법으로 강유전체 열화의 방지를 도모하였다(14,15). 그림 5는 제작된 소자 구조를 보인 것이다. 그런데, 제작된 MFS FET의 드레인 전류 레벨은 예상치보다 1 차수 정도 낮은 값을 보였다. 또한, 히스테리시스 특성도 강유전체 박막 형성 후 Al 전극을 입힌 단순한 커패시터에 비교하여 심하게 열화되는 현상이 나타났다. 이는 소자 제작시 세정이나 식각 공정에서 H나 O가 강유전체 박막을 침투하여 박막의 화학당량(stoichiometry)을 상실케 하거나 실리콘과의 계면에 산화막을 형성하였기 때문인 것으로 보인다. 다른 연구자들의 결과에서도 동일한 경향이 보였다(4,7-9).

현실적으로, 양호한 강유전체 반도체 계면을 형성하는 것은 극히 어려우며, 따라서 강유전체와 실리콘 계면 사이에 버퍼층을 삽입한 구조가 제안되어 많은 연구가 수행되고 있다. 현재 연구의 주류가 되어 있는 FET의 게이트 구조는 Si 기판과 강유전체 막과의 사이에 상유전성의 버퍼층을 삽입한 MFIS(M: 금속, F: 강유전체, I: 절연체, S: 반도체) 구조(그림 6(a))와, 강유전체 막과 상유전성 버퍼층과의 사이에 더하여 전도체를 삽입한 MFMIS 구조(그림 6(b))이다.

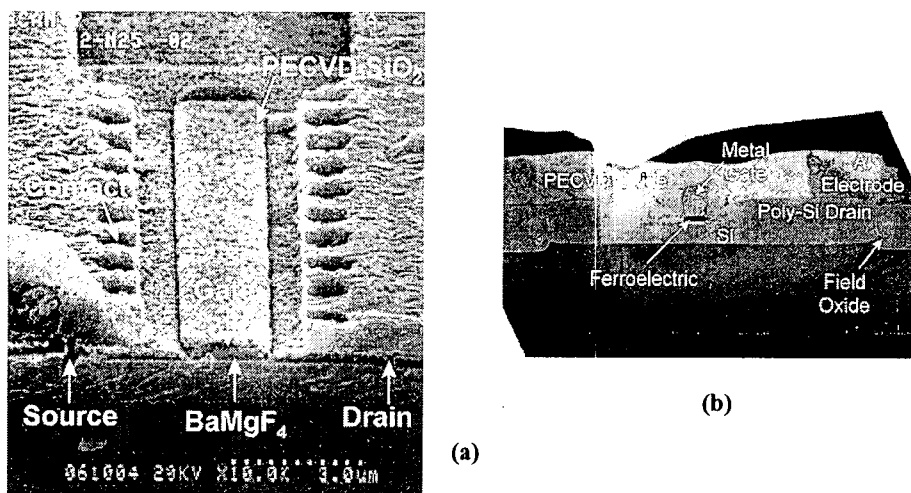


그림 5 제작된 BaMgF₄ 강유전체 트랜지스터의 구조 (SEM 사진) (a) 및 단면도 (TEM 사진) (b).

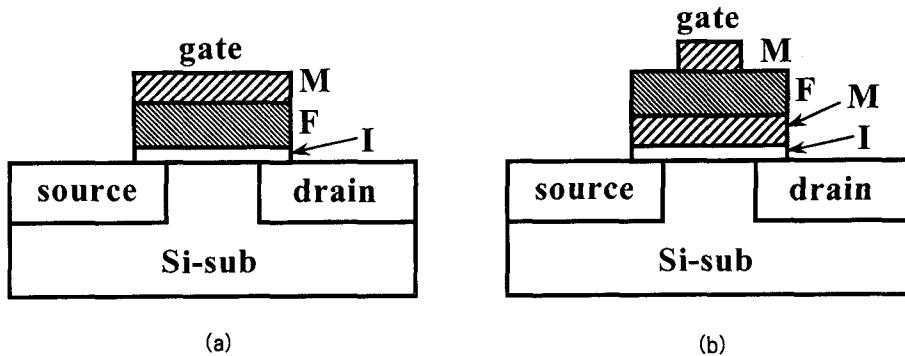


그림 6. MFIS 게이트 구조 (a)와 MFMIS 게이트 구조 (b)의 개념도. MFMIS 구조의 경우는 MFM부와 MIS부의 면적 비를 가변할 수 있음

MFIS 또는 MFMIS 구조를 통하여 재료적 또는 전기적 특성의 안정성은 얻을 수 있으나, hysteresis window(이력 윈도우)나 전류 구동력의 측면에서는 큰 단점이 발생하게 된다. MFIS와 MFMIS FET에 게이트 전압이 걸리면 이 전압은 강유전체 박막과 산화막에 분배가 되어, 각 박막의 두께와 유전율에 따라 실리콘 계면에 유기하는 전하량이 결정된다[16]. 이 전압 분배 효과에 의하여, 그림 7에서 보인 바와 같이, 강유전체의 분극 이력 특성은 감소하고 실리콘 계면에는 동일한 크기의 MOS FET의 경우보다 적은 드레인 전류가 흐르게 된다. 따라서 소자 축소화 경향에 맞추려면 버퍼층의 두께는 극히 얇거나 유전율이 아주 커야 함을 알 수 있다[17]. 그림 7에서 분배 효과를 과장하기 위하여 버퍼층의 두께로서는 다소 두꺼운 30 nm를 적용하였다.

또한, 이와 같은 강유전체 커패시터와 상유전체 커패시터와의 직렬접속으로 표현되는 구조는 다음에 서술하는 이유에 의하여 본질적으로 데이터 유지 시간이 나빠서, MFIS 형, MFMIS 형의 어느쪽에 있어서도 데이터 유지 시간이 1~2 시간 정도로 극히 짧다. MOSFET의 동작에 필요한 캐리어의

양은 2×10^{12} 개/cm² ($0.32 \mu\text{C}/\text{cm}^2$) 정도인데, 잔류분극에 의하여 표면 캐리어가 유효하게 유기되면, 분극의 질대치는 클 필요가 없다. 그러나, 게이트 부분의 재료 및 구조에 충분한 주의를 기울이지 않으면, 아래에 서술하는 바와 같은 문제가 생겨 양호한 유지 특성은 얻어지지 않는다[10,16].

MFIS FET에 대한 리뷰인 Ishiwar의 논의[10]를 참조하여 MFIS 구조에 대하여 해석해보기로 한다.

버퍼층을 사용한 강유전체 게이트 FET의 게이트 부분의 등가회로는 강유전체 커패시터와 상유전체 커패시터와의 직렬접속으로 표현된다. 전원을 꺼서 게이트 전극이 접지 상태로 되면, 직렬접속된 2개의 커패시터의 양단이 단락되게 된다. 또한, 강유전체 막의 잔류분극에 기초한 전하를 Q , 상유전체 커패시터의 용량을 C_i 로 하면, 양쪽 커패시터의 접속부에 있어서 실질 전하가 0이라는 조건으로부터, 상유전체 커패시터에도 전하 Q 가 나타나, 그 결과 $Q = C_i V$ 로 주어지는 전압이 발생한다. 이에 의하여 전원을 끌 때 강유전체 커패시터의 전하와 전압과의 관계는 $Q = -C_i V$ 로 되어, 강유전체 막중에는 분극 방향과 역방향의 전계(감분극 전계)가 발생한다. 특히, C_i 가 작은 경우(특히, 실리콘 산화막으로 버퍼층을 구성하는 경우)에는 V 가 항전계에 가까운 값이 되어 장기간의 데이터 유지는 극히 어렵다. 따라서, 강유전체 막중에 발생하는 감분극 전계를 작게 하기 위해서는, 비유전율이 높고, 막두께가 얇은 버퍼층을 사용하여 C_i 를 크게 할 필요가 있다.

또한, 감분극 전계에 의하여 강유전체 박막과 버퍼층에 누설 전류가 흐르면, MFIS 구조에서는 강유전체 막과 버퍼층과의 계면에, MFMIS 구조에서는 중간 M 층에 전하가 축적되어, 강유전체 박막으로부터의 전기력선을 차폐한다. 그 결과, 반도체 계면의 캐리어가 감소하여, 분극이 남아 있으나 기억 정보는 드레인 전류로 읽어내지 못하는 상태가 된다. 따라서, 버퍼층과 더불어 강유전체 막의 누설전류를 감소시키는 것이 극히 중요하다.

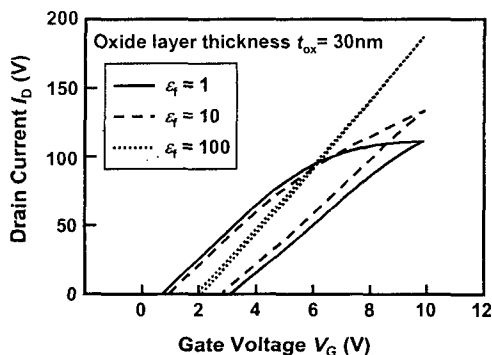


그림 7. MFIS FET의 드레인 전류-게이트 전압 특성의 ϵ_f 의존성

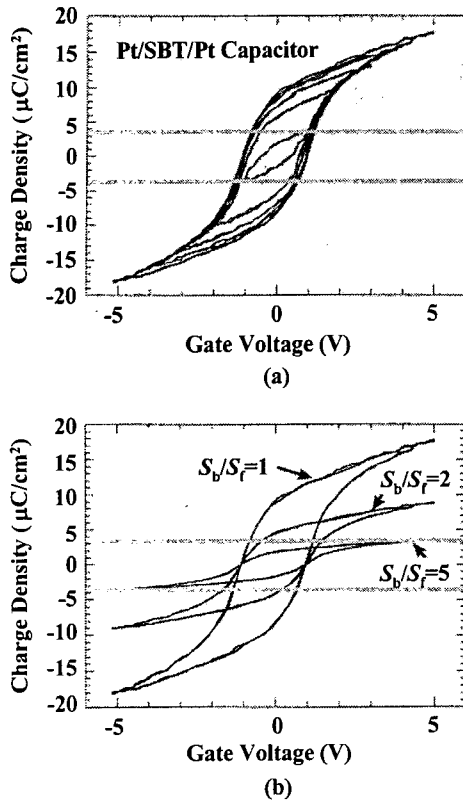


그림 8. SBT 커패시터와 SiO_2 커패시터 사이의 유기 전하밀도의 어긋남(a)과 커패시터 면적비의 최적화에 의한 어긋남의 해소(b)

강유전체 막의 분극 특성에 관해서는, 히스테리시스 형상이 각형에 가깝고 작은 감분극 전계에 의해서는 분극반전이 생기기 어려운 것이 중요하다고 생각된다. 또한, 동작시의 분극 상태에 관해서는, $P-V$ (분극-전압) 특성이 마이너 루프를 그리는 부분적 분극 상태에서가 아니라, 분극이 완전히 포화한 상태에서 사용하는 것이 중요하다.

예를 들어 버퍼층으로서 SiO_2 , 강유전체 막으로서 PZT나 SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)를 사용하는 경우에는, 강유전체 막의 비유전율쪽이 50~200 배 크다. 즉, 양쪽의 막두께, 면적이 같은 경우에는, 강유전체 막에는 인가 전압의 $1/50 \sim 1/200$ 의 전압 밖에 걸리지 않게 된다. 따라서, 강유전체 막에 유효하게 전압을 인가하기 위해서는, 강유전체 막의 두께를 상대적으로 두껍게 하고, 또한 MFMS 구조의 경우에는 강유전체 커패시터의 면적을 줄이는 것이 중요하다. 단, 강유전체 막을 지나치게 두껍게 하면, 메모리의 동작전압이 높아지기 때문에, 막두께만에 의한 최적화에는 한계가 있다.

SiO_2 가 절연파괴 되지 않는 한계내에서 잔류분극이 큰 강유전체 막의 $P-V$ 특성에 중첩시키면, 강유전체 막은 대단히 작

은 마이너 루프밖에 그리지 않는다. 이 모양을 그림8(a)에 나타내었다. 이 그림은 SBT 막의 측정 결과로서, SiO_2 막의 최대 전하밀도의 선을 더한 것이다. 이 그림에서 알 수 있는 바와 같이, 마이크로 루프상의 동작에서는, 양음의 항전압의 간격, 즉 메모리 동작을 위한 원도 폭이 좁고, 또한 분극이 포화되지 않기 때문에, 유지 특성도 나빠지리라고 예상된다. 이에 대한 해결책의 하나가 MFMS 구조를 채용하여 양쪽의 면적비를 바꾸는 것이다. 그림 8(b)는 강유전체 커패시터의 면적 S_b 을 버퍼층 커패시터의 면적 S_f 에 대하여 작게 한 경우에 히스테리시스 곡선이 등가적으로 어떻게 변화하는가를 나타내고 있다. 이 예에서는 $S_f/S_b = 1/5$ 로 함으로써 SiO_2 막이 절연 파괴되지 않는 조건으로 SBT 막의 포화 특성을 이용할 수 있다는 것을 알 수 있다.

고유전율 게이트 절연막에 요구되는 특성은, 그대로 강유전체 게이트 FET의 버퍼층에도 적용된다. 그러나, 누설전류의 허용치에 관해서는, 양쪽은 확실히 다르다. 즉, 고유전율 게이트 절연막의 경우에는, 최대로 $1 \text{ A}/\text{cm}^2$ 정도의 누설전류가 허용되는 데 대하여, 강유전체 게이트 FET의 버퍼층으로서 사용하여 장기간의 데이터 유지를 피하기 위해서는, 누설전류 밀도를 적어도 $1 \times 10^{-9} \text{ A}/\text{cm}^2$ 이하로 억제할 필요가 있다. 따라서, 동일한 재료를 사용하는 경우에는 고유전율 게이트 절연막쪽이 그만큼 박막화할 수 있다.

앞에서 언급된 Ishiwara의 리뷰는 학문적 연구의 입장에서는 타당하다고 판단되나 실제 집적화 관점에서 보면 면적을 달리하는 게이트 전극 구조를 만들면, 그만큼 소자당 소요 면적이 늘어나 불리하고 금속 전극의 선택적 식각의 어려움도 따르게 된다. 결국, 강유전체 박막의 재료와 두께와 아울러 소자의 구조를, 공정 종합성 및 정합성과 함께 고려해야 할 것이다.

5. 결 론

고유전율 및 강유전성 재료로부터 만들어진 커패시터 및 게이트 절연막의 현황에 관해서 개관하였다.

SiO_2 , Si-O-N , Ta_2O_5 에 이어 차세대 커패시터 절연막으로서의 현재까지는 BST가 유력한 후보인데, 아직 상·하부 전극 재료의 선택과 식각 및 열처리 등에 많은 과제들이 남아 있다. 물질과 화학당량의 복잡성, 증착 및 식각 메커니즘의 불확실성, 수율, 기존 공정과의 양립성, 전극 재료의 선택, 비용 등의 문제를 계속 해결해 나가야 한다.

고유전율 게이트 절연막에 대해서는, 현재 겨우 유력한 후보 물질을 선정할 단계인데, 표면 거칠기, 계면준위 밀도, 신뢰성, 장기 안정성 등의 세부적인 평가는 아직도 많이 연구해야 할 과제이다. 기존의 연구 결과에 의하면, 계면에 극히 얇은 SiO_2 또는 Si-O-N 층을 끼우거나 유전율이 높은 복합 산화막

이 될 가능성도 있다. 어떤 방향이라 하더라도, 게이트 길이 0.1 μm 이하의 FET의 표준적인 게이트 절연막 형성 기술로서 확립하기 위해서는 막 형성 기술, 열처리 기술, 식각 기술 등 여러 방면에 걸치는 종합적인 연구가 필요하다.

강유전체 게이트 구조에 관해서는, 강유전체 막을 Si 기판상에 직접 형성하는 것보다도 양쪽 재료 사이에 상유전성의 버퍼층을 삽입한 쪽이 현실적이라는 것이 제안되었고, 구체적인 재료 및 게이트 구조가 검토되었다. 즉, 극히 얇은 산화막 또는 비교적 두꺼운 고유전체를 끼우고 그 위에 강유전체 박막을 형성하는 MFIS 구조가 FET에 적용될 것으로 본다. 아울러 강유전체 게이트를 IC 또는 메모리에 적용하기 위해서는 소자 구조 및 구동 회로의 많은 개선이 뒤따라야 한다.

참 고 문 헌

- [1] G. E. Moore, IEEE IEDM Tech. Dig. p. 11 (1975).
- [2] The Int. Technology Roadmap for Semiconductors 1999, ed. Int. SEMATECH.
- [3] P. S. Peercy, Nature 406, 31, 1021 (2000).
- [4] A. I. Kingon, J.-P. Maria and S. K. Streiffer, Nature 406, 31, 1032 (2000).
- [5] S.-H. Lo, et al., IEEE Electron Dev. Lett. 18, 209 (1997).
- [6] D. E. Kotecki, Integr. Ferroelec. 16, 1 (1997).
- [7] 岩井 洋, 大見俊一郎, 應用物理(日本), 69, 4 (2000).
- [8] 財滿鎮明, 安田幸夫, 應用物理(日本), 70, 1050 (2000).
- [9] K. Kishiro, et al., Jpn. J. Appl. Phys. 37, 1336 (1998).
- [10] 石原 宏, 應用物理(日本), 69, 1090 (2000).
- [11] T. Amazawa, et al., J. Vac. Sci. & Technol. B17, 2222 (1999).
- [12] J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices 10, 338 (1963).
- [13] S. Y. Wu, IEEE Trans. Electron Devices 21, 2877 (1975).
- [14] J.-S. Lyu, et al., IEEE IEDM Tech. Dig., p. 537 (1996).
- [15] W.-G. Kang, J.-S. Lyu, S.-W. Kang and K. Lee, IEEE Electron Dev. Lett. 16, 2 (1995).
- [16] L. Miller and P. J. Mcwhorter, J. Appl. Phys. 72, 5999 (1992).
- [17] 정진우, 유종선, 김광호, 김보우, 응용물리 11, 108 (1998).

성명 : 유 병 곤

◆학력

1984년 2월 경북대학교 물리학과 이학사
 1987년 3월 일본 동경공업대학(TIT) 핵물리학 석사
 1990년 3월 일본 동경공업대학(TIT) 핵물리학 박사

◆경력

1991년 2월 일본 히다찌 중앙연구소 연구원
 1991년 3월-현재 한국전자통신연구원 책임연구원/팀장

성명 : 유 종 선

◆학력

1979년 2월 경북대학교 물리학과 (이학사)
 1981년 2월 한국과학기술원 물리학과 (이학석사)
 1993년 2월 한국과학기술원 물리학과 (이학박사)

◆경력

1981년 3월
 -1998년 6월 한국전자통신연구원 책임연구원
 1998년 7월-현재 옵토웨이퍼테크 기술이사 겸
 한국전자통신연구원 초빙연구원