

입계제어 기법 및 입계 특성을 이용한 세라믹센서 및 부품

박명범, 조남희
인하대학교 재료공학부

1. 서 론

최근에 컴퓨터, 신호처리, 통신, 전력 전송, 제어 시스템 등을 포함하는 전자 산업계의 전자 세라믹스 부품에 대한 요구는 다양해지고 있으며, 특히 전자 제품의 고성능화에 따라서 세라믹스 부품에 대한 고신뢰도 및 고기능성이 요구되고 있다. 다결정 세라믹스 센서의 물리적 특성은 입계의 특성에 의해서 매우 큰 영향을 받는다. 이러한 요구를 만족시키고자 많은 연구자들이 세라믹스의 독특한 전기적 거동과 관계되는 미세구조 제어에 큰 관심을 가지고 있으며, 특히 입계 구조 및 화학 특성을 정밀하게 제어하기 위해서 많은 연구들이 진행되고 있다.

입계의 물리적 특성을 제어하기 위한 시도로써 전통적인 세라믹스 공정에서는 첨가물질의 입계 편석을 이용한 시도가 많은 연구자들에 의해서 주로 수행되어 오고 있다(Fig. 1(a)). 그러나, 미세구조의 제어가 기존의 편석 원리를 이용한 접근 방법으로는 많은 한계를 가지고 있다.¹⁻⁵⁾

이를 해결하기 위해서 몇몇 연구 그룹에 의해서 소결체의 표면에 첨가 물질을 도포한 후 이차 열처리에 의해 입계를 따라 확산시킴으로써 입계의 구조 및 화학 특성을 제어하는 연구가 진행되고 있으나, 확산 방향에 따라서 입계 첨가물이 불균일하게 나타나는 문제점을 안고 있다(Fig. 1(b)).⁶⁻⁹⁾

또한, 소결과정이나 소결후 열처리 공정의 소결분위기를 조절함으로써, 입계의 특성을 제어하는 연구가 수행되고 있으며,¹⁰⁻¹³⁾ 분말 표면을 화학처리 하여, 소결체 입계 구조 및 입계 첨가물의 분포를 제어하는 전자 세라믹스 제조 기법도 시도 되고 있다(Fig. 1(c)).¹⁴⁻¹⁷⁾

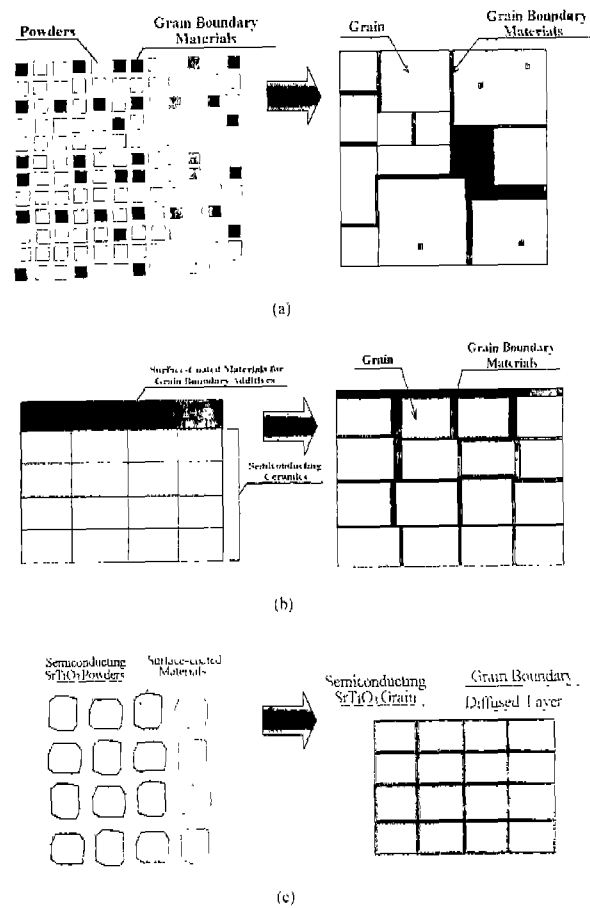


Fig. 1. Schematic diagram of the microstructure and the distribution of grain boundary materials of the ceramics. (a) The ceramics are synthesized from mixed powders of matrix and grain boundary materials powders. (b) Grain boundary additives are pasted on the surface of the sintered ceramics, and then post-sintering heat-treatment is performed. (c) The ceramics are synthesized by hot-press sintering the surface-coated semiconducting powders.

본 고에서는 세라믹스 센서의 특성을 얻기 위하여 시도되고 있는 입계의 물리적 특성 제어 기법들에 관한 연구 성과와 연구 동향에 대해서 살펴보았다. 그리고, 입계 특성을 이용한 세라믹스 부품의 원리 및 응용을 고찰하였다.

2. 편석현상을 이용한 입계제어 기법

입계 편석을 이용한 입계 제어 기법은 Fig. 1(a)에 보듯이, 입자 물질과 입계 첨가물질을 혼합한 후 소결함으로써, 소결 과정 중 첨가물질이 입계에 편석되는 원리를 이용한 입계 특성 제어기법이다. 입계 편석은 열처리 중에 첨가물질이 입계 주위에 불균일하게 분포하는 현상이다. 이 현상은 세라믹스 내 입계 영역의 화학, 전자 구조의 특성에 큰 영향을 미치게 된다.

입계 편석의 원동력으로는 정전기적 상호작용(electrostatic interaction), 탄성 변형 에너지(elastic strain energy), 정전기 및 탄성 변형 효과의 결합 (coupling of electrostatic and elastic strain effects), 전기 쌍극자 효과 (electric dipole effects) 등이 있다.

2-1. 입계 편석의 원동력

2-1-1. 정전기적 상호작용

이온 결정에서, 입계 결합 농도는 입계에서의 결합 생성 에너지에 의존한다. 입자(결정) 내부는 전기적으로 중성이므로, 결합 농도는 전기적 중성 원리의 적용을 받는다. 따라서, 입자와 입계에서 결합의 양은 서로 다르게 발생할 것이다. 이온 결합을 하는 물질에서 결합은 유효 전하를 가지며, 입계로부터 거리에 따라서 정전기적 전위가 다르다. 전위 차이는 입계에서 전하 용질 이온 편석의 한 요인이 된다. 즉, 이온 결정에서 입계는 알짜 전하를 띠고 있으며, 입계 주위에서 전위 차이는 입계에서 이온 물질의 편석을 발생시키게 된다.¹⁾

2-1-2. 탄성변형에너지

첨가물질의 이온 반경이 주물질의 이온 반경과 다를 때, 첨가물질이 주물질을 치환함에 따라서 격자 왜곡이 발생한다. 결과적으로, 격자의 탄성 변형 에너지의 증가가 발

생한다. r_1 가 첨가 물질의 이온 반경이고, r_0 를 주물질의 반경이라고 하면, 격자 불일치 Δr 은 다음 식 (1)과 같다.²⁾

$$\Delta r = r_1 - r_0 \quad (1)$$

탄성 변형 에너지는 격자 왜곡과 관련 있는 다음 식 (2)로 나타낼 수 있다.³⁾

$$U_0 = \frac{6\pi r_0^3 (\Delta r / r_0)^2}{1 + 3K_b / 4G_b} \quad (2)$$

여기서, K_b 는 용질의 벌크 계수 (bulk modulus)이며, G_b 는 매트릭스 물질의 전단 응력 계수 (shear modulus)이다. 식 (2)에 의하면, 변형 에너지는 격자 왜곡의 제곱에 비례한다.

입계는 입자와 비교시, 서로 배향성이 다른 두 입자 사이의 원자 배열이 영성한 얇은 영역으로 여길 수 있다. 입내와 비교하여, 입계에서 특정한 자리는 첨가물질 이온의 첨가에 대한 탄성 에너지의 증가가 작다. 입자 영역과 비교하여 원자 배열이 영성한 입계의 첨가 물질 편석은 탄성 변형 에너지 증가의 부분적 완화에 기여한다.

2-1-3. 정전기 및 탄성에너지 중첩 효과

이온 결합을 하는 물질 내 이온들은 전하를 가지고 있다. 이들의 입계 편석은 탄성 변형 에너지에 의해서 유도되며, 결과적으로 입계에서 전하 밀도의 변화를 가져온다. 탄성 변형 에너지는 다른 결합에 직접적인 영향을 주지 않더라도 새로운 정전기 전위는 입계 영역에서 나타내는 결합의 공간 분포에 의해서 변하게 된다.⁴⁾

2-1-4. 전기쌍극자 효과

첨가 물질에 기인한 결합은 첨가물질-공공 결합쌍을 형성하기 위해서 반대 전하의 결합과 결합할 수 있다. 이러한 결합의 결합은 각 결합이 별개로 독립되어 있는 경우와 비교시 낮은 생성 자유에너지를 가지게 된다.⁵⁾ 새로운 결합 유형인 결합쌍은 전기적으로 중성이나, 쌍극자 모멘트를 가진다. 공간 전하 영역에서 첨가물질-공공 결합쌍의 쌍극자는 일정한 전기적 힘을 받게된다. 그러나 정전기 전위와 탄성 변형 에너지 상호작용과 비교시 이 힘은 매우 작을 것으로 여겨진다.

결과적으로 첨가물질의 유효 전하에 의존하는 정전기 상호작용과 첨가물질의 이온 반경에 의존하는 탄성 변형 효과는 입계 편석의 정도를 결정하는 주요한 요소이다.

3. 소결체 제조 후 입계 확산에 의한 기법

입계의 물리적 특성을 제어하기 위해서 일반적으로 사용되는 입계 첨가물질의 편석 기법은 많은 연구자들에 의해서 수행되어 왔다. 그러나, 입계 첨가물의 분포를 포함한 미세구조가 함께 변화하기 때문에 입계 특성 제어에 많은 한계를 가지고 있다. 이를 해결하기 위해서 몇몇 연구 그룹에 의해서, Fig. 1(b)와 같이 소결체의 표면에 입계 첨가물질을 도포한 후 이차 열처리에 의한 확산 방법으로 입계의 구조 및 화학 특성을 제어하는 연구가 진행되고 있다.

Wernicke는⁶⁾ 소결 후 이차 열처리 공정 동안, 금속 산화물의 확산에 의해서 입계에서 연속적 액상을 형성시킬 수 있다고 제안하였다. 이와 관련하여 몇몇의 연구자들은 SrTiO₃ 소결체 입계층을 응용한 축전기 제조를 시도하였다. Franken은⁷⁾ TEM과 XPS를 이용하여 이러한 축전기 재료의 미세구조에 관해서 연구하였으며, 입계에 Bi-rich 층이 있음을 발견하였다. 최근에 Fujimoto와 Kingery는⁸⁾ HRTEM과 STEM을 이용하여, 다양한 공정 조건에서 제조된 커패시터의 확산층과 미세구조를 정밀하게 연구하였다. 이들은 서냉 공정 동안 재료의 입계를 따라서 생성되는 금속산화물의 조성 변화를 STEM으로 관찰하였다. 입계에서 Bi, Pb, Cu의 농도는 입내와 비교시 증가하였으나, Sr의 농도는 감소하였다. 입계의 양면으로부터 약 50 nm 이내에 확산층이 존재하였으며, 이는 입계 편석된 시편으로부터 기록되는 폭보다 큰 값이다.

반도성 BaTiO₃ 세라믹스 표면에 산화물 분말을 도포한 후, 고온에서 열처리하면 도포된 산화물이 반도성 세라믹의 입계로 확산되며, 입계는 절연층으로 변한다. Waku는⁹⁾ 이 방법을 이용하여 상대유전율이 20,000인 입계층형(BL, boundary layer) 축전기를 개발하였다. 잘 알려져 있듯이, BL 축전기는 입자 및 입계에 의한 많은 축전기들의 직렬 및 병렬 연결이다. 입계 첨가 물질 도포 후 이차 열처리된 BL 구조 소결체의 상대 유전율은

일반적인 편석 기법으로 제조된 소결체의 상대 유전율보다 매우 크다.

4. 소결 분위기 제어에 의한 입계 제어 기법

PTC 써미스터 제조시, 특정한 전기적 특성을 얻기 위해서 산화 분위기에서 냉각과 열처리가 필요하다.¹⁰⁾ 적당한 양의 산소가 포함된 공기 분위기에서 냉각 또는 열처리가 흔히 수행된다. PTC 써미스터 제조에서 공기 분위기에서 산소의 역할은 입계 전위 장벽의 형성에 주요하다.

PTC 써미스터에 관련한 문헌 중에 산화 현상에 대한 두 가지 다른 물리적 해석이 제안되고 있다. 이는 입계 받개 상태 형성에 관한 것으로서,¹¹⁻¹³⁾ 첫 번째는, 산소 이온이 입계를 따라서 흡착후, 결정 표면으로부터 전자를 포획하는 입계 상태를 만든다는 것이다. 표면의 상태와 유사한 개개의 입계 전위 장벽이 형성되며, 이는 고전적인 이중 쇼트키 장벽에 의해서 묘사되어진다. 두 번째는, 입계 산화가 내부 받개 결함을 형성한다는 것이다. 소결 후 냉각 단계동안 이 결함이 입자 내부로부터 입자 표면으로 낮은 확산이 일어나며, 입계에 back-to-back 접합을 형성한다.

BaTiO₃ 세라믹스의 입계 전위 장벽 형성은 환원-재산화 소결에 의해서 조절된다. 이러한 방법을 이용하여 입계 축전 용량을 크게 증가시킬 수 있다. ZnO 바리스터의 비선형 거동이 산소 가스에 의해서 발생한다는 실험적인 결과들이 많은 연구자들에 의해서 제시되고 있다. 산소와의 상호 작용에서 언급되는 기본적인 입계 현상은 매우 중요하다. 산화 분위기에서 수행되는 소결이나 산소나 공기 중 열처리는 바리스터의 안정성 또는 전기적인 퇴화의 특성을 향상시킨다.

5. 표면 코팅된 분말을 이용한 입계 제어 기법

최근의 연구 동향을 보면, 원하는 물성을 가지는 세라믹을 제조하기 위해서 세라믹의 입계 구조 및 화학을 정밀하게 설계 및 구현할 수 있는 기법들에 관한 연구들이 시도되고 있다. 이와 같은 시도로서, Fig. 1(c)와 같이 분말 표면을 화학 처리한 원료를 이용하여 소결체를 제조하는 기법이 시도되고 있다.¹⁴⁻¹⁷⁾

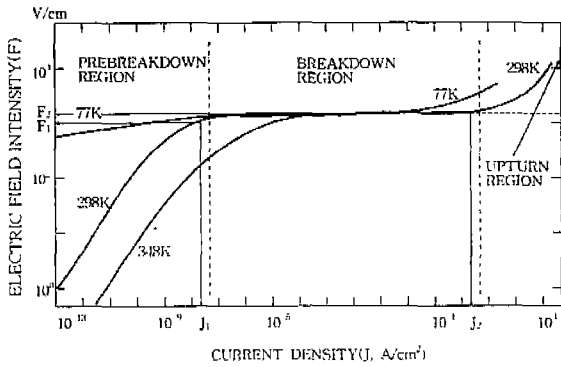


Fig. 2. Current-voltage characteristics of a metal oxide varistor at 77K and for a small range of temperatures near 300K. The exponent α equals the inverse slope of the curve and is a measure of device nonlinearity.⁵⁾

이 기법은 기존의 기법들과 비교시, 원료 분말 표면에 입계 첨가물을 코팅한 후, 이 분말을 사용하여 세라믹스를 제조함으로써, 세라믹스의 입계 구조 및 입계 첨가물 분포를 정밀하게 제어할 수 있는 장점이 있다. 특히 입계 첨가물에 대하여 거의 독립적으로 입자의 화학과 전기적 특성을 부여할 수 있으며, 또한 입계 첨가물을 균일하게 소결체 내 모든 입계 주위에 분포시킬 수 있다.¹⁵⁻¹⁷⁾ 이 기법으로 제조된 세라믹스 내 입계 화학 물질 분포의 제어를 바탕으로 입계의 전기적 특성의 설계 가능성이 보고 되고 있다.¹⁷⁾

6. 바리스터

6-1. 바리스터의 전기적 특성 및 응용

바리스터(Varistor)는 인가 전압의 세기에 따라서 저항치가 큰폭으로 변하는 소자를 말한다. Fig. 2에 보듯이, 인가 전압을 증가시키에 따라서, 특정한 전압(바리스터 전압)까지는 높은 저항을 가져 전류가 거의 흐르지 않으나, 특정 전압을 넘어서면 저항이 갑자기 낮아져서 전류가 급증하게 된다.¹⁸⁾

바리스터는 전압 안정화와 써지(surge) 흡수에 폭 넓게 쓰인다.¹⁹⁾ 예로서, 전압 안정화로는 TV 브라운관의 양극 전압의 안정화에 쓰이고 있으며, 써지 흡수로는 산업용 전자기기 내 반도체 소자의 보호 등에 사용되고 있다. 또한, 발전, 송전, 배전 등의 전력 시설을 낙뢰로부터 보호하는 피뢰기에도 사용되고 있다.

6-2. 바리스터의 작동 원리 및 입계 특성

바리스터의 미세구조와 전기적 특성의 연구로부터 얻어지는 결과를 기초로 하여, 바리스터 전기전도도의 이해에 대한 연구가 수행되어 왔다. 특히, 비선형 계수의 높은 값, 바리스터의 전류-전압 특성을 설명하기 위한 미세구조에 대한 효과, 입자간 상의 역할, 비선형 거동을 보이는 세라믹스 재료 내 포함된 상과 개개의 미세구조의 기여, 제조 공정 변수의 중요성 등에 관련하여 주요한 연구가 진행되고 있다.²⁰⁻²³⁾

바리스터의 비선형성을 설명하기 위해서, 몇가지 모델들이 제시되고 있다. 이중 중요한 모델들을 살펴보면 다음과 같다.

바리스터의 비선형적인 전기 전도도에서 결정적인 역할을 하는 것은 입계에서 형성되는 전위 장벽으로 여겨지고 있으며, 전류-전압 특성의 모양과 온도의 영향을 설명하기 위해서는 적어도 두 개의 반송자 기구가 필요할 것으로 생각되어진다.

바리스터 초기 모델은 연속적인 입자간 상에 의해서 입자가 둘러 싸여 있다는 가정에서 만들어졌으며, 입계를 통해서 흐르는 전류는 공간 전하와 입자간 상에 존재하는 포획 준위의 수에 의해서 영향을 받는다고 보고하였다.²¹⁾ 이에 따르면, 포획에 의해서 한정되는 반송자의 수가 높은 전압 인가시 입계 상에 주입되며, 결과적으로 전류는 급격하게 증가한다.

또 다른 모델에 따르면, 바리스터 전압 이하에서는 반도체 입자 사이의 입계에서 쇼트키 열방출(Shottky thermal emission)에 의한 전도가 일어나며, 바리스터 전압

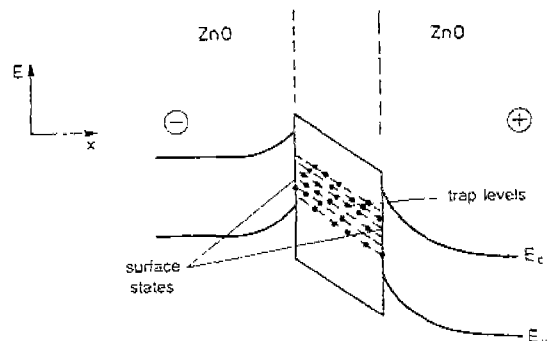


Fig. 3. Energy structure of the ZnO grain boundary at $V > 0$; E_c - bottom of the conduction band, E_v - top of the valence band.⁶⁾

이상의 고전압에서는 터널링 현상(tunneling phenomena)에 따른 전도가 발생한다. 이 모델에서는 매우 얇은 절연 특성을 가지는 입자간 상에 의해서 반도체 입자들이 둘러 쌓여 있다고 가정하였다.²²⁾

한 예로서, Eda는²³⁾ ZnO의 입계에 존재하는 두 개의 back-to-back 쇼트키 장벽을 제안하였으며, Fig. 3에 보듯이 세라믹스 내 입자들은 50 nm를 넘지 않는 폭을 가지는 입계간 층에 의해서 분리되어 있다. 고전압에서는 전기장에 의해서 ZnO 전도대의 표면 또는 입계간 층으로 전자가 주입되며, 포획 전자를 통한 전자의 터널링이 일어난다. 한 쪽 표면 상태에 도달한 전자는 고전압에서 입계 반대 또는 ZnO 입자 전도대로 다시 터널링된다. 바리스터 전압 이하에서는 열전자 방출에 의해서 입계 장벽을 넘게 된다.

이들 여러가지 모델에서, 기본적인 가정은 입자와 입계 특성에 의해서 바리스터의 전기적 특성이 결정된다는 것이다. 따라서, 바리스터의 전기적 특성을 제어하기 위해서는 입자와 입계 등의 미세구조 제어가 반드시 요구되어진다.

7. 정온도계수 써미스터

7-1. 정온도계수 써미스터의 전기적 특성 및 응용

정온도계수 (PTC, positive temperature coefficient) 써미스터(thermistor)는 온도가 증가함에 따라서, 낮은 온도 영역에서는 일반 저항체와 같이 온도에 따른 저항 변화가 크지 않지만, 큐리 온도(Curie temperature) 근처에서는 온도가 증가함에 따라서 저항이 급격히 증가되는 현상을 나타내는 소자이다 (Fig. 4).²⁴⁾ PTC 써미스터의 저항-온도계수가 높은 이유는 넓은 온도 범위에서 저항이 온도가 증가함에 따라서 지수 함수적으로 감소하는 반도체 세라믹스의 고유 특성, 온도에 따른 전도 기구의 변화를 발생시키는 구조적인 요인, 강유전 세라믹스에서 유전특성의 급격한 변화로 입계 영역에서 전자적 특성의 변화에 기인하여 좁은 온도범위에서 저항이 급격히 증가하기 때문이다.¹⁹⁾

이와 같은 PTC 써미스터의 저항-온도 특성을 이용하여, 이 소재는 온도의 측정, 제어, 그리고 보상 소자로 사용될 수 있으며, 전류-전압 특성을 이용하여 정온 발

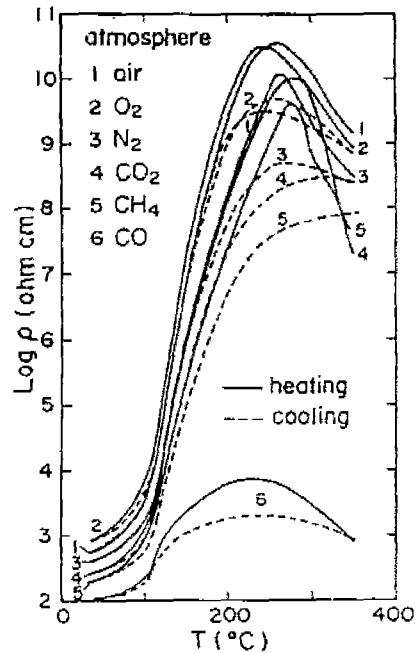


Fig. 4. Influence of ambient gas on the resistivity-temperature characteristic of a porous PTC materials.²⁾

열체, 전류 제한기로 활용할 수 있고, 전류-시간 특성을 이용하여 기동 소자(모터, 릴레이), TV의 degaussing 소자, 타이머 지연소자에 응용할 수 있다.¹⁹⁾

7-2. PTC 써미스터의 작동 기구 및 입계 특성

PTC 저항 변화 현상이 발견된 이후, Heywang은 이 현상을 설명하기 위한 입계 모델을 제시하였다. 그의 모델에 따르면 특정 온도에서 관찰되는 전기 저항의 급격한 변화는 BaTiO₃ 입자의 입계 에너지 밴드 구조 변화에 의해서 발생한다. 일반적인 입계 구조는 Fig. 5와 같이 표현된다.²⁵⁻²⁶⁾ 이 모델에서, 입계의 구조적 결함과 흡착된 산소 등에 기인하여 입계에서 전자 포획 준위 형성되며, 결과적으로 큐리온도 이상에서 입계에 전위 장벽을 형성하게 된다. 이런 전위 장벽 V_b 는 다음과 같은 식 (3)으로 나타내어진다.

$$V_b = \frac{eN_s^2}{2\epsilon\epsilon_0 N_D} \quad (3)$$

여기서, ϵ 는 BaTiO₃의 상대 유전 상수이고, ϵ_0 는 진공의 유전상수, N_D 는 주개 준위의 농도, e 는 전자 하나의 전

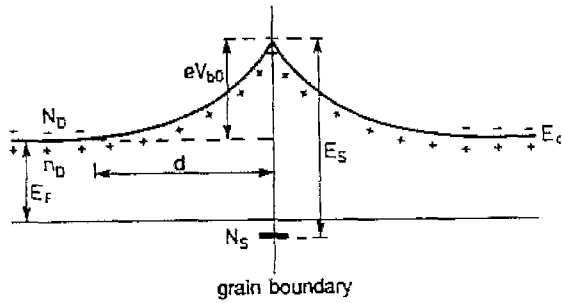


Fig. 5. Potential barrier at a grain boundary between barium titanate grains.³⁾

하량, N_S 는 표면 상태의 농도이다. 전위 장벽 $E_b = eV_b$ 에 의하여 재료의 전기 비저항 내 $\exp(E_b/kT)$ 의 항은 증가하게 된다. 큐리 온도 이상에서, E_b 는 약 0.5 eV이었다. 입계 전위 장벽 변화는 큐리 온도에서 발생하는 강유전-상유전 전이에 의해서 설명되어 지고 있다. Curie-Weiss 관계에 따르면, 큐리 온도 이상의 온도에서 온도가 증가함에 따라 상유전체가 되며 (Fig. 6). 입계 전위 장벽은 증가한다.²⁷⁻²⁸⁾ 입계 전위 장벽에 대하여 전기 전도는 지수적으로 변화하며, 비저항의 급격한 증가가 발생한다.

이상적인 PTC 써미스터는, 큐리온도 이하에서는 금속처럼, 큐리온도 이상에서는 절연체처럼 거동한다. 큐

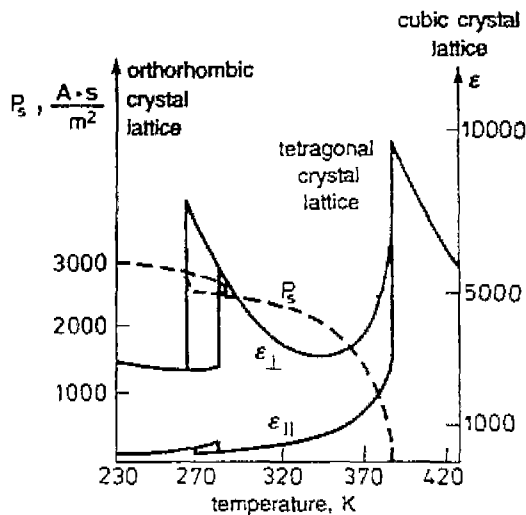


Fig. 6. Changes of the dielectric constant (ϵ) and polarization (P_s) due to the phase transformations that occur in a barium titanate crystal; ϵ_{\parallel} and ϵ_{\perp} are the phase transformations that occur in parallel and perpendicularly, respectively, to the polarization vector (Haywang, "Semiconductor barium titanate," J. Mater. Sci., 6, 1214 (1971)).

리온도 이하에서, 이 써미스터의 전기전도는 주로 반송자의 수와 이동도에 의해서 결정되어진다. PTC 써미스터 소자의 입계 특성 제어에 의해서 PTC 저항 변화 크기를 정밀하게 제어할 수 있다.²⁹⁾

8. 세라믹 가스센서

8-1. 세라믹 가스센서의 전기적 특성 및 응용

세라믹스 가스 센서는 주로 가스의 흡착 및 탈착을 이용한 반도체식 가스 센서와 가스의 반응성을 이용한 접촉 연소식 가스센서가 있다. 반도체 표면에 기체 분자가 흡착되면 반도체의 유형과 기체 분자의 종류에 따라 반도체의 전기전도도가 변화한다.³⁰⁾

일반적으로, n-유형 반도체에 수소, 일산화탄소, 프로판 가스 등의 환원성 가스가 흡착되면 흡착분자로부터 반도체로 전자가 이동하여 n-유형 반도체의 반송자 밀도가 증가하여 전기전도도가 증가한다. 산소, 질소 산화물 등의 산화성 가스가 흡착하는 경우에는 반송자의 밀도가 감소하여 전기전도도가 낮아진다.³¹⁾

따라서, 가스 센서를 적당한 회로에 연결하여 피검가스를 접촉시켰을 때의 저항 변화를 이용하여 가스의 종류와 양을 감지하는 것이다. 이때, 가스 센서는 가스의 흡착 및 탈착 속도가 클 필요가 있는데, 보통 흡착 및 탈착은 실온 근처에서는 완만하며 적어도 100°C 이상의 온도가 유지되어야 한다. 일반적으로 가스 센서에는 히터를 구성하여 감지부에 부착되는 기름이나 먼지 등을 연소시키며, 가스의 흡착 및 탈착을 빠르게 하기 위하여 200 ~ 300°C에서 사용한다.

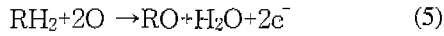
8-2. 세라믹 가스센서의 원리 및 입계 특성

n-유형 반도체인 ZnO 또는 SnO₂는 비화학양론 반도체이다. 표면에서 형성되는 이중층은 표면 결함과 흡착층이며, 공핍층 또는 축적층을 형성한다.³²⁾ 가스 센서의 제조 공정이 완료된 후, 소자의 입자 표면은 산소 이온이 흡착될 수 있으며, 식 (4)와 같은 반응이 발생한다.



결과적으로, 입자 표면은 산소 이온의 원자층으로 덮

여진다. 이 과정동안 발생하는 전하 농도 변화에 의해서 n-유형 반도체 표면에 전위장벽 층을 형성한다. RH₂와 같은 환원성 기체로 채워져 있는 분위기에서는 식 (5)와 같은 화학 반응 평형이 이루어진다.³³⁾



낮은 온도에서 소결된 세라믹스에서는 입자 사이의 넥(necks)을 통해서 전기 전도가 발생하며, 표면에서 O²⁻ 이온의 농도는 전위 장벽의 높이를 결정한다. Morrison 에³⁴⁾ 의하면, 용융 환원성 물질인 RH₂를 포함하지 않는 공기에서, 흡착된 O²⁻ 이온의 수는 커지게 되고, 가스 센서의 저항은 높아지게 된다. 반면에 RH₂의 농도가 증가함에 따라 가스 센서의 저항은 감소하게 된다. Fig. 7에 보이듯이, 흡착된 이온의 종류와 온도에 의해서 결정 표면의 에너지 구조가 변화하기 때문에, 입계의 에너지 구조는 분위기에 의존한다.

9. 반도체형 세라믹스 축전기

9-1. 반도체형 세라믹스 축전기의 전기적 특성 및 응용

반도체 세라믹스 축전기는 티탄산 바륨(BaTiO₃)이나

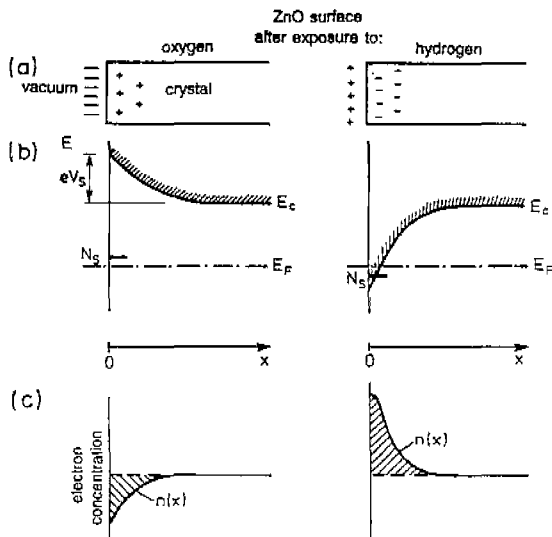


Fig. 7. The potential barrier (depletion layer) and the accumulation layer formed due to oxygen or hydrogen acting upon the surface of a ZnO crystal: (a) electric charge regions, (b) energy band model, (c) charge distribution; N_s - surface states.¹⁷⁾

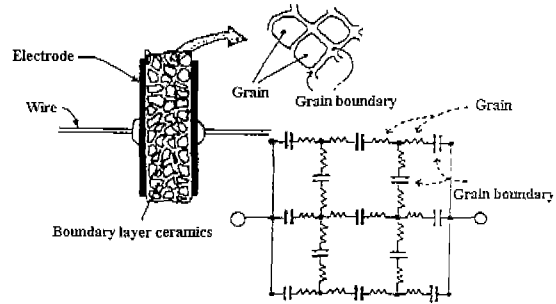


Fig. 8. Schematic diagram of BL semiconductor capacitors.

티탄산 스트론튬(SrTiO₃) 등의 세라믹스를 이용하는 축전기이다. 반도체 세라믹스 축전기는 배리어(Barrier)형, 재산화형(reoxidation), 입계층형 (BL, boundary layer) 반도체 축전기 등이 있다.²⁰⁾ 이 중에서 BL 반도체 축전기의 유전 특성은 반도체 세라믹스의 입계에서 형성되는 입계 절연층에 의해서 결정된다. 즉, 세라믹스 내 입자들이 입계 절연층에 의해서 둘러 쌓여 있는 형이다. Fig. 8의 등가회로와 같이 축전기가 병렬 또는 직렬로 여러 개가 연결 되어 있는 축전기를 형성하고 있다.³⁵⁾

BL 반도체 축전기에서 유전체 역할을 하는 입계층은 얇은 절연층이며, 전극 역할을 하는 반도체 입자면의 합계면적이 대단히 크므로 전체적으로 축전기가 초소형인 데도 불구하고, 대용량의 축전기가 된다. 결정 입자가 반도체 세라믹스의 작은 입자이므로 이 반도체 입자 사이에 대단히 얇은 절연층이 생기게 되어, 아주 작은 축전기를 만들게 되고 전체적으로 이와 같은 것이 무수히 많이 결합된 형태가 된다. 이렇게 해서 초소형 축전기가 직렬로 연결된 형이 되어 이 BL 반도체 축전기는 초소형이면서 큰 용량을 가지게 되는데 다른 형의 반도체 세라믹스 축전기와 비교하면 절연저항이 크고 주파수 특성도 양호하다는 장점이 있어서 높은 주파수까지 이용되고 있다. 특히, 티탄산 스트론튬계 BL형 축전기는 특성도 좋고 안전하므로 반도체형에서 주역이 되어가고 있다.

9-2. 반도체형 세라믹스 축전기의 원리 및 입계 특성

BL형 반도체 축전기의 본체가 되는 것은 티탄산 바륨과 티탄산 스트론튬에 미량의 La를 첨가해서 소성한 반도체 세라믹스다.³⁶⁾ 즉, 이 반도체 세라믹스의 입계 특성을 금속산화물, 예를 들면 산화비스무트, 산화 망간,

산화 제이구리, 산화 탈륨 또는 이들의 혼합물을 입혀서 한번 더 고온에서 가열하는 2차 소성 공정을 거친다. 또는 미리 입혀서 소성한 것과는 달리 처음부터 세라믹스 재료와 혼합하여 소성한 후 공기중에서 2차 가열하는 방법도 있다. 어떤 방법을 취하더라도 이차 소성 공정에서 미량 첨가한 금속 산화물은 열확산되어 반도체 세라믹스 입계에 스며들어간다. 이와 같이 하여 결정 입자 사이에 스며든 금속 산화물은 전기적으로 절연체이므로 입계에 절연층이 만들어진다. 절연 특성을 가지며 일정한 폭을 가지는 입계 근처의 층을 형성시키면, 반도체 입자와 함께 이중의 복합구조를 만들 수 있으며, BL 축전기를 제조 할 수 있다.³⁷⁾

10. 연구 방향 전망

일반적으로 반도체 세라믹스의 특성은 세라믹스 재료 내 입계구조 및 화학특성에 의해서 주로 결정되며, 특히 바리스터, PTC 써미스터 및 가스센서 등에서 중요하게 사용되는 반도체 ZnO, SrTiO₃, BaTiO₃ 산화물의 특성은 재료 내 입계 구조 및 화학적 특성에 의해서 크게 영향을 받는 것으로 알려져 있다.

많은 연구자들이 이들 전자 세라믹스의 입계 구조 및 화학적 특성과 입계에 의해서 발생하는 전자 세라믹의 독특한 전기적 거동의 상관관계에 큰 관심을 가지고 있으며, 입계의 특성을 제어하기 위해서 많은 연구들이 진행되고 있다. 이들 반도체 세라믹스의 입계화학 및 전기적 특성에 관한 연구는 시행착오적(trial & error) 경험을 요구하는 현상적인 연구들로서, 전자 세라믹스 작동 특성 제어에 한계를 나타내어서, 전자 세라믹스 내 입계 제어에 관한 많은 연구에도 불구하고 입계와 전기적 특성과의 상관관계에 대한 이해와 제어 성과는 매우 미흡한 형편이다. 따라서 최근에 요구되어지고 있는 높은 작동 신뢰성과 매우 정밀한 작동 특성을 가지는 세라믹스 센서를 제조하는 데 있어서 많은 어려움이 있다.

최근의 연구 동향을 보면, 원하는 물성을 가지는 세라믹스를 제조하기 위해서 세라믹스의 입계 구조 및 화학을 정밀하게 설계 및 구현할 수 있는 기법들에 관한 연구들이 시도되고 있다. 표면 처리된 원료 분말을 이용하여 세라믹

스의 입계구조 및 입계 첨가물의 분포를 제어하는 연구 결과에서 보듯이, 세라믹스 입계 설계의 가능성에 관한 연구들이 보고 되고 있다. 특히, 입계의 화학 특성과 이에 상관되는 전기적 특성을 예측할 수 있는 기법에 관한 연구들이 보고되고 있으며, 이를 바탕으로 공정 변수에 따른 제품의 전기적 특성을 설계할 수 있는 기법들에 대한 연구가 수행되어 지고 있다. 이와 같은 새로운 개념의 공정 기법을 이용한 전자 세라믹스 제조 기법의 개발에 관한 연구는 높은 작동 신뢰성과 매우 정밀한 작동 특성을 가지는 세라믹스 센서 등의 제조 기술을 제공할 것이다.

참고 문헌

1. W. D. Kingery, "Plausible concepts necessary and sufficient for interpretation of ceramic grain-boundary phenomena: Part II, solute segregation, grain-boundary diffusion and general discussion," *J. Am. Ceram. Soc.*, **57**, 1 (1974).
2. D. McLean, Grain boundaries in metals, Clarendon Press, Oxford, 1957.
3. M. F. Yan, R. M. Cannon and H. K. Bowen, "Space charge layer, elastic field and dipole contributions to equilibrium solute segregation at interfaces," *J. Appl. Phys.*, **54**, 764 (1983).
4. M. H. Rahaman, Ceramic processing and sintering, Marcel Dekker Inc., New York, Basel, Hong Kong, 1995.
5. R. Wernicke, N. Yamaoka, Y. Yamaoka, and S. Kakubari, "Intergranular insulation type polycrystalline ceramic semiconductor composition," U.S. Pat. No. 3933688, 1976.
6. P. E. C. Franken, M. P. A. Viergeers, and A. P. Gehring, "Microstructure of SrTiO₃ boundary-layer capacitors during and after processing and the resultant electrical properties," *J. Am. Ceram. Soc.*, **64**, 687 (1981).
7. M. Fujimoto and W. D. Kingery, "Microstructures of SrTiO₃ internal boundary layer capacitor having varistor characteristics," *J. Am. Ceram. Soc.*, **68**, 169 (1985).
8. S. Waku, A. Nishimura, T. Murakami, A. Yamaji, T. Edahiro and M. Uchidate, "Classification and dielectric characteristics of the boundary layer ceramic dielectrics (BL dielectric)," *Rev. Electr. Communication Lab.*, **19**, 665 (1971).
9. A. B. Alles and V. L. Burdick, "Grain boundary oxidation in PTCR barium titanate thermistors," *J. Am. Ceram. Soc.*, **76**, 401 (1993).
10. G. H. Jonker, "Some aspects of semiconducting barium titanate," *Solid-state electron.*, **7**, 895 (1964).
11. J. Daniels and R. Wernicke, "The PTC effect of barium titanate," *Philips Res. Rept.*, **38**, 73 (1978/1979).

12. J. Daniels and R. Wernicke, "Part V. new aspects of an improved PTCR model," *Philips Res. Rept.*, **31**, 544 (1976).
13. Y. S. Cho, L. Brissette, and V. R. W. Amarakoon, "Effect of sol-gel coating on microstructure and electrical properties of microwave garnets," *Mat. Res. Soc. Symp. Proc.*, **411**, 289 (1996).
14. L. Schneider-Storman and M. Vollmann, R. Waser, "Grain-boundary decorated titanate ceramics: preparation and processing," *Solid State Ionics*, **75**, 123 (1995).
15. 박명범, 김정돈, 허현, 조남희, "표면 코팅된 분말을 이용하여 제조된 반도체성 SrTiO₃ 소결체의 임계화학과 전기적 특성," *요업학회지*, **36**, 1251 (1999).
16. 박명범, 김정돈, 조남희, "표면 코팅된 분말을 이용하여 제조된 반도체성 BaTiO₃ 소결체의 임계화학과 전기적 특성," *한국세라믹학회지*, **37**, 338 (2000).
17. M.-B. Park and N.-H. Cho, "Grain boundaries in semiconducting SrTiO₃ and BaTiO₃ ceramics synthesized from surface-coated powders," *J. Am. Ceram. Soc.*, **84**, 1937 (2001).
18. H. R. Philips and L. M. Levison, "High-temperature behavior of ZnO-based ceramic varistors," *J. Appl. Phys.*, **48**, 1621 (1979).
19. S. Saito, Fine Ceramics, Elsevier Pub., New York, Amsterdam, London, 1988.
20. L. Hozer, "Semiconductor Ceramics," Ellis Horwood, New York, London, Toronto, Sydney, Tokyo, Singapore, 1994.
21. M. Matsuoka, T. Masuyama and Y. Idia, "Voltage non-linearity of zinc oxide ceramics doped with alkali earth metal oxide," *Jpn. J. Appl. Phys.*, **8**, 1275 (1969).
22. L. M. Levinson and H. R. Philips, "Conduction mechanism in metal oxide varistors," *J. Solid State Chem.*, **12**, 292 (1975).
23. K. Eda and M. Matsuoka, "Conduction mechanism of non-ohmic zinc oxide ceramic," *J. Appl. Phys.*, **49**, 2964 (1978).
24. P. W. Haayman, R. W. Dam and H. A. Klasens, "Method of Preparation of Semiconducting Materials," *German Patent*, **929**, 350 (1955).
25. W. Heywang, "Resistivity Anomaly in Doped Barium Titanate," *J. Am. Ceram. Soc.*, **47**, 484 (1961).
26. F. A. Selim, T. K. Gupta, L. Hower and W.G. Carson, "Low voltage ZnO varistors: devices process and defect model," *J. Appl. Phys.*, **51**, 765 (1980).
27. W. Heywang, "Bariumtitanat als sperrschichtthalleiter," *Solid State Electron.*, **3**, 51 (1961).
28. G. H. Jonker, "Some aspects of semiconducting barium titanate," *Solid State Electron.*, **7**, 895 (1964).
29. S. B. Desu and D. A. Payne, "Interfacial segregation in perovskites: I, Theory," *J. Am. Ceram. Soc.*, **73**, 3391 (1990).
30. G. Heiland, "Zum einfluss von wasserstoff auf die elektrische leitfähigkeit and der oberflache von ZnO-kristallen," *Z. Physik*, **148**, 15 (1957).
31. W. Gopel, H. D. Wiemhofer, U. Kirner and G. Rocker, "Surface and bulk properties of TiO₂ in relation to sensor applications," *Solid State Ionics*, **28-30**, 1423 (1988).
32. R. S. Morrison, "Selectivity in semiconductor gas sensor," *Sensors and Actuators*, **12**, 425 (1987).
33. P. K. Clifford and D. T. Tuma, "Characteristics of semiconductor gas sensors: II, transient response to temperature changes," *Sensors and Actuators*, **3**, 233 (1982/83).
34. R. S. Morrison, "Selectivity in semiconductor gas sensor," *Sensors and Actuators*, **12**, 425 (1987).
35. G. Goodman, "Capacitors based on ceramic grain boundary barrier layers," in *Advances in Ceramics*, *Am. Ceram. Soc.*, Columbus, Ohio, **1**, 215, 1981.
36. S. K. Sundram, "Complex-plane impedance analysis of PTC thermistor-intergranular capacitor transition," *J. Phys. D, Appl. Phys.*, **23**, 103 (1990).
37. W. D. Kingery, "Plausible concepts necessary sufficient for interpretation of ceramic grain-boundary phenomena: Part I, grain-boundary characteristics, structure and electrostatic potential," *J. Am. Ceram. Soc.*, **57**, 74 (1974).



박명범

- 1998년 인하대학교 공과대학(학사)
- 2001년 인하대학교 대학원(공학박사 수료)
- 2001년 현재 인하대학교 대학원 박사 과정



조남희

- 1981년 서울대학교 공과대학(학사)
- 1983년 서울대학교 대학원(공학석사)
- 1989년 미국 코넬대학교(공학박사)
- 1989년 - 1991년 미국 로렌스버클리 연구소 연구원
- 1991년 - 1994년 한국과학기술연구원, 선임연구원
- 1994년 - 현재 인하대학교 공과대학, 부 교수