

열화가 억제된 다결정 실리콘 박막 트랜지스터의 제작 및 소자의 열화 특성 분석

論 文
50C-10-2

Analysis on Degradation of Poly-Si TFT's and Fabrication of Depressed Poly-Si TFT

金容商* · 朴珍爽** · 趙鳳熙*** · 吉相瑾*** · 金榮浩***
(Y. S. Kim · J. S. Park · B. H. Cho · S. K. Gil · Y. H. Kim)

Abstract - The on-current of offset and LDD structured devices is slightly decreased while the off-current are remarkably reduced and almost constant independent of gate and drain voltage because offset and LDD regions behave as a series resistance and reduce the lateral electric field in the drain depletion. Degradation of these devices is dependent upon the offset and LDD region length rather than doping concentration in these regions. Also, degradation mechanism has been related to the interface generation rather than the hot carrier injection into gate oxide.

Key Words : TFT, Poly Si, LDD, LCD

1. 서 론

LCD의 구동소자로는 PECVD(plasma 전자산업의 급속한 발전으로 말미암아 평판표시 장치의 중요성이 부각되고 있으며 이에 대한 연구 개발이 활발히 진행되고 있다. 이러한 평판표시장치중에서도 특히 LCD(liquid crystal display)는 박형, 경량, 저소비 전력, 저전압 구동에 가장 적합한 표시 소자로서 대규모 시장으로 성장될 수 있을 것으로 예측된다.

LCD의 구동소자로는 PECVD(plasma enhanced chemical vapor deposition) 방법을 이용하여 저가의 유리 기판상에 저온에 공정을 이용해서 제작할 수 있는 비정질 실리콘 박막 트랜지스터(amorphous silicon thin film transistors, a-Si TFT's)와 AMLCDs(active matrix liquid crystal display)의 핵심소자인 다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFT's)를 들 수 있다.

Poly-Si TFT's는 a-Si TFT's와는 달리 $50 \text{ cm}^2/\text{V}\cdot\text{sec}$ 이상의 이동도, 낮은 문턱전압, 높은 ON/OFF 전류비 등의 우수한 전기적 성능을 갖고 있지만 활성층으로 사용되는 다결정 실리콘 박막의 높은 트랩밀도 때문에 off 전류가 증가되어 이것이 pixel용 소자로 사용하는데 있어서 제한적인 요소로 작용하게 된다. 또한 10 V~30 V의 비교적 높은 구동전압으로 인한 전기적 특성 열화 현상 및 off 전류 문제를 극복하기 위해서 offset 구조와 LDD(lightly doped drain) 구조를 갖는 poly-Si TFT's 등이 제시되었으나

이들의 전기적 특성 변화 메커니즘 규명은 아직 미흡한 것으로 알려져 있다.

따라서, 본 연구에서는 n 채널 offset-gated TFT's와 LDD structured TFT's를 quartz 기판 상에 $W/L = 50 \mu\text{m}/10 \mu\text{m}$ 으로 LDD 및 offset 길이에 변화를 주면서 제조한 후 그 일반적인 특성과 전기적 스트레스에 따른 특성 변화를 체계적으로 분석하여 LDD 및 offset 구조를 갖는 n 채널 poly-Si TFT's의 전기적 특성 변화 메커니즘을 규명하고자 한다.

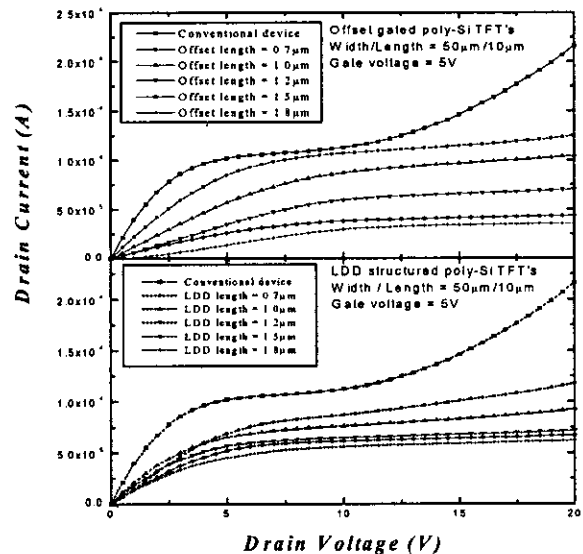


그림 1. LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 $I_{DS}-V_{DS}$ 특성 곡선 ($V_{GS}=5 \text{ V}$)

Fig. 1. The $I_{DS}-V_{DS}$ characteristics of n-channel LDD and offset structured poly-Si TFT's with stress at gate voltage $V_{GS}=5 \text{ V}$

* 正 會 員 : 명지대 전기공학과 교수
** 正 會 員 : 한양대 전자컴퓨터공학부 교수
*** 正 會 員 : 수원대 전기전자공학부 교수
接受日字 : 2001年 6月 18日
最終完了 : 2001年 8月 25日

2. 본 론

2.1 절 실험방법

LPCVD(low-pressure chemical vapor deposition) 방법으로 550°C에서 500 Å 두께의 실리콘 박막을 증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는 SiN₄를 사용하였으며, 증착시 진공도는 0.3 Torr, SiN₄ 유입량은 60 sccm (standard cubic centimeter), 증착률은 34 Å/min로 유지하였다. Si 이온을 35 keV, 1.1×10¹⁵ cm²의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 고상결정화(SPC) 방법으로 열처리(580 °C, 48hrs)하여 다결정 실리콘으로 고정화시킨 후 active mask를 이용하여 활성영역 층을 정의하고 전식 식각 방법으로 다결정 실리콘 박막을 식각하였다. 게이트 산화막은 열산화 방법으로 950°C에서 1000 Å 성장시키고 Poly-Si 게이트 전극을 LPCVD 방법을 사용하여 560 °C에서 1500 Å 두께로 증착한 후 게이트 mask를 사용하여 게이트 영역층을 정의한다.

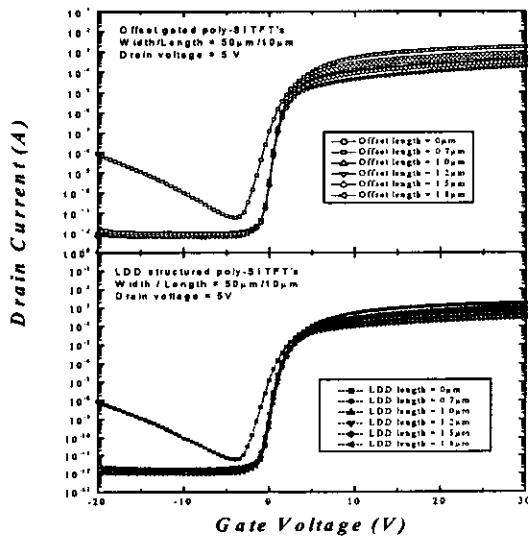


그림 2. LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 전기적 stress 인가전의 I_{DS}-V_{DS} 곡선 (V_{GS}=5 V)

Fig. 2. The I_{DS}-V_{DS} characteristics of n-channel LDD and offset structured poly-Si TFT's with stress at drain voltage V_{DS}=5 V

n⁺의 소스/드레인 형성을 위해 3×10¹⁵ /cm², 95 keV의 조건으로 n⁺ 이온을 소스, 드레인, 게이트 영역에 이온 주입하였으며 이때 offset 소자의 경우는 masking 작업을 이용하여 offset 영역을 정의하고 LDD 소자의 경우는 소스/드레인 형성을 하기 전에 먼저 2×10¹² /cm²의 n⁺ 이온을 주입하고 photoresist로 LDD 영역을 덮어주고 소스/드레인 형성에 들어간다. 열산화 방법으로 순수 SiO₂ 막을 950°C에서 3500 Å의 두께로 증착시켰다. Contact mask를 이용하여 소스, 드레인, 게이트 접촉점을 정의한 후 실리콘이 1% 함유된 알루미늄

를 DC magnetron sputtering 방법으로 전극을 증착하였다. Metal mask를 사용하여 전극을 형성하고 450 에서 1시간 동안 alloying하여 W/L = 50 /10이고 다양한 offset과 LDD를 갖는 n-channel 다결정 실리콘 박막 트랜지스터를 제작하였다. 소자의 전기적인 특성은 HP4156 반도체 변수 분석기를 사용하여 측정했으며 수평 및 수직 전계값은 SILVACO simulator를 사용하여 알아보았다.

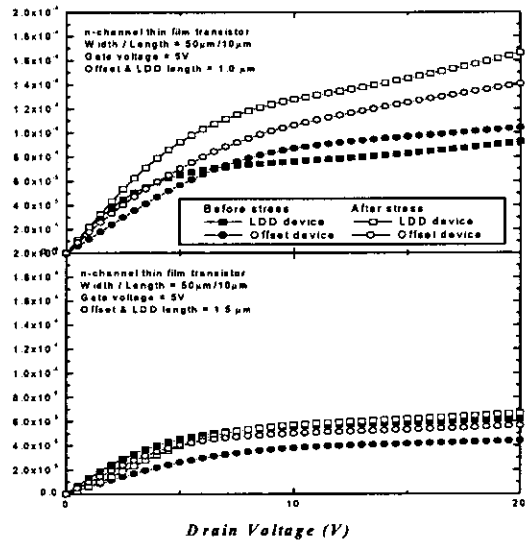


그림 3. LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 전기적 stress (V_{GS}=V_{DS}=+20 V)를 3600초 동안 인가한 후의 I_{DS}-V_{DS} 곡선 (V_{GS}=5 V)

Fig. 3. The comparison of the I_{DS}-V_{DS} characteristics between LDD and offset structured n-channel poly-Si TFT's after positive (V_{GS}=V_{DS}=+20 V) bias stress at gate voltage V_{GS}=5 V for 300 sec.

2.2 절 결과 및 고찰

Fig. 1 은 게이트 전압이 5 V일때의 offset 및 LDD 길이에 따른 전형적인 I_{DS}-V_{DS} 특성 곡선이다. 기존의 일반적인 구조를 갖는 소자의 경우 드레인 전압이 10 V인 지점에서 kink 현상이 일어났으나 offset이나 LDD 구조를 갖는 소자에 kink 현상 나타나지 않았다. 이는 offset LDD의 구조를 갖는 소자의 경우 드레인 근처의 전계감소 현상으로 인하여 캐리어에 전달되는 에너지가 감소되어 드레인 영역 부근에서의 EHPs 생성이 감소했기 때문으로 사료된다.

Fig. 2 는 드레인 전압 5 V 일때의 LDD와 offset 길이에 따른 I_{DS}-V_{GS} 특성 곡선이다. LDD와 offset 구조를 갖는 poly-Si TFT's LDD 와 offset 영역의 직렬저항 효과로 인하여 드레인 부근의 수평방향 전계값이 크게 감소되기 때문에 수평방향 전계의 의존도가 높은 off 전류가 감소되어 전압에 관계없이 일정하게 나타났다. On 전류의 경우 역시 직렬저항 효과 때문에 그 값이 감소되는데, 이때 offset 소자의 저항값이 더 크기 때문에 LDD 소자보다 더 작은 on 전류값을 갖는

것으로 나타났다.

Fig. 3 는 positive bias stress($V_{GS} = V_{DS} = +20$ V)를 3600 sec 동안 인가한 후 offset과 LDD 구조를 갖는 소자의 $I_{DS}-V_{DS}$ 특성 곡선을 비교한 그래프이다. 전기적 stress에 의한 전류변화율은 offset 소자보다 LDD 소자가 더 크게 나타났으며 이는 offset 영역이 LDD 영역보다 저항값이 크기 때문에 전계의 영향이 감소되는 것으로 사료된다. Offset이나 LDD 길이가 1.5 정도로 길어지게 되면 저항이 너무 커져서 전기적 stress에 의한 효과가 줄어들기 때문에 전류의 증가 현상이 현저하게 감소되는 것으로 나타났다.

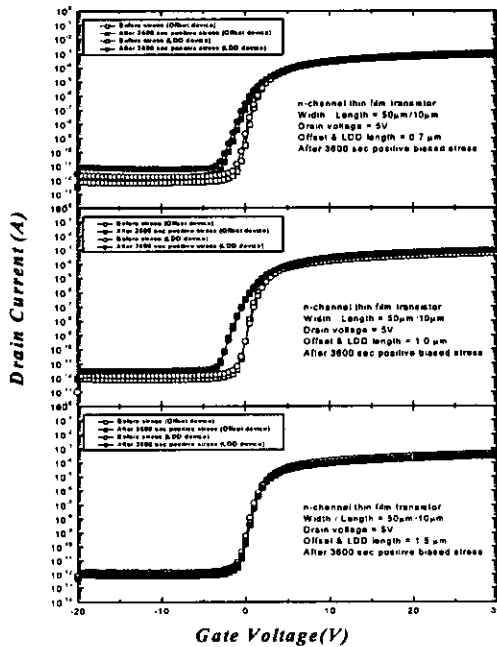


그림 4. LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 전기적 stress ($V_{GS}=V_{DS}=+20$ V)를 3600초 동안 인가한 후의 $I_{DS}-V_{GS}$ 곡선 ($V_{DS}=5$ V)

Fig. 4. The comparison of the $I_{DS}-V_{DS}$ characteristics between LDD and offset structured n-channel poly-Si TFT's after positive ($V_{GS}=V_{DS}=+20$ V) bias stress at drain voltage $V_{DS}=5$ V for 300 sec.

Fig. 4 는 LDD 및 offset 구조를 가지는 소자에 positive bias stress($V_{GS} = V_{DS} = +20$ V)를 3600 sec 동안 인가한 후 측정된 LDD 및 offset 길이에 따른 $I_{DS}-V_{GS}$ 특성 곡선이다. 일반적으로 positive stress를 인가하게 되면 게이트 산화막 안에 트랩된 전자의 영향으로 on-전류가 약간 감소하고, donor형 계면 준위에 의한 (+) 전하는 드레인 영역 근처의 국부적 전계를 증가시켜 off-전류의 증가를 가져오며 전체적으로는 트랩된 전자의 영향이 지배적으로 작용하기 때문에 graph의 positive shift가 일어나게 된다.

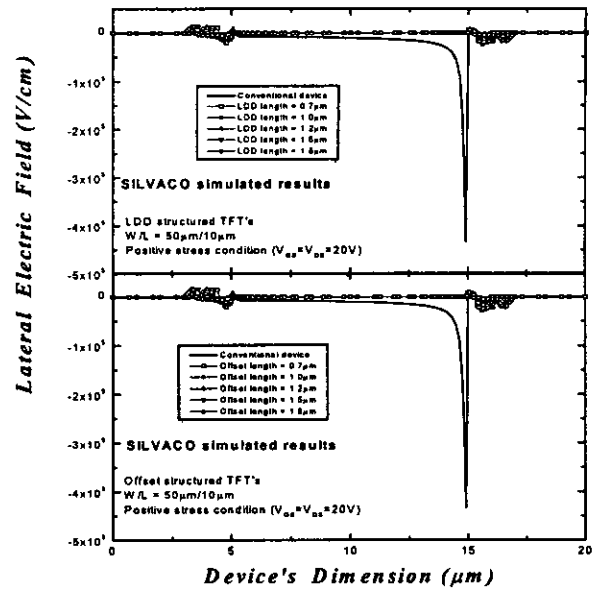


그림 5. LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 수평전계 simulation 결과 ($V_{GS}=-20$ V, $V_{DS}=5$ V)

Fig. 5. The results of horizontal electric field by simulation at $V_{GS}=-20$ V and $V_{DS}=5$ V.

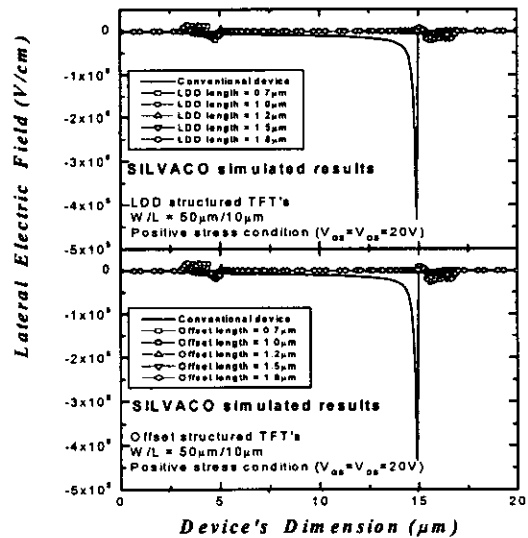


그림 6. LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 수평전계 simulation 결과 ($V_{GS} = V_{DS}=+20$ V)

Fig. 6. The results of horizontal electric field by simulation at positive bias stress conditions ($V_{GS}=V_{DS}=+20$ V).

Offset이나 LDD 구조를 갖는 소자의 경우는 LDD 및 offset 영역으로 인하여 드레인 부근의 전계값이 감소되기 때문에 캐리어에 인가되는 에너지값 역시 감소된다. 따라서 전

자는 Si/SiO₂ 계면의 에너지 장벽을 넘을 만큼의 충분한 에너지를 공급받기 힘들어지고 전자의 주입보다는 계면준위 효과가 지배적으로 작용하게 되어 graph의 negative shift 현상이 일어나게 되며 그 변화 폭은 두 경우 모두 비슷한 것을 알 수 있었다. 이때 offset이나 LDD 길이가 증가함에 따라 offset과 LDD 영역의 저항이 크게 증가하여 전기적 stress에 의한 shift 현상이 감소되는 것으로 나타났다.

이로부터 전기적 stress에 의한 graph shift 현상은 offset 영역의 doping 농도 보다는 offset 길이에 지배적인 영향을 받는다는 것을 알 수 있었다.

Fig. 5 와 Fig. 6 은 게이트 전압이 -20 V이고 드레인 전압이 5 V일 때 offset 및 LDD 길이에 따른 수평 전계값과 positive bias stress ($V_{GS} = V_{DS} = +20$ V)를 인가시 Silvaco simulator를 사용하여 simulation한 offset 및 LDD 길이에 따른 수평 전계값 결과이다. 여기서 x축은 소스에서 드레인에 걸친 소자의 길이를 나타내며 10 길이의 게이트 영역은 5에서 15까지의 좌표를 차지하게 된다. 그림에서 보는 바와 같이 offset 및 LDD 영역의 영향으로 드레인 부근의 수평 전계가 크게 감소함을 확인할 수 있었다.

3. 결 론

LDD 및 offset 구조를 가지는 n 채널 다결정 실리콘 박막 트랜지스터를 제조한 후 전기적 특성 변화 메커니즘을 조사하였다.

Offset 및 LDD 구조를 갖는 다결정 실리콘 박막 트랜지스터는 offset이나 LDD 영역에 의한 직렬 저항 효과와 드레인 부근에서의 전계감소 현상 때문에 기존의 소자에 비하여 on 전류가 약간 감소되고 kink 현상이 사라졌으며 off 전류가 크게 감소하여 게이트 전압에 관계없이 일정한 값을 갖는 것으로 밝혀졌다.

Positive bias stress ($V_{GS} = V_{DS} = +20$ V)를 인가하게 되면 offset이나 LDD 영역에 의한 전계감소 효과로 인하여 기존의 일반적인 구조를 갖는 소자에서 볼 수 있었던 전류의 감소 현상이나 kink 현상이 나타나지 않았고, 오히려 계면준위 효과가 지배적으로 작용하여 전류값은 증가하고 $I_{DS}-I_{GS}$ 그래프의 negative shift 현상이 발생하였다. 또한 전기적 stress에 의한 I-V 그래프 shift 현상은 offset 영역의 도핑 농도 보다는 offset 길이에 지배적인 영향을 받는다는 것을 알 수 있었다.

감사의 글

본 연구는 1998년도 교육부 학술연구 조성비(1998-016-E00006)에 의하여 연구 되었음.

참 고 문 헌

- [1] S. Matsumoto, "Electronic Display Devices.", by John Wiley & Son, pp. 6483, 1990.
- [2] J. Y. W. Sero. J. Appl. Phys., Vol. 46, pp. 5247, 1975
- [3] T. Serikawa, et al., IEEE Trans. Electron Devices., Vol. 36, pp. 1929, 1989.
- [4] A. G. Lewis et al., "Polycrystalline silicon thin film transistors for analogue circuit applications," in IEDM Tech. Dig., pp. 264-267, 1988.
- [5] G. Fortunato, A. Pecra, G. Tallarida, L. Mariucci, C. Rieta and P. Migliorato, "Hot-carrier effects in n-channel polycrystalline silicon thin-film transistors : A correlation between off-current and transconductance variations," IEEE Trans. Electron Dev., vol. 41, pp. 340-341, 1994.
- [6] Keiji Tanaka, Hitohi Arai, Shigeto Kohda, "Characteristics of Offset-Structure Polycrystalline-Silicon Thin-Film Transistors", IEEE ELECTRON DEVICE LETTERS. Vol. 9, pp. 2325, 1988.
- [7] K. R. Olasupo, W. Yarbrough, and M. K. Hatalis, "The Effect of Drain Offset on Current-Voltage Characteristics in Sub Micron Polysilicon Thin-Film Transistors", IEEE TRANSACTION ON ELECTRON DEVICES, Vol, 43, pp. 1306-1308, 1996.

저 자 소 개



김 용 상 (金 容 商)

1965년 6월 5일생. 1988년 서울대 전기공학과 졸업. 1994년 서울대 대학원 전기공학과 졸업(공학), 현재 명지대 전기정보제어공학부 조교수. 주관심분야는 폴리 실리콘 박막 트랜지스터, SiC 등.

Tel : 0335-330-6363

E-mail : kys@wh.myongji.ac.kr



길 상 근 (吉 相 瑾)

1960년 6월 27일 생. 1984년 연세대 전자공학과 졸업. 1986년 연세대 전자공학과 졸업(석사). 1992년 연세대 전자공학과 졸업(공학). 1993년-1998년 고등기술연구원 방산기술연구센터 책임연구원. 1998년-현재 수원대 교수

대 교수



박 진 석 (朴 珍 奭)

1961년 9월 25일 생. 1985년 서울대 공대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업(석사). 1991년 동 대학원 전기공학과 졸업(공학). 1993년~1995년 영국 Cambridge 대학 Research Fellow. 현재

한양대 공대 전자컴퓨터공학부 부교수. 대한전기학회 편집위원 및 국제위원. 한양대 전자재료 및 부품 연구센터(EM&C) 연구교수

Tel : 031-400-4088, Fax : 031-406-2107

Email : jspark@emc.hanyang.ac.kr



김 영 호 (金 榮 浩)

1954년 6월 12일 생. 1977년 연세대 전기공학 졸업. 1979년 연세대 전기공학 졸업(석사). 1983 연세대 전기공학 졸업(공학). 1987년-현재 수원대 교수. 1999년-현재 수원대 기술혁신센터(TIC) 소장



조 봉 회 (趙 鳳 熙)

1957년 2월 19일 생. 1979년 연세대 전기공학과 졸업. 1981년 연세대 전기공학과 졸업(석사). 1988년 연세대 전기공학과 졸업(공학). 1982년-1985년 공군사관학교 전자과 전임강사. 1990년-현재 수원대 교수