

송신부 클럭을 이용한 기가비트 이더넷 PCS 수신부 동기화 처리 방법

정회원 이승수*, 고재영*, 송상섭**

A Processing Method for Synchronization in 1000BASE-X PCS Receiver Using Transmitter Clock

Seung-soo Lee*, Jae-young Koh*, Sang-seob Song** *Regular Members*

요 약

흔히 전송매체와 연결되는 물리계층에서는 수신된 데이터열에서 동기를 획득하는 과정이 필요하다. 기가비트 이더넷에서는 PMA에서 PCS로 데이터열을 전송할 때 62.5MHz 두 개의 클럭에 맞추어 교대로 보내는 절차를 표준안으로 채택하고 있기 때문에 수신된 데이터열을 처리하기 위한 125MHz 클럭을 생성해내는 PLL이 필요하다. 그러나 PLL은 구현하기가 어렵다. 다른 대안들로는 FIFO를 활용하는 방법과 62.5MHz 클럭을 이용한 이중 데이터열 처리 방법 등이 있다. FIFO를 이용한 방법에서는 오버플로우가 발생할 수 있으며, 이중 데이터열 처리 방법에서는 표준안과 다른 별도의 수신부 설계가 필요하다. 본 논문에서는 언급한 방법들을 사용하지 않으면서도 표준안을 따르며 비용 효과적인 하나의 방안으로 송신부 클럭에 수신된 데이터열을 재정렬 시킬 수 있는 DSM(Divide-Select-Merge) 방법을 제안한다.

I. 서론

기가비트 이더넷 layer 3급 스위치 계층은 전송매체와 연결되어 선로부호 역할을 담당하는 물리계층, 프레임 처리를 수행하는 MAC(Media Access Control) 계층과 최적 경로 설정인 라우팅을 수행하는 MAC 응용계층으로 크게 나눌 수 있다. 여기서 물리계층은 그림 1과 같이 세 개의 부계층으로 구성되어 있다. 전송매체와 직접 연결되어 광변환을 수행하는 PMD(Physical Medium Dependent)가 있고 그 상위 계층으로 직렬 비트 데이터를 병렬 비트 데이터열로 바꿔주는 PMA(Physical Medium Attachment)가 있으며, 8B/10B 선로부호 기능을 수행하는 PCS(Physical Coding Sublayer)가 있다. 그림 1과 같이 PCS는 8B/10B 인코딩을 수행하는 송신부와 10B/8B 디코딩을 수행하는 수신부, 자동 절충부 그리고 동기부로 구성되어 있으며 PMA는 송신부와 수신부로 구성되어 있다^{[1][2]}. 본 논문에서는 PCS와 PMA의 인터페이스에서 수신 데이터열

처리하는 방법에 관한 것으로 PCS의 송신부 클럭을 사용하여 PCS 동기부에 수신되는 데이터열을 재정렬 시키는 방법을 설명하고 제안한다. 그림 1에서 점선으로 표시된 부분은 논문에서 제안한 방법이 적용되는 곳이다. PCS와 PMA 인터페이스에서의 동작을 살펴보면 PCS의 동기부는 PMA로부터 위상이 서로 다른 두 개의 62.5MHz 클럭과 두 클럭에 동기된 한 조의 10비트 데이터열을 수신한다^[3]. 즉 두 개의 위상이 다른 62.5MHz에 동기되어 번갈아 125MHz 클럭 속도로 10비트 데이터열이 수신된다. 이후 PCS 수신부는 디코딩한 8비트 데이터열과 함께 125MHz 클럭을 상위 계층인 MAC에 함께 전송한다.

PMA 수신부에서 PCS 동기부로 수신되는 10비트 데이터열을 동기부에서 처리할 수 있는 세 가지 가능한 방법이 있다. 첫 번째 방법으로 위상이 서로 다른 두 개의 62.5MHz 클럭을 PLL를 사용하여 125MHz의 클럭을 생성한 후 그 클럭에 동기를 맞추어 PCS 동기부와 수신부에서 데이터열을 처리하

* 한국전자통신연구원 국가보안기술연구소 정보보증연구부(kadan@etri.re.kr),
논문번호 : 010109-0522, 접수일자 : 2001년 5월 22일

** 전북대학교 전자공학과 부호연구실

II. PCS-PMA 인터페이스 방법

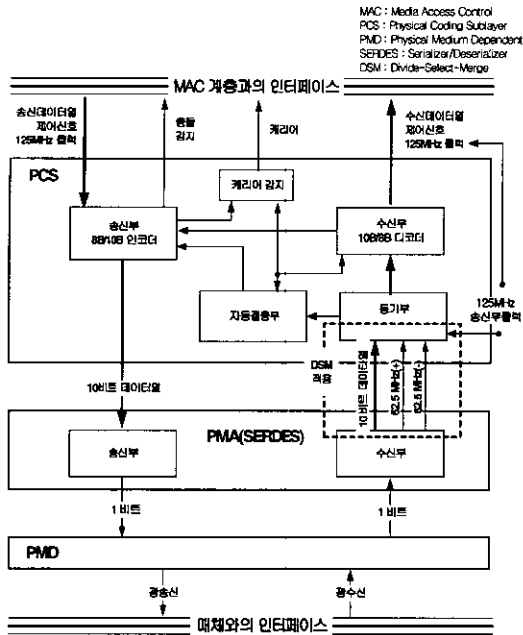


그림 1. 기가비트 이더넷 물리계층의 계층도

고 이어서 MAC에 8비트 데이터열과 함께 그 클럭을 전송하는 방법이 있을 수 있고, 두 번째로는 PMA를 통해 수신되는 데이터열을 PCS 동기부에서 처리하기 전에 수신된 10비트 데이터열을 임시 저장할 수 있는 FIFO에 저장하고 PCS의 송신부 클럭을 이용하여 125MHz 속도로 FIFO에서 꺼낸 후 동기부와 수신부의 입력 데이터로 활용하는 방법이 있다. 마지막으로 적용 가능한 방법은 PCS에서 두 개의 62.5MHz 클럭 중 임의의 하나의 클럭과 10비트 데이터열을 그대로 이용하여 동기부와 수신부를 동작시키고, 이후 MAC에 62.5MHz 클럭과 함께 10B/8B 디코딩된 두 조의 8비트 데이터열을 보내는 것이다.

본 논문에서는 언급한 세 가지 방법을 사용하지 않으면서도 구현에 적용하는데 있어 기존 방법보다 비용 효과적인 방법을 DSM(Divide-Select-Merge)이라 명명하여 소개하며 이 방법은 송신부 클럭을 사용하여 PCS 동기부에 입력되는 데이터를 동기화시킬 수 있으며 구현도 용이하다. 본 논문의 구성을 요약하면 2장에서는 PCS와 PMA사이에서의 적용 가능한 세 가지 방법의 특성에 대해 살펴보고 3장에서는 본 논문에서 제안한 DSM 방법의 동작원리와 시뮬레이션 결과에 대해 언급한 후에 결론에서 2장에서 언급한 방법과 3장의 DSM 방법의 특성을 비교 분석한다.

본 장에서는 그림 1에 점선으로 표시된 PCS와 PMA사이의 상호 연결 가능한 기존의 세 가지 적용 가능한 방법들의 특성에 대해 설명한다.

2.1 PLL을 이용한 연결 방법

기가비트 이더넷에서는 PMA 수신부에서 두 개의 62.5MHz 클럭과 그 클럭에 동기된 125MHz 속도의 10비트 데이터열을 PCS 동기부에 전송하도록 표준안으로 규정하고 있다. 또한 PCS 동기부는 125MHz 속도로 들어오는 데이터열을 동작 상태에 따라 처리하면서 비트 동기를 획득하는 기능을 수행하도록 기가비트 이더넷 표준안에 언급되어 있다^[1]. 따라서 이러한 경우에 62.5MHz 클럭을 입력으로 받아 125MHz 클럭을 생성할 수 있는 주파수 체배 기능을 갖춘 PLL이 필요하다. 그림 2는 PLL을 활용한 PMA와 PCS 사이의 연결을 나타낸 것이다. 그림 2에서 PLL을 통해 생성한 125MHz 클럭은 PMA 수신부의 10비트 데이터열과도 동기가 맞기 때문에 PCS 동기부에서는 PLL을 통해 생성한 125MHz 클럭과 10비트 데이터열을 가지고 기가비트 이더넷 표준안에서 언급된 동작 상태도와 같이 동작시킬 수 있다.

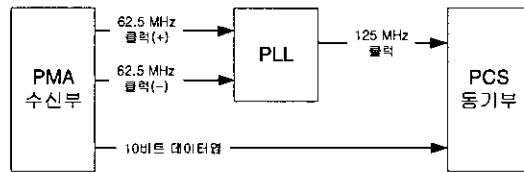


그림 2. PLL을 이용한 PMA-PCS 연결 방법.

PLL은 그 적용 형태에 따라 외장형과 내장형으로 나눌 수 있는데 내장형 PLL을 사용할 경우에는 하나의 ASIC칩으로 된 칩화하여 구현할 수 있어 제품 가치를 높일 수 있으나 디지털 PLL 구현기술이 뒷받침되어야 하고, 외장형 PLL을 사용할 경우는 저렴한 가격의 상용칩을 사용할 수 있다는 장점이 있다. 그림 2와 같이 구성하여 기가비트 이더넷 스위치의 핵심 ASIC 칩을 구현한 사례는 국내에서 수행한 기가비트 이더넷 기술개발 연구를 들 수 있다^{[4][5]}.

2.2 FIFO를 이용한 연결 방법

PLL을 활용하는 경우 보다 간단히 구현할 수 있는 방법이 FIFO를 이용하여 수신되는 10비트 데이터열을 송신부 클럭에 동기시켜 10비트 데이터열을 다시 정렬시키는 방법이다. FIFO는 흔히 동기가 맞지 않는 두 시스템간의 인터페이스에서 사용하는 방법이므로 기가비트 이더넷의 PMA와 PCS 사이의 연결에 활용 가능하다. 그림 3은 FIFO를 활용한 연결 방법을 나타낸 것으로서 차레대로 62.5MHz 클럭에 맞춰 10비트 데이터열을 쓰기 신호에 따라 FIFO에 저장하였다가 PCS 송신부 클럭인 125MHz에 맞춰 다시 10비트 데이터열을 읽어오는 동작을 표현한 것이다.

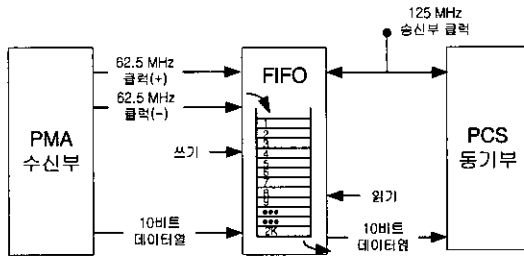


그림 3. FIFO를 이용한 PMA-PCS 연결 방법.

그러나 FIFO를 활용할 경우에 가장 큰 문제점은 FIFO의 크기를 무한정 크게 할 수 없기 때문에 항상 FIFO에 오버플로우가 발생할 가능성이 있어 데이터 손실 위험이 높다. 따라서 FIFO를 사용할 경우에는 적절한 FIFO의 크기를 우선 결정하여야 하며 오버플로우가 발생하지 않도록 쓰기와 읽기 포인트를 적절히 제어할 수 있어야 한다. 기가비트 이더넷 환경에서의 FIFO의 크기는 프레임이 가장 클 때를 고려하여 최소 2K×10 이상이어야 한다. 본 절에서 소개한 FIFO를 이용하는 방법은 기가비트 이더넷의 MAC 송신부와 수신부에 각각 FIFO를 두어 PCS와 데이터를 전송하는데 활용되고 있다^{[5][6][7]}.

2.3 이중 데이터열 처리 방법

이중 데이터열 처리 방법은 별도의 PLL이나 FIFO가 필요 없는 방법으로 앞 절에서 소개된 방법보다 경제적이거나 기가비트 이더넷이 자동절충을 수행하지 않는 전이중 방식만을 지원할 경우로 사용이 제한된다. 왜냐하면 이중 데이터열 처리 방법을 사용할 경우에는 표준안에 기술된 상태도에 적합하지 않기 때문이다.

그림 4에서와 같이 이중 데이터열 처리 방법은

PMA 수신부 클럭 중 하나의 62.5MHz 클럭을 이용하여 PCS 수신부의 기능을 수행한 후에 다시 62.5MHz과 10B/8B 디코딩이 한 클럭 동안 두 번 이루어져 만들어진 값인 16비트 데이터열을 MAC에 전송한다. 이 방법은 기가비트 이더넷의 표준안을 따르지는 않지만 구현을 고려할 때 MAC에서는 PCS 수신부를 통해 들어온 데이터를 32비트 데이터열로 묶어 기능을 수행하기 때문에 MAC에서의 동작이 보다 용이하다. 그러나 이 방법은 PCS 동기부와 수신부에서 수행할 동작이 125MHz 클럭에 10비트 데이터열을 처리하도록 구성되어 있는 기가비트 이더넷 표준안에 기술된 상태도와 다르기 때문에 그림 4의 PCS 동기부와 수신부를 동작시킬 수 있는 별도의 상태도가 필요하다. 이 외에도 이 방법으로는 PCS 동기부에서 비트 동기를 획득하는 절차에서도 10비트 데이터열에서 8B/10B 인코딩 규칙을 따르지 않는 데이터열을 검출할 수 기능을 수행할 수 없다. 또한 기가비트 이더넷 수신부에서 수행되는 프레임의 끝을 검출하는 기능, 20B/16B 디코딩 기능 등에 대해 별도의 적용 방법을 찾아야 한다.

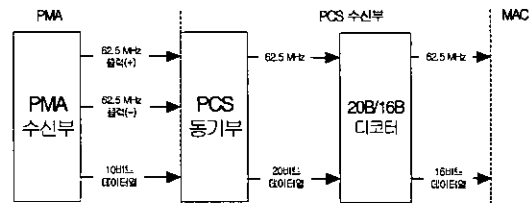


그림 4. PCS 16비트 데이터 처리 방법.

만약 기가비트 이더넷이 전이중 방식만을 지원하여 PCS 수신부에서는 10B/8B 디코딩 기능만을 수행한다고 고려한다면 이 때에는 본 절에서 소개하는 방법이 보다 용이하게 적용될 수 있다^{[6][7]}.

III. 제안한 DSM 설계 구조 및 방법

본 장에서는 2장에서 언급한 PMA와 PCS사이의 연결 방법들 보다 경제적이면서도 PCS 수신부의 동작을 기가비트 이더넷의 표준안의 상태도를 만족시키면서 동작시킬 수 있는 방법인 DSM을 제안하고 DSM 구조와 동작원리 및 시뮬레이션 결과를 살펴본다. 그림 5는 DSM 방법이 적용된 전체 구조를 나타낸 것이며 PMA와 PCS사이에서 PCS 송신부의 클럭에 PMA에서 들어오는 10비트 데이터열

을 DSM 회로를 거쳐 송신부 클럭에 동기 시키는 기능을 나타낸 것이다.

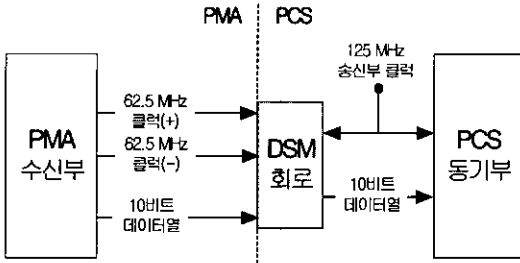


그림 5. DSM 방법을 이용한 PMA-PCS 연결 방법.

3.1 DSM의 구조

DSM은 분배기, 선택기 그리고 합성기 세 가지의 기능을 수행하도록 구성되어 있으며 그림 6과 같은 구조를 갖는다. 분배기(D)에서는 125MHz 속도의 10 비트 데이터열을 두 개의 62.5MHz 클럭에 동기된 두 조의 10비트 데이터열로 분주 시킨다. 선택기(S)에서는 62.5MHz 속도로 분배된 두 개의 10비트 데이터열에 대해 각각 반주기는 선택된 10비트 데이터열을, 나머지 반주기는 제로열을 송신부 클럭에 동기시켜 만들어낸다. 최종적으로 합성기(M)에서는 선택기에서 생성된 두 조의 10비트 데이터열을 합한다.

특히 선택기에서는 62.5MHz 속도의 두 개의 데이터열을 수신하면서 반주기 데이터열과 반주기 제로열을 생성할 때 송신부 클럭과 수신부 클럭 사이의 동기가 최악으로 어긋날지라도 기능을 수행할 수 있도록 고려하였다.

결국 그림 6의 DSM 구조를 통해 두 개의 PMA 62.5MHz 클럭에 동기가 맞아 있던 10비트 데이터열이 125MHz PCS 송신부 클럭에 다시 동기를 맞추어 재정렬된다. 여기서, 분배기는 두 개의 62.5MHz 클럭에 의해 동작되고 선택기와 합성기는 송신부

클럭에 의해 동작된다.

3.2 동작원리

DSM 동작원리를 살펴보기 위해 그림 6에서와 같이 PMA를 통해 수신된 데이터열을 처리하는 기능 순서대로 설명한다. 특히 분배기와 합성기는 비교적 동작원리가 간단하기 때문에 선택기의 동작 방법에 대해 좀더 상세 설명한다.

① 분배기(Divide)

PMA로부터 수신된 두 개의 62.5MHz 클럭을 사용하여 125MHz 속도의 10비트 데이터열을 62.5MHz의 2개의 수신 데이터열로 분리한다. 이는 원래 8ns 간격의 10비트 데이터열이 두 개의 16ns 간격으로 나누어지는 것으로 그 다음 절차인 선택기에서 송신부 클럭에 맞추어 기능을 수행할 때 선택기가 동작하는데 8ns 만큼의 여유(Timing Margin)를 제공한다. 그림 7은 분배기의 동작을 시뮬레이션 결과 파형으로 나타낸 것이다.

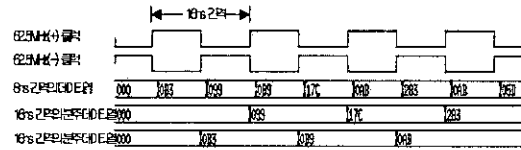


그림 7. 분배기의 동작.

② 선택기(Select)

125 MHz 송신부 클럭을 사용하여 분배기를 통해 분리된 16ns 간격의 데이터열을 그림 8의 선택기 동작 절차에 따라 8ns 간격의 10비트 데이터열을 생성한다. 결국 16ns 간격의 10비트 데이터열이 두 개의 8ns 간격으로 나누어지는데 두 개 중 하나는 제로열로 생성되게 된다. 그림 8은 분배기의 출력 값인 한 조의 16ns 간격의 데이터열를 선택기에서 처리하는 절차를 나타낸 것이다.

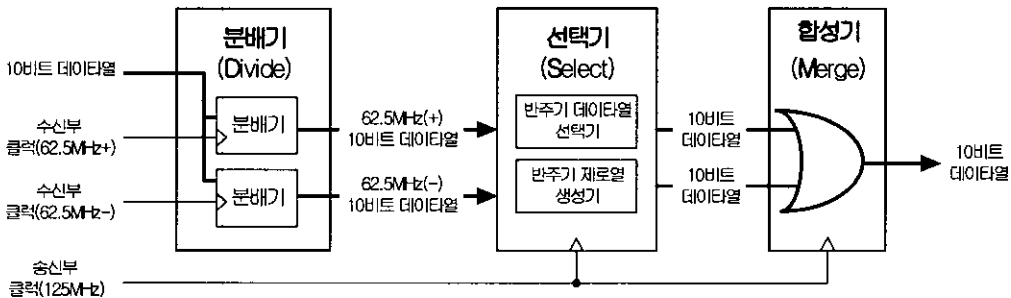


그림 6. DSM의 구조

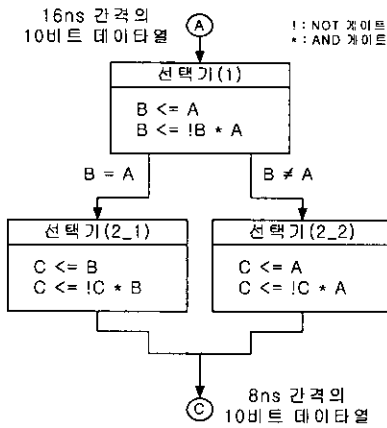


그림 8. 선택기의 동작 원리.

선택기의 동작 원리를 살펴보면 선택기(1) 상태에서 16ns 간격의 10비트 데이터열이 8ns 간격의 데이터열과 8ns 간격의 제로열로 만들어지게 된다. 다음 상태에서는 A와 B를 비교하여 같으면 선택기(2_1) 상태로 이동하여 선택기(1) 상태에서 만들어진 B 데이터열을 가지고 C 데이터열을 생성하고, A와 B가 같지 않을 경우에는 선택기(2_2) 상태로 이동하여 처음의 선택기의 입력 값인 A 데이터열을 가지고 C 데이터열을 생성하게 된다. 여기서 위상차란 62.5MHz 수신부 클럭과 125MHz 송신부 클럭과의 떨어진 간격을 시간으로 나타낸 것을 의미하며 최악의 경우 8ns 간격의 위상차를 보일 수 있다.

본 논문에서 제안한 DSM 방법의 핵심은 그림 8에서의 선택기 동작 원리를 통해 16ns 간격의 두 조의 10비트 데이터열을 송신부 클럭을 이용하여 8ns 간격의 제로열을 포함하고 있는 선택적인 데이터열로 생성하는 것이다. 여기서, 제로열을 생성하는 과정은 현재의 데이터열에 NOT을 취하고 다시 현재의 데이터열과 AND를 취함으로써 이루어진다. 그림 8에서의 네모상자는 125MHz 송신부 클럭에 맞춰 동작되는 상태이며 각 상태 안에는 수행 동작이 기술되어 있다.

③ 합성기(Merge)

합성기는 선택기를 통해 만들어진 데이터열을 합하는 과정을 수행한다. 예를 들면 그림 8에서의 선택기의 동작원리에 의해 62.5MHz(+) 10비트 데이터열이 8ns 간격의 데이터열과 제로열로 이루어졌다면, 62.5MHz(-) 10비트 데이터열은 반대로 8ns 간격의 제로열과 데이터열로 이루어지게 되므로 결국 두 데이터열을 합하면 제로열이 사라진 62.5MHz(+) 10비트 데이터열과 62.5MHz(-) 10비

트 데이터열이 8ns 간격으로 정렬된다. 결과적으로 수신부 클럭에 동기되어 있던 데이터열이 송신부 클럭에 의해 다시 동기를 맞춘 형태의 데이터열로 바뀌는 것이다.

3.3 검증 결과

본 절에서는 DSM 방법에 대한 검증 방법으로 LG035 라이브러리를 이용한 Verilog-XL 설계물을 사용하여 회로에 대한 Pre-layout 시뮬레이션을 수행한 결과를 소개한다¹⁸⁾. 먼저 본 논문에서 제안한 DSM 방법이 제대로 동작하는지를 검증하기 위해 62.5MHz의 PMA 수신부 클럭과 125MHz의 PCS 송신부 클럭과의 위상차가 동기가 정확히 맞을 경우의 0ns에서부터 가장 많이 위상차가 났을 경우인 8ns 미만까지 1ns 간격씩 증가시키면서 각 위상차에 따른 DSM의 올바른 동작여부를 검사하였다.

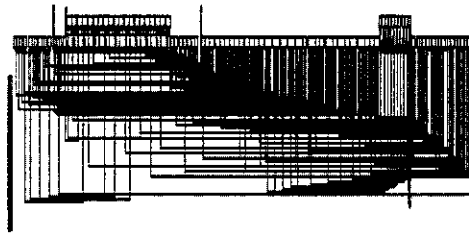


그림 9. DSM 합성 회로도

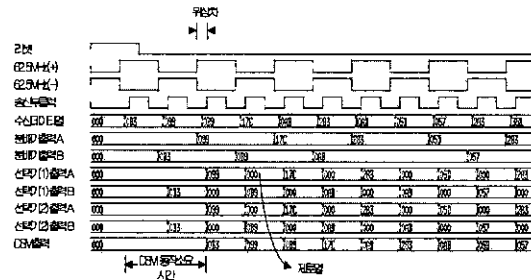


그림 10. DSM 방법에 대한 시뮬레이션 결과 파형.

그림 9는 DSM이 논리회로로 합성된 회로도를 나타낸 것이며, 그림 10은 수신부 클럭과 송신부 클럭에 3ns 간격의 위상차를 보일 경우의 DSM 결과 파형을 나타낸 것으로 원래의 두 개 62.5MHz 클럭에 동기되어 수신되던 10비트 데이터열이 DSM 동작 과정을 거치면서 125MHz의 송신부 클럭에 동기를 맞춰 생성되고 있음을 보이고 있다. 여기서, 결과값은 Hex로 표현되었으며 '000'으로 표기된 결과값은 제로열을 의미한다. DSM 방법을 이용할 경

표 1. 기존 방법 대 DSM 특성 비교

대상	항목	구현 난이도	원칩화 (One-Chip)	가격	회로 사이즈	상용칩 활용 예 및 칩 크기	비고
PLL	내장	복잡	가능	고가	대	2× PLL (Altera APEX, Natial Semiconductor, etc)	구현기술 필요
	외장	용이	불가	저가	해당없음		원칩화 불가
FIFO		복잡	가능	저가	대	64K×18, 128K×32 SDRAM(Micron, etc) 2K×10 구현시 40,000 gates 예상	제어 복잡
이중 데이터열 처리		복잡	가능	고가	대	PCS 전용 상용칩 없음	전이중만 지원
DSM		용이	가능	초저가	소	150 gates	※ 제안한 방법

우 원래 수신된 데이터열이 송신부 클럭에 동기 되는데 송신부 클럭으로 두 클럭과 위상차 만큼 소요 되는 것을 알 수 있다. 이는 2장에서 언급한 PLL이나 FIFO를 적용할 경우보다 DSM이 동작소요 시간이 적게 걸림을 의미한다.

IV. 결론

지금까지 살펴 본 바와 같이 본 논문에서 제안한 DSM 방법은 기존의 PLL이나 FIFO를 적용할 경우보다 설계가 용이하며 구현하려는 ASIC 칩 사이즈를 줄일 수 있어 비용절감 효과가 있다. 또한 DSM 설계 방법을 PCS 수신부에 포함시켜 기가비트 이더넷 스위치용 핵심 ASIC을 구현할 경우 하나의 칩으로 쉽게 구현 가능하다는 이점이 있다. 표 1은 2장에서 언급한 방법과 DSM 방법의 특성을 비교한 것이다.

특히 본 논문에서의 기가비트 이더넷 스위치 시스템 구현에 DSM 방법을 적용할 때 최적으로 기가비트 이더넷 환경에서 동작되도록 하기 위해 PMA 상용칩에 사용할 송신부 클럭도 MAC 계층에서 PCS 송신부로 전달된 125MHz 클럭을 사용한다면 보다 더 신뢰성 있는 DSM 동작이 이루어진다.

본 논문에서 제안한 DSM 방법은 국내 특허로 출원하였으며^[9], 관련 기술력이 미비한 국내에서 기가비트 이더넷 스위치 제품 개발시 핵심 ASIC 구현에 적용된다면 가격 경쟁력을 갖출 수 있으며, 국내 PLL DB 기술 수입료나 상용칩 구입 또는 직접 PLL 제작에 소요되는 경비를 줄일 수 있을 것이다.

참고 문헌

- [1] IEEE 802.3z, "Media Access Control(MAC) Parameters, Physical Layer, Repeater and Management parameters for 1000Mb/s Operation," Jun. 23, 1998.
- [2] <http://www.iol.unh.edu/training/ge/introduction.html>, "1000BASE-X Physical Coding Sublayer and Physical Medium Attachment Tutorial," Jun. 15, 1998.
- [3] VITESSE Semiconductor Corporation, "1.25 Gbps Gigabit Ethernet Transceiver, Date Sheet", May 28, 1998.
- [4] 연구개발보고서, "Gigabit Ethernet 기술개발," ETRI, Dec. 1999.
- [5] 최종연구보고서, "기가비트 이더넷 폴리제층의 PCS 기능개발에 관한 연구," ETRI, Nov. 1999.
- [6] XaQti Corporation, "XaQti XQ11800FP 1000Mbps Gigabit Ethernet Controller, Data Sheet", Oct. 12, 1998.
- [7] SEEQ Technology Incorporated, "Gigabit Ethernet Controller, Date Sheet", Apr. 27, 1998.
- [8] Samir Palnitkar, "VerilogHDL, A Guide to Digital Design and Synthesis", 1996.
- [9] 이승수 외, "2위상 입력 클럭으로 수신된 데이터열을 송신 클럭으로 동기화하기 위한 방법", ETRI, DP19990562.

이 승 수(Seung-soo Lee)

정회원



1995년 2월 : 전북대학교

전자공학과 학사

1997년 2월 : 전북대학교

전자공학과 석사

2000년 8월 : 전북대학교

전자공학과 박사수료

2001년 3월~현재 : 한국전자통신연구원 국가보안기술연구소

<주관심 분야> 기가비트이더넷, 정보보증

고 재 영(Jae-young Koh)

정회원



1984년 2월 : 전북대학교

전자공학과 학사

1992년 8월 : 전북대학교

전자공학과 석사

1998년 8월 : 전북대학교

전자공학과 박사

1984년 3월~2000년 1월 : 국방과학연구소

2000년 2월~현재 : 한국전자통신연구원 국가보안기술연구소 책임연구원

<주관심 분야> 정보보증, 네트워크 보안

송 상 섭(Sang-seob Song)

정회원



1978년 2월 : 전북대학교

전기공학과 학사

1980년 2월 : KAIST 전기 및

전자공학과 석사

1990년 2월 : 캐나다 마니토바

대학교 전기컴퓨터공학과

박사

1981년 3월~현재 : 전북대학교 전자정보공학부 교수

<주관심 분야> HomePNA, xDSL 모델, 기가비트이더넷