저 잡음 증폭기를 이용한 새로운 발진기에 관한 연구

정회원 하 성 재*, 지 칠 영*, 이 용 덕*, 홍 의 석*

A study on the new oscillator using low noise amplilfier

Sung-Jae Ha*, Chil-Young Ji*, Yong-Deuk Lee*, Ui-Seok Hong* ***Regular Members***

요 약

본 논문에서는 위상 잡음을 개선하기 위해서 Lesson의 위상 잡음 모델을 분석하여 이를 개선시키는 발진기의 구조를 제안하였다. 제안된 구조는 유전체 공진기를 사용한 대역통과 여파기, 평형 저 잡음 증폭기와 출력 전력을 격리 시키기 위한 Branch-Line 전력 분배기로 구성되었다. 제안된 구조를 갖는 발진기는 12.653 GHz에서 18.5 dBm의 출력을 나타내 었으며 위상잡음 특성은 중심주파수에서 10 kHz떨어진 곳에서 -82.6 dBc/Hz를 나타내었다.

ABSTRACT

In this thesis, the oscillator with new structure obtained through analysis the phase noise model of Lesson is proposed for improving phase noise characteristic. The proposed parallel feedback dielectric resonator oscillator is composed of a balanced low noise amplifier, a power divider, and a dielectric resonator coupled with microstripline. Measurement show the oscillator is output power of 18 dBm at 12.653 GHz and fundamental frequency suppression of -38 dBc, and the phase noise of -82.67 dBc/Hz at 10kHz offset frequency from carrier.

Ⅰ. 서 론

현재 디지털 위성통신 및 디지털 위성방송을 통한 고도의 정보 서비스가 디지털 전송방식으로 제공되고 있는 시점에서 디지털 신호의 효율적인 전송을 위한 저 잡음 특성의 발진기의 중요성은 더욱 증대되고 있다. 위성통신/위성방송에 사용되는 BPSK, QPSK등과 같은 디지털 변조방식들은 반송파 위상 변조를 이용하므로 기존의 아날로그 전송시에 비하여 훨씬 높은 정확도의 위상 정보처리수준이 요구되고 있다. 발진기의 위상잡음 특성은 디지털 통신 시스템에서 복구된 캐리어에서 지터의 원인이 되며 이것은 BER 성능 저하를 가져오게 된다. 일반적으로 디지털 위성통신/위성방송용 주파수 변환기의 국부 발진기로는위상고정 발진기가 사용된다. 그러나 위상고정 발진기는 저렴화 경량화 추세에 어려움이 있다. 본 논문에서는 이러한 흐름에 맞추어 간단하면서 위상잡음 특성을 개선시킬 수 있는 새로운 구조의 발진기를 제안하였다.

Ⅱ. 발진기 이론

Ⅱ-1. 발진기 구조

일반적으로 발진기는 내부 증폭기, 공진기, 정궤환 회로등으로 이루어진다. 초기 발진은 능동소자에 공급되는 DC전력이 변화여 노이즈 레벨에서 발진이 시작되며 발진출력은 점점 성장하여 정상상태에 이르러 안정된 정현파를 만들어 낸다[1][2]. 그림 1과 같은 2-단자 발진기 회로망은 유전체 공진기 또는 입력 정합회로와 능동 소자, 궤환회로, 출력 정합회로 또는 Load-matching network등으로 구성되며, 입력 정합회는 발진주파수를 결정하며 출력정합회로는 정합역할를 제공한다. 소신호에 의한 발진조건은 다음과 같다.

* 광운대학교 전파공학과 초고주파연구실(ushong@daisy.kwangwoon.ac.kr)
논문번호 : K01114-0403, 접수일자 : 2001년 4월 3일

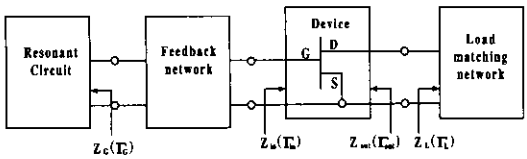

그림 1. 발진기의 2단자 회로망

발진조건1 : $K < 1$ (K=stability factor) (1)

발진조건2 : Γ_{in} $\Gamma_G = 1$ (2)

발진조건3 : Γ_{out} $\Gamma_L = 1$ (3)

발진조건 1은 Stability factor가 1보다 작아야 되며 만약 1보다 크다면 Common terminal를 바꾸어 주거나 Postive feedback을 첨가하면 된다. 발진기 조건 2와 3은 발진주파수에서 능동소자의 입력과 출력단자를 공진시키기 위해 Z_G와 Z_L을 첨가시켜야 한다. 다르게 표현하면 어느 한 단자에서 발진을 한다면 동시에 또다른 한쪽 단자에서도 발진이 일어나야 한다. 일반적으로 출력의 대부분이 어느 한 쪽 단자로 전달되며 한 개의 부하를 연결해야 한다. FET의 동작주파수대에서 소신호 산란계수로 계산된 Stability factor가 1보다 클 경우 직렬궤환 또는 병렬궤환 중 적당한 궤환을 선택해서 Stability factor K를 1보다 작게 만들어 주어야한다. 본 논문에서는 직렬 궤환보다 넓은 발진대역을 얻을 수 있고 위상잡음과 같은 특성이 더욱 우수하다고 알려진 그림 2.와 같은 병렬 궤환 구조로 설계 및 제작하였다[3].

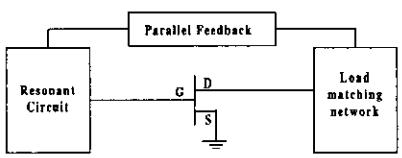

그림 2. 병렬궤환 발진기 회로망

II-2. 병렬궤환 발진기

그림 2와 같은 회로망에서는 발진주파수에서 최대 전달이득을 같도록 정합되어진 증폭기로 해석할 수 있으며 입력과 출력 사이의 선택도가 매우 높은 정궤환은 안정한 발진기 성능을 낼 수 있다. 발진기를 정궤환한 증폭기로 본 회로망에서 발진기가 안정하게 발진하게 발진하기 위해서는 아래 두조건을 동시에 만족 해야하며 초기 입력신호는 잡음에서부터 시작된 것이다. 첫째로 궤환 회로의 루프 위상변이는 발진 주파수에서 360도의 정수배 이다.

$$\theta_{증폭기} + \theta_{유전체공진기} + \theta_{기타회로} = 2\pi k \quad (4)$$

여기서 $k = 1,2,3, \cdots$

두 번째로 개방 루프이득은 공진 주파수에서 $0dB$보다 커야 한다.

$$G_{증폭기} - L_{유전체공진기} - L_{기타회로} > 0dB \quad (5)$$

II-3. 발진기 위상잡음

1960년대에 Lesson의 발진기 위상잡음 모델를 위한 등가회로는 발진기를 하나의 증폭기로 생각하여 증폭기의 출력을 입력으로 정궤환 함으로써 발진이 일어난다고 하였다[4]. 초기에는 잡음이 증폭기에 의해서 증폭되고 증폭된 신호는 유전체 공진기 대역통과 필터에 의해서아주 협대역으로 정궤환 되어 증폭기로 다시 입력된다. 이러한 과정이 계속되면서 공진 주파수에 해당하는 신호만 결과적으로 반복하게 되어 발진하게 된다. 이때 발진기의 위상잡음은 식(6)과 같이 표현 할 수 있다. 이 수식에서는 능동소자의 1/f 잡음은 고려되지 않은 표현이다.

$$L(f_m) = \frac{FKTG}{8\,Q_L^{\,2}P}\left(\frac{f_r}{f_m}\right)^2 \quad (6)$$

f_r= 공진주파수, f_m= *offset*주파수

P= 증폭기출력전력 G= 증폭기이득,

F=증폭기 잡음지수, Q_L= *Loaded Q*

본 논문은 Lesson의 발진기 위상잡음 모델를 이용하여 발진기의 위상잡음에 중요한 요인들을 분석하고 이를 바탕으로 이들을 개선할 수 있는 회로를 제안 하였다. 식(6)에서 위상잡음을 개선하기 위해서는 공진기 Q가 커야 하며 출력신호의 전력이 최대화 되어야 하며, 잡음지수가 낮은 능동소자 및 회로가 필요로 한다. 또한 수식에 표현되지 않은 1/f 잡음이 낮은 능동소자를 사용하여야 한다. 이러한 사항을 고려하여 본 논문은 잡음지수가 0.9dB의 특성을 갖고 이득이 10dB를 갖는 Alpha사의 AFP02N3을 사용하였으며, 평형 저 잡음 증폭기구조를 이용하여 출력 전력은 최대화 하고 잡음지수는 한 개의 소자를 이용했을 때와 같은 특성을 내도록 하였으며[5], 정 궤환과 출력부하와의 격리를 위해서 전력분배기, 무부하 Q가 높은 유전체 공진기 DRT 055020을 이용하여 제안된 구조의 발진기를 설계 및 제작 하였다.

Ⅲ. 제안된 구조의 발진기 설계

본 논문에서 설계 및 제작된 제안된 발진기는 평형 저 잡음 증폭기, 전력 분배기, 유전체 공진기 대역 통과 여파기로 구성되었다. 제안된 구조의 병렬 궤환 발진기 설계는 저 잡음 증폭기, 전력 분배기, 유전체 공진기 대역통과 여파기를 각각 설계한 뒤 이들을 연결한 후 발진기의 두 가지 발진 조건을 만족 하도록 다시 설계 한다. 본 논문에 설계 및 제작된 발진기는 비유전율 ε_r=2.5, 높이=0.54 mm 동박두께=0.018 mm인 테프론 기판을 사용하였고 HP-EESOF ADS 1.3으로 설계 하였다. 그림 3은 페루프를 형성한 뒤 다시 설계한 후 예측한 특성으로 식(4)의 발진조건을 만족함을 보여 주고 있다. 그림 4는 개방된 루프이득을 예측한 결과로 6dB의 소신호 이득특성과 -20dB이하의 입력, 출력반사 손실을 얻었다. 이는 식(5)의 발진 조건을 만족시키고 있음을 보여준다. 그림 3과 그림 4의 예측 결과로 본 발진기는 발진조건을 만족시키고 있음 알 수 있다.

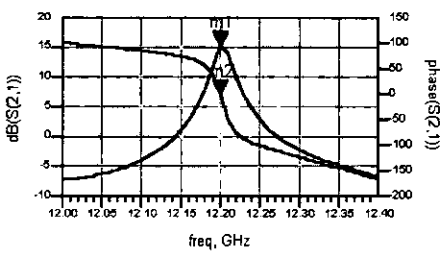

그림 3. 페루프 위상특성

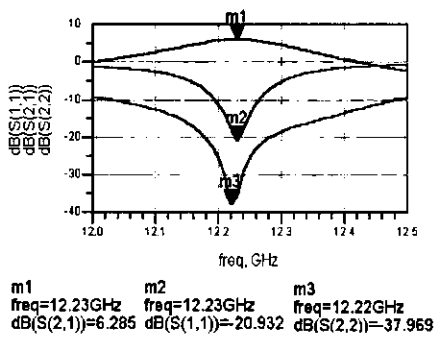

그림 4. 개방된 루프이득 특성

Ⅳ. 제작 및 측정

측정장비는 HP사의 HP8563E 스펙트럼 분석기를 이용하여 측정하였다. 평형 증폭기의 능동소자의 드레인과 소오스전압은 5V, 80mA 이며 평형 증폭기의 경우 전체 160mA 전류가 소모된다. 그림 5는 전체 출력스펙트럼을 보이고 있으며 -38dBc의 고주파억압 특성을 나타내었다. 그림 6은 출력을 나타내고 있으며 18.5dBm의 출력 전력을 얻었다. 그림 7에서는 위상잡음 특성으로 10kHz offset주파수에서 -82.68dBc/Hz를 내고 있다. 그림 8은 설계 및 제작된 발진기의 실물 회로 이다.

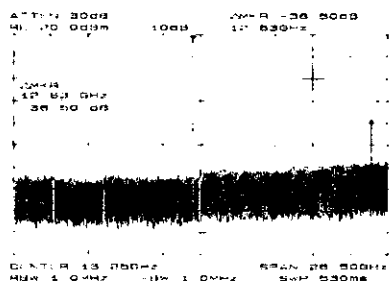

그림 5. 발진기의 전체 전력 스펙트럼

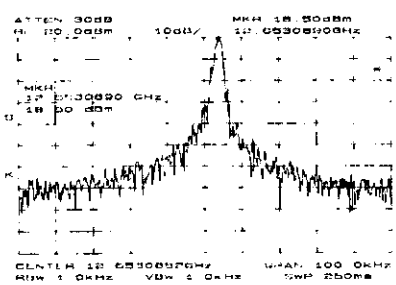

그림 6. 발진기의 출력전력 스펙트럼

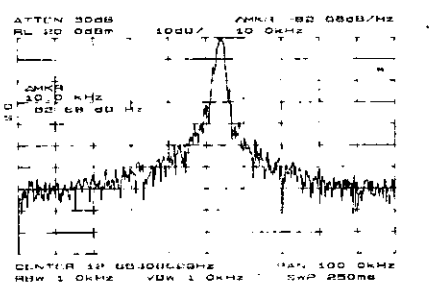

그림 7. 발진기의 위상 잡음특성

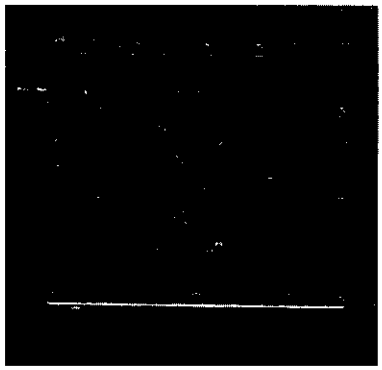

그림 8. 발진기의 실물 사진

V. 결 론

본 논문에서는 위상잡음을 개선하기 위하여 Lesson의 위상잡음 모델을 분석하여 새로운 발진기 구조를 제안하였다. 제안된 구조의 발진기는 -38.5dBc의 고조파억압 특성을 얻었으며, 10kHz offset 주파수에서 -82.68dBc/Hz의 위상잡음 특성과 18.5dBm의 출력전력 특성을 나타내었다. 제안된 발진기는 DBS, B-WLL용 국부 발진기로 응용 될 수 있으며 비선형 모델를 이용한 발진기의 정확한 출력 특성 예측이 과제로 남는다.

참 고 문 헌

[1] B. Bhartia, *Microwave solid-state circuit design,* JOHN WILEY & SONS, 1988.

[2] E. Holtzman, *Solid-state microwave power oscillator design*, Artech House, Boston. London, chap. 3, 1992.

[3] O. Ishifara er al,"A Highly Stablilized GaAs FET Oscillator Using a Dieletric Resonator Feedback Circuit in 9 to 14GHz," *IEEE Trans. on MTT-28, no. 8,* April, 1980.

[4] D. B. Lesson, "A Simple Model of Feedback Oscillator Noise Spectrum," Proc. *IEEE, vol. 54, no. 2, pp. 329, February, 1966.*

[5] G. Gonzalez, *Microwave Transistor Amplifier,* Prentice Hall, Inc., 1996.

하 성 재(Sung-Jae Ha) 정회원

1999년 2월 : 광운대학교 제어계측공학과 졸업
2001년 2월 : 광운대학교 전파공학과 공학석사
2001년 3월~현재 : 광운대학교 전파공학과 박사과정

<주관심 분야> RF/Microwave 회로설계, MMIC

지 칠 영(Chil-Young Ji) 정회원

1998년 2월 : 광운대학교 전파공학과 졸업
2001년 2월 : 광운대학교 전파공학과 공학석사
2001년 3월~현재 : 삼성전기 중앙연구소

<주관심 분야> 초고주파 회로설계, RF시스템 설계

이 용 덕(Yong-Deuk Lee)
한국통신학회논문지 제25권 제11B호 참조

홍 의 석(Ui-Seok Hong)
한국통신학회논문지 제25권 제11B호 참조