

# DFWMAC의 고속처리를 위한 회로 설계 및 구현

정회원 김 유진\*, 이상민\*, 정해원\*, 이형호\*, 가장근\*\*, 조현목\*\*

## Design and Implementation of High Performance DFWMAC

You-jin Kim\*, Sang-min Lee\*, Hae-won Jung\*, Hyeong-Ho Lee\*, Jang-geun Ki\*\*,

Hyeon-mook Cho\*\* *Regular Members*

### 요 약

본 논문에서는 무선 LAN의 MAC 계층 프로토콜을 고속으로 처리하는 MAC 기능 칩을 개발하였다. 개발된 MAC 칩은 CPU와의 인터페이스를 위한 제어 레지스터들과 인터럽트 체계를 가지고 있으며, 프레임 단위로 송수신 데이터를 처리한다. 또한 OFDM 방식 물리계층 모뎀을 위한 직렬전송 인터페이스를 가지고 있다. 개발된 MAC 칩은 크게 프로토콜제어기능 블록, 송신기능 블록 및 수신기능 블록 등으로 구성되었으며, IEEE 802.11 규격에 제시된 대부분의 DCF 기능을 지원한다.

구현된 MAC 칩의 동작을 검증하기 위해 RTS-CTS 절차 기능, IFS(Inter Frame Space) 기능, 액세스 절차, 백오프 절차, 재전송 기능, 분할된(fragmented) 프레임 송수신 기능, 중복수신 프레임 검출 기능, 가상 캐리어 검출 기능(NAV 기능), 수신에러 발생 경우 처리 기능, Broadcast 프레임 송수신 기능, Beacon 프레임 송수신 기능, 송수신 FIFO 동작 기능 등을 시뮬레이션을 통해 시험하였으며, 시험 결과 모두 정상적으로 동작함을 확인하였다.

본 논문을 통해 개발된 MAC 기능 칩을 이용할 경우 고속 무선 LAN 시스템의 CPU 부하(load)와 펌웨어의 크기를 크게 줄일 수 있을 것으로 기대된다.

### ABSTRACT

This paper describes a high speed MAC(Media Access Control) function chip for IEEE 802.11 MAC layer protocol. The MAC chip has control registers and interrupt scheme for interface with CPU and deal with transmission/reception of data as a unit of frame. Also, it has interface for serial transmission with OFDM physical layer modem. The developed MAC chip is composed of protocol control block, transmission block and reception block which supports the DCF function in IEEE 802.11 specification. The test suite which is adopted in order to verify operation of the MAC chip includes various functions, such as RTS-CTS frame exchange procedure, correct IFS(Inter Frame Space) timing, access procedure, random backoff procedure, retransmission procedure, fragmented frame transmission/reception procedure, duplicate reception frame detection, NAV(Network Allocation Vector), reception error processing, broadcast frame transmission/reception procedure, beacon frame transmission/reception procedure and transmission/reception FIFO operation. By using this technique, it is possible to reduce the load of CPU and firmware size in high speed wireless LAN system.

### I. 서론

1997년 6월 IEEE 802.11 표준안<sup>1,2</sup>이 채택됨으로써 전세계적으로 무선 LAN은 급격한 발전을 가

져오기 시작하였다. 초기에는 1-2Mbps 전송 속도를 지원하던 무선LAN은 음성, 영상 등의 무선 멀티미디어 서비스 요구가 증가되는 추세에 따라 IEEE 802.11 규격을 향상시켜 최근에는 6-54Mbps의 전

\* 한국전자통신연구원 라우터기술연구부,  
논문번호 : K01001-0102, 접수일자 : 2001년 1월 2일

\*\* 공주대학교 정보통신공학부

송속도를 갖는 규격이 1999년 9월에 IEEE 802.11a 로 확정되었다. 이러한 고속 무선 LAN의 구현을 위해서는 물리계층의 기술 발전과 더불어 고속의 데이터 처리를 가능하게 하는 MAC 프로토콜이 뒷받침되어야 한다.<sup>[3-6]</sup> MAC 프로토콜의 경우 소프트웨어적으로 처리하는 것보다는 하드웨어적으로 처리하는 것이 보다 빠른 속도를 보장할 수 있다. 따라서 본 논문에서는 IEEE 802.11 MAC(Medium Access Control) 계층 프로토콜의 고속 처리를 위해 프로토콜 기능을 분석하고 이에 따른 논리적인 기능 구조를 설계한 후 하드웨어로 구현될 기능과 펌웨어로 구현될 기능을 분리하여 하드웨어로 구현될 블록을 VHDL 코드로 프로그래밍하여 하드웨어로 구현하였다.

## II. MAC 프로토콜 하드웨어 설계

그림 1에 IEEE 802.11 무선 LAN MAC 계층 프로토콜의 기능 구조(스테이션의 경우)를 나타내었다. 기능 블록들 중 본 논문에서는 프로토콜 제어 블록과 송신 및 수신 블록을 하드웨어화 하기 위하여 VHDL 코드를 개발하고 시뮬레이션을 통한 기능 검증 및 성능분석을 수행하였다. MAC 기능 하드웨어 블록은 10MHz 메인클럭에서 동작하도록 설계되었으며, 이는 MAC과 PHY 계층사이의 데이터 전송단위가 1옥텟(octet)임을 감안할 때 물리계층에서의 전송속도는 약 80Mbps에 해당한다.

### 1. 계층간 인터페이스 신호

그림 2에 각 계층간 주요 인터페이스 신호를 나타내었으며, 표 1에는 MAC 칩과 CPU 사이의 인터페이스를 위한 제어 레지스터와 기능을 나타내었

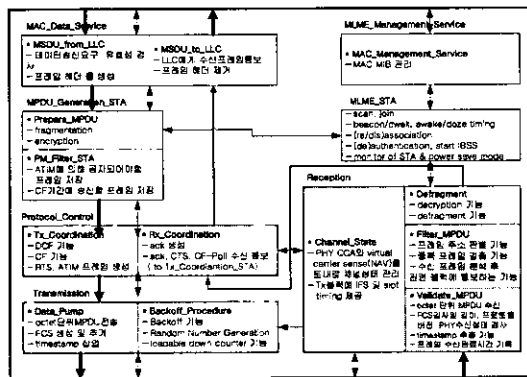


그림 1. IEEE 802.11 MAC 기능 블록도

다. 하나의 예로, 제어 레지스터들을 이용한 송신 절차를 설명하면 다음과 같다. 먼저 CPU는 TxHeader 레지스터에 송신하고자 하는 프레임의 헤더필드 값들을 기록한 후, TxControl 레지스터에 송신 프레임의 헤더길이(TxHeadLen), FCS 필드 길이를 제외한 송신 프레임 길이(TxLen)와 송신시작지시 값(TxReq)을 기록한다. 그러면 MAC 송신절차에 의해 프레임을 송신하게 된다.

그림 3은 CPU와 MAC 칩 그리고 물리계층간의 송수신 절차를 나타낸 것이다.

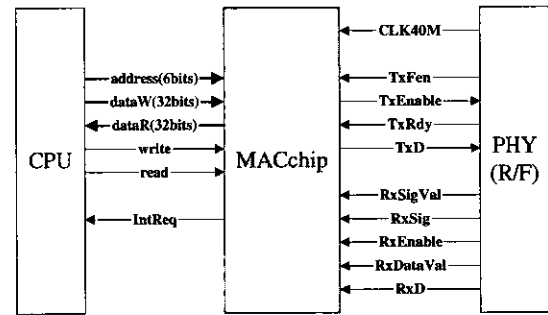


그림 2. 계층간 인터페이스 신호

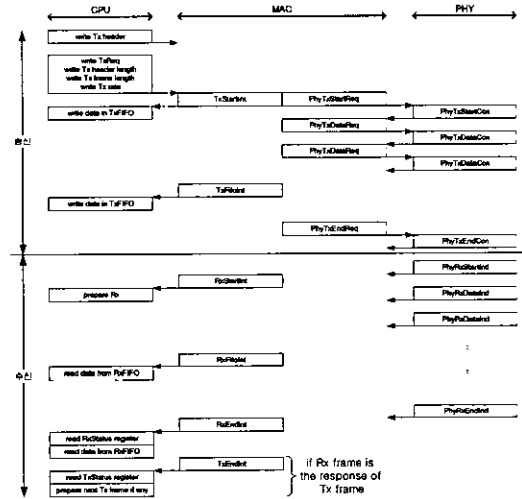


그림 3. 송수신 절차 흐름도

### 2. MAC 칩 설계

그림 4에는 본 연구에서 설계한 MAC 칩의 전체적인 블록 구조도를 나타내었다. 그림의 주요 블록들의 동작을 간략히 설명하면 다음과 같다.

주소 해석(address decoder) 블록은 CPU와 MAC 칩과의 인터페이스를 위한 각종 제어 레지스터들의 값을 읽거나 쓰기 위해서 CPU와 연결된 주소버스

표 1. 송수신을 위한 제어 레지스터

주소 할당	read/ write	레지스터명	비트수	기능	
0h	read	RxFIFO	63×8	수신 FIFO	
	write	TxFIFO	63×8	송신 FIFO	
5h	write	swReset	ResetTxFifo	1	송신FIFO S/W 리셋
			ResetRxFifo	1	수신FIFO S/W 리셋
			ResetFlag	1	MAC칩 천체 리셋
6h	r/w	TSFH	32	TSF timer(high)	
7h	r/w	TSFL	32	TSF timer(low)	
8h	write	TxControl	TxReq	1	송신 시작 지시
			TxRate	4	송신 속도
			TxHeadLen	5	송신프레임헤더길이
			TxLen	12	송신프레임 길이
9h	read	TxStatus	mFxFIP	1	프레임교환절차진행중
			TxRes	6	송신 결과
Ah	read & auto clear	TxInt	TxStartInt	1	송신이 시작 인터럽트
			TxFifoInt	1	송신 TxFifo 인터럽트
			TxEndInt	1	송신완료 인터럽트
Bh		reserved			
Ch	read	RxControl	RxRate	4	수신 속도
			RxLen	12	수신프레임 길이
Dh	read	RxStatus	mRxA	1	프레임 수신중 플래그
			Rx_K	12	수신프레임 바이트수
			MmIndicate	1	관리프레임 수신
			MsdIndicate	1	데이터 프레임 수신
			RxRes	1	수신 결과
Eh	read & auto clear	RxInt	RxStartInt	1	프레임 수신 시작
			RxFifoInt	1	수신 RxFifo 인터럽트
			RxEndInt	1	수신 완료 인터럽트
10h-17h	write	TxHeader	30×8	프레임 헤더 저장	
20h-2Fh	read	dot1xxx	16	각종 통계 값	

(addrBUS)와 읽기/쓰기 제어신호(R/W)를 입력으로 받아 다른 블록에 필요한 제어신호를 생성한다.

인터럽트 생성(interrupt generator) 블록은 송신관련 인터럽트 레지스터(TxInt)나 수신관련 인터럽트 레지스터(RxInt)들의 정보를 이용해 CPU에게 인터럽트를 요구하는 신호(IntReq)를 생성하는 회로이다.

인터페이스 레지스터(interface registers) 블록은 각종 제어 레지스터들이 포함되어 있는 블록이다.

RxMUX 블록은 CPU가 수신FIFO의 데이터를 읽거나 또는 특정 인터페이스 레지스터의 값을 읽고자 할 때 주소해석 블록의 제어신호를 받아 값을 보내주는 멀티플렉서 회로이다.

TxFIFO 블록과 RxFIFO 블록은 CPU로부터 송신데이터를 넘겨받거나 CPU로 수신데이터를 넘겨주기 위한 데이터 저장장소로 각각 63×8 비트의 크기를 가진다.

TSF(Timing Synchronization Function) 타이머 블록은 동일 BSS내에 속한 모든 스테이션들이 동기화되도록 운영되는 64비트 타이머이다.

TxCoordination 블록과 Tx 블록으로 구성된 송신부와 RxCoordination 블록, Rx 블록으로 구성된 수

신부는 각각 송신과 수신에 관련된 프로토콜 기능을 수행하는 블록이다.

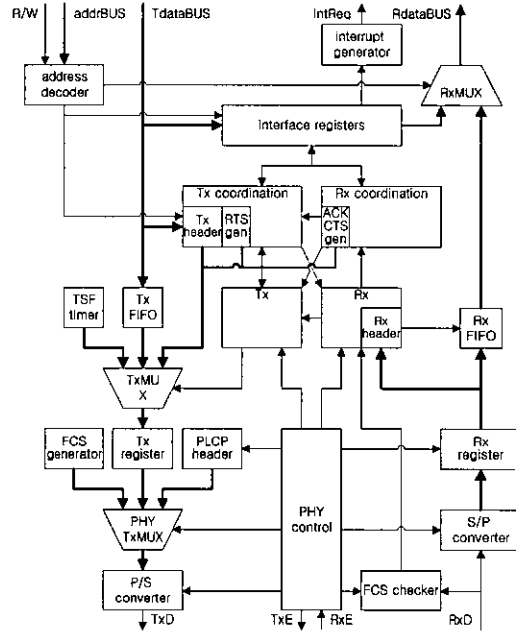


그림 4. MAC 칩 블록도

가. 수신부 설계

그림 5에 설계한 수신부에 대한 블록도를 나타내었다. 그림에서 알 수 있듯이 수신부는 크게 RxCoordination 블록과 Rx 블록으로 구성된다. MAC 계층 관점에서의 Reception 블록은 그림 1의 IEEE 802.11 MAC 기능 블록도에 나타내었듯이 수신MPDU검사(Validate\_MPDU), MPDU필터(Filter\_MPDU), 채널상태관리(Channel\_State), 재조립(Defragment) 블록들로 구성된다. 그러나 재조립 기능의 경우 수신한 fragment들을 재조립하기 위해 메모리를 관리하여야 하기 때문에 하드웨어로 구현하는 것보다 펌웨어로 처리하는 것이 더 효율적이다. 따라서 재조립 기능은 하드웨어화 하는 대상에서 제외하였다.

Validate\_MPDU 블록은 수신 프레임의 에러 발생 여부를 검출하는 기능을 수행한다. 또한 정상적인 프레임 수신시 UseDifs 신호를, 에러가 발생했을 경우 UseEifs 신호를 Channel\_State 블록에게 보낸다.

Filter\_MPDU 블록은 수신 프레임의 목적지 주소에 의해 자신으로 향하는 프레임을 필터링하며, 수신 프레임 수 및 중복프레임 수를 기록하고, 중복수신된 프레임을 검출하기 위해 TupleCache 블록을



TxCoordination 블록은 RxCoordination 블록과 함께 DCF(Distributed Coordination Function) 기능을 수행한다.

그림 8은 데이터의 송신 타이밍도를 나타낸 것이다. 송신이 완료되면 TxEndInt 인터럽트를 이용하여 CPU에게 송신이 완료되었음을 알리게 된다.

### III. PLCP 계층 하드웨어 설계

원래 IEEE 802.11 무선 LAN 표준에는 MAC 계층과 R/F 기능을 수행하는 PMD(Physical Medium Dependant) 계층 사이에 PLCP(Physical Layer Convergence Protocol) 계층이 존재한다. 본 논문에서는 PLCP 계층의 상세한 기능을 구현하지 않았으며, 단지 R/F 블록과의 인터페이스를 위한 기본적인 병렬/직렬 변환기 및 직렬/병렬 변환기 관련 회로와 OFDM 방식의 물리계층을 가정한 송수신 타이밍 제어회로만을 구현하였다. 또한 MAC 계층에서 수행해야 하는 FCS 기능의 효율적인 구현을 위해 설계된 회로에 FCS 생성기 및 검사기 회로를 포함하여 구현하였다.

#### 1. 송신 PLCP 블록 설계

송신 PLCP 블록은 MAC 계층으로부터 10MHz 클럭에 동기 되어 전송요구 되는 옥텟 단위의 데이터를 직렬 데이터로 변환하여 물리계층으로 전송하는 역할을 수행한다. 이때 전송하는 데이터에 FCS를 포함시켜 전송하기 위하여 FCS를 생성하는 기능도 수행하게 된다. 또한, MAC 계층으로부터의 요구신호에 맞추어 송신에 관련된 제어신호도 생성하여 MAC 계층에 전송하게 된다. 송신 PLCP 블

록은 Parallel / Serial 변환기, FCS 생성기, 프레임 송신 제어신호 발생기등 3개의 기능블록으로 구성 되어 있으며 상세한 PLCP 블록의 기능 블록도를 그림 9에 나타내었다.

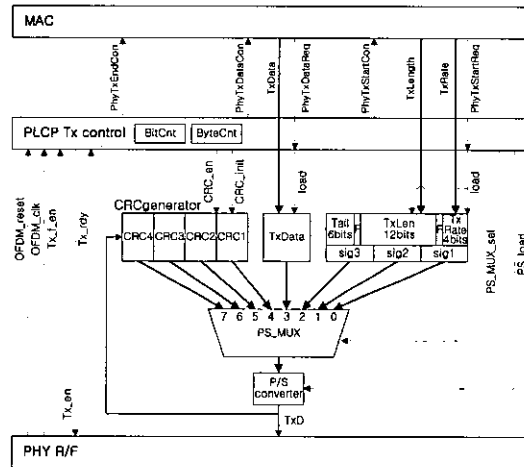


그림 9. 송신 PLCP 기능 블록도

그림 10은 OFDM 물리계층과의 송신 타이밍도를 나타낸 것이다.

#### 2. 수신 PLCP 블록 설계

수신 PLCP 블록에서는 물리계층으로부터 40MHz의 속도로 직렬 입력되는 수신 데이터를 옥텟단위의 병렬데이터로 변환하여 MAC 계층으로 전송하며 수신부 RX 블록의 Validate\_MPDU 블록으로 프레임 수신 관련 제어신호들을 생성하여 전송하는 기능을 수행한다. 또한 수신되는 직렬 입력 데이터에 대해 MAC 계층에서 규정된 FCS 검사기능을 수행하여

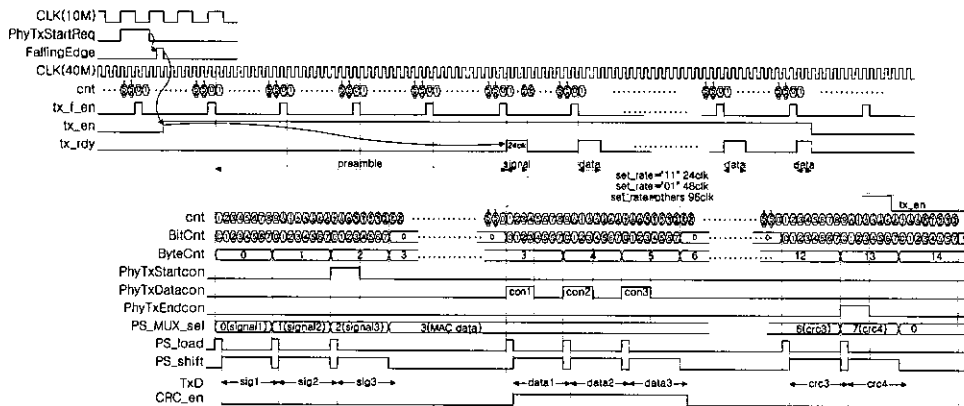


그림 10. OFDM 물리계층과의 송신 타이밍도

그 결과를 제공하는 기능도 수행한다. 수신 PLCP 블록은 Serial/Parallel 변환기, FCS 검사기, 프레임 수신 제어신호 발생기 등의 기능블록으로 구성되어 있으며 상세한 PLCP 블록의 기능 블록도를 그림 11에 나타내었다.

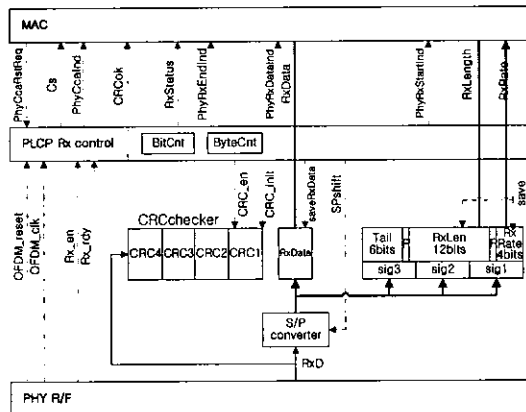


그림 11. 수신 PLCP 기능 블록도

그림 12는 OFDM 물리계층과의 수신 타이밍도를 나타낸 것이다.

#### IV. MAC 칩 구현 및 검증

설계한 MAC 기능 하드웨어 블록들(MAC 칩)에 대한 VHDL 코드는 Xilinx 툴을 이용하여 개발하고 시뮬레이션을 통해 검증하였다. 시뮬레이션시 MAC 프로토콜 처리 부분의 클럭은 10MHz가 사용되었고, 물리계층의 직렬 전송속도는 40Mbps로 설정되었다. 시뮬레이션을 통해 검증된 대표적인 주요 기

능들은 다음과 같다.<sup>[7]</sup>

- RTS-CTS 절차 기능
- IFS(Inter Frame Space) 기능
- 액세스 절차
- 백오프 절차
- 재전송 기능
- 분할된 프레임 송수신 기능
- 중복수신 프레임 검출 기능
- 가상 캐리어 검출 기능(NAV 기능)
- 수신에러 발생 경우 처리기능
- Broadcast 프레임 송수신 기능
- Beacon 프레임 송수신 기능
- 송수신 FIFO 동작 기능

#### 1. RTS-CTS 절차 기능

aRTSThreshold(dot11RTSThreshold) 값보다 긴 unicast 프레임의 전송을 요구할 때 RTS/CTS 프레임 교환절차가 이루어지는지 확인하였으며, 또한 RTS를 수신한 스테이션이 CTS 메시지로 응답하는지 확인하였다. aRTSThreshold (dot11RTSThreshold) 값과 같거나 작은 경우에는 RTS/CTS 프레임 교환절차가 이루어지지 않는 것을 확인하였다.

그림 13에는 위의 검증환경 및 절차에 따라 aRTSThreshold+1 길이를 가지는 프레임 전송요구에 대한 검증 과정을 나타내었다. 그림 13에서 중앙에 위치한 큰 사각형은 검증대상인 MAC 칩을 의미하며 위쪽은 CPU와의 인터페이스를, 아래쪽은 물리계층과의 인터페이스를 의미한다. 그림에서 실선으로 표시된 작은 사각형은 검증 입력으로 넣어주는 프레임임을 의미하며, 점선으로 표시된 사각형은 검증 입력 프레임에 반응하여 MAC 칩이 생성해서 송신하

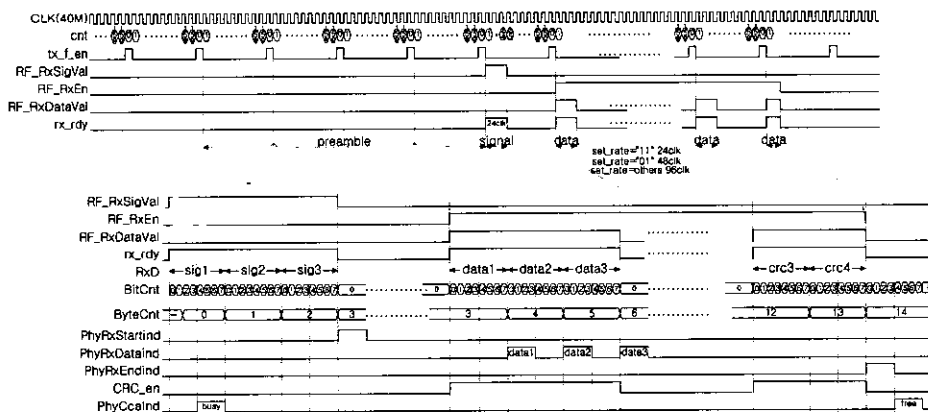


그림 12. OFDM 물리계층과의 수신 타이밍도

는 프레임의 의미한다. 그림의 아래에는 검증 입력으로 사용되거나 출력으로 나오는 각 프레임의 값을 나타내었다. 그림 14는 검증 결과 파형을 나타내었다.

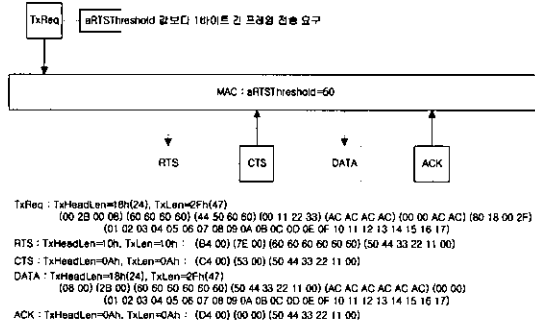


그림 13. RTS-CTS 절차 기능 검증

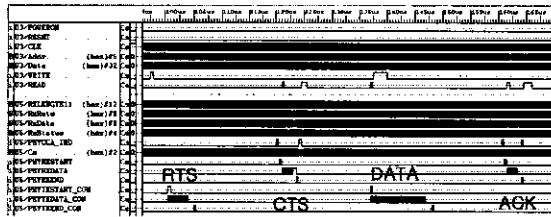


그림 14. RTS-CTS 검증 파형

## 2. IFS(Inter Frame Space) 기능

RTS - CTS - DATA - ACK 프레임 교환절차에서 각 프레임간 시간간격이 aSIFSTime(16us) 시간 인지 확인하였다. 실제 MAC 칩 시뮬레이션 결과에서는 RTS 수신 시점부터 CTS가 송신되기까지의 시간과 DATA 수신 시점부터 ACK가 송신되기까지의 시간은 약 13us가 걸린다. 이는 MAC 칩이 SIFS 시간을 계산할 때 물리계층에서의 수신지연시간  $D1 = aRxRFDelay + aRxPlcpDelay = 1us$ 과 송신지연시간  $aRxTxTurnaroundTime = 2us$ 를 가정하였기 때문이다. 이 기능 검증은 앞에서 수행한 RTS-CTS 교환절차 검증의 결과를 이용하였다.

## 3. 액세스 절차

매체가 free된 후 DIFS 시간이 경과된 후에 송신할 프레임이 생기면 프레임이 즉시 전송되는 것을 확인하였으며, 매체가 이미 사용중일 때(시뮬레이션에서는 타 스테이션에 의해 ACK 프레임 송신 가정)는 전송할 프레임이 발생할 경우 현재 사용중인 매체가 휴지(idle) 상태가 되어 DIFS 시간이 지난 후 경쟁 백오프 원도우가 지나야 전송되는 것을 확인하였다.

## 4. 백오프 절차

백오프 절차가 시작되면 백오프 타이머는 랜덤한 값으로 설정되며, 설정된 값은 매 slot 시간이 지날 때마다 1씩 감소하되 DIFS 시간 동안이나 물리적인 캐리어 검출 메커니즘이 미디어가 busy 상태라고 판단하는 동안에는 정지된다. 시뮬레이션 결과 타 스테이션에 의해 프레임 송신되는 동안 백오프 타이머 중지를 확인하였고, 타 스테이션에 의한 프레임 전송 완료 후 백오프 타이머가 재시작 되는 것을 확인하였다.

## 5. 재전송 기능

MAC 계층은 긍정응답 메커니즘을 사용한다. 따라서 프레임 송신 후 상대 스테이션으로부터 응답이 없을 경우 재전송을 시도하게 된다. 시뮬레이션 결과 RTS-CTS절차가 끝나고 DATA를 송신한 후 ACK 응답이 없으면 RTS부터 재전송하고 ACK가 계속 없으면 제한된 횟수(aRetryLimit)만큼 재전송이 이루어짐을 확인하였다.

## 6. 분할된 프레임 전송 절차 검증

분할된(fragmented) 프레임은 SIFS 시간 후에 전송된다. 본 논문에서는 프레임 분할기능이 전적으로 펌웨어에서 처리되는 것으로 가정하였다.

분할된 fragment를 수신하는 수신측 스테이션은 MAC 칩이 자동으로 ACK 프레임을 생성하여 SIFS 시간후에 응답하도록 설계되었다. 시뮬레이션 결과 CTS 수신후 SIFS 시간 경과시 첫번째 fragment를 송신하며, 두번째 fragment가 ACK 수신후 SIFS 시간 경과 후 송신되는 것을 확인하였다.

## 7. 중복수신 프레임 검출 기능

프레임이 중복 수신될 경우 중복되어 수신된 프레임을 폐기하고 ACK 프레임을 송신하게되며, 중복수신 여부는 Retry 비트가 1로 세트되어 있는 프레임(재전송되는 프레임)만 검사한다. 시뮬레이션 결과 중복수신된 프레임은 폐기되고, ACK 프레임이 송신되는 것을 확인하였다.

## 8. 가상 캐리어 검출 기능(NAV 기능)

NAV 값이 0이 아닐 경우 프레임 송신이 이루어지지 않아야 한다. 시뮬레이션 결과 먼저 CTS 프레임 수신(목적지=타 스테이션, Dur/ID 필드값 = 128)후 128us 이전에 수신한 RTS에 대해서는 응답(CTS)하지 않으며, 128us 이후에 수신된 첫번째 RTS에 대해 Duration/ID 필드 값이 128us -

(aSIFSTime + aCTSTime) 인 CTS 응답이 송신됨을 확인하였다.

### 9. 수신 에러 발생 경우

데이터 프레임 수신도중 물리계층으로부터 PhyRxEnd.ind(no\_error) 신호를 MAC에게 보내면 불완전한 프레임을 폐기하고, IFS 시간간격으로 EIFS 시간을 사용함을 확인하였으며, 데이터 프레임은 예정된 바이트 수만큼 수신하였으나 FCS 필드 수신중 carrier lost가 발생한 것으로 가정하여 PhyRxEnd.ind(carrier lost) 신호를 MAC에게 보냈을 때도 불완전한 프레임을 폐기하고, IFS 시간간격으로 EIFS 시간을 사용함을 확인하였다.

### 10. Broadcast 프레임 송수신 기능

IBSS 스테이션의 경우 broadcast 프레임 송신시 RTS/CTS 절차가 사용되지 않는 반면에 infrastructure에서는 broadcast 프레임을 AP에게 송신할 때 RTS/CTS 절차가 사용됨을 확인하였으며, broadcast 프레임을 수신한 스테이션은 ACK 응답을 보내지 않음을 확인하였다.

### 11. Beacon 프레임 송수신 기능

Beacon (또는 Probe\_Response) 프레임을 송신하는 경우 헤더 바로 다음에 전송되는 타임스탬프 필드에 TSF 타이머 값이 삽입되어 전송되는 것을 확인하였다.

Beacon 프레임을 수신하는 경우 가변길이를 갖는 정보요소(Information Element)들중 CF Parameter Set 정보요소의 Cfp\_Dur\_Remaining 필드 값을 추출하여 NAV 값을 설정하는 것을 확인하였다.

### 12. 송수신 FIFO 기능

송수신 FIFO의 크기 보다 큰 프레임 송수신시 인터럽트를 이용한 CPU와의 데이터 전송이 정상적으로 이루어지는지 확인하였다.

들을 분리하여 펌웨어와 하드웨어간 프레임 단위의 전송요구가 처리될 수 있도록 인터페이스를 정의하였다.

설계된 MAC 계층 기능블록 구조는 크게 MAC 데이터 서비스 기능 블록, MPDU 생성 기능 블록, 프로토콜 제어 기능 블록, MAC 계층 관리 기능 블록 및 MAC 정보 관리 기능 블록 그리고 송신 및 수신 기능 블록들로 구성되어 있으며, 이중 프로토콜 제어 기능 블록, 송신 및 수신 기능 블록을 Xilinx 툴(Foundations F2.1i)을 사용하여 VHDL 코드로 프로그래밍하여 하드웨어로 구현하였다. 또한 물리계층의 R/F 시스템과 인터페이스 시키기 위한 병렬/직렬, 직렬/병렬 변환기 회로와 OFDM 방식의 물리계층을 가정한 송수신 타이밍 제어회로, FCS 필드 생성기 및 검사기 회로를 별도의 하드웨어 블록으로 구현하였다. 개발된 MAC관련 하드웨어 블록들은 10MHz 메인클럭이 사용되도록 설계되었으며, 이는 MAC 계층과 PHY 계층간 데이터 송수신이 1옥텟(8비트) 단위로 이루어짐을 감안할 때 물리계층에서의 전송속도는 80Mbps에 해당한다. MAC 기능 구현에 사용된 칩은 Xilinx사의 Virtex V400BG560 이며, 회로 크기는 약 78,900 게이트 규모이다.

구현된 MAC 칩의 동작을 검증하기 위해 RTS-CTS 절차 기능, IFS(Inter Frame Space) 기능, 액세스 절차, 백오프 절차, 재전송 기능, 분할된(fragmented) 프레임 송수신 기능, 중복수신 프레임 검출 기능, 가상 캐리어 검출 기능(NAV 기능), 수신에러 발생 경우 처리기능, Broadcast 프레임 송수신 기능, Beacon 프레임 송수신 기능, 송수신 FIFO 동작 기능 등을 시뮬레이션을 통해 검증하였으며, 검증 결과 모두 정상적으로 동작함을 확인하였다.

본 논문을 통해 개발된 MAC 기능 칩을 이용할 경우 고속 무선 LAN 시스템의 CPU 부하(load)와 펌웨어의 크기를 크게 줄일 수 있을 것으로 기대된다.

## V. 결론

본 논문에서는 IEEE 802.11 무선 LAN MAC 계층 프로토콜을 고속으로 처리하기 위한 하드웨어 구조를 설계하고, 이를 VHDL 언어로 기술하여 시뮬레이션을 통한 성능평가를 수행하였다. 먼저 IEEE 802.11 MAC 프로토콜 규격을 분석하여 기능별 블록 구조를 설계하였고, 구성 기능블록들 중 하드웨어로 구현할 기능들과 펌웨어로 구현할 기능

## 참고 문헌

- [1] IEEE P802.11 D10, Wireless LAN Medium Access Control(MAC) and Physical Layer (PHY) Specifications, Jan., 1999.
- [2] IEEE P802.11a/D7.0, Draft Supplement to Standard for LAN/MAN Part 11: MAC & PHY Specifications, July, 1999.
- [3] Francesco Delli Priscoli, "Design and



Implementation of a Simple and Efficient Medium Access Control for High-Speed Wireless Local Area Networks”, IEEE Journal on Selected Areas in Communications, Vol.17, No.11, pp.2052-2064, Nov., 1999.

- [4] Armin Heindl, Reinhard German, “The Impact of Backoff, EIFS, and Beacons on the Performance of IEEE 802.11 Wireless LANs”, Proceedings of the IEEE International Computer Performance and Dependability Symposium, pp.103-112, 2000.
- [5] 김유진, 이상민, 정해원, 이형호, “무선-LAN 프로세서 프로토타입 보드 설계 및 구현”, 한국통신학회 추계종합학술대회, Vol.22, No. 1, pp318-321, 2000.11
- [6] Nedergard, M. Pedersen, Nielsen, Skov, “On the Design of Generic High-Speed Physical and Media Access Protocol Processors,” Protocols for High-Speed Networks, pp.197-216, 1989.
- [7] “Wireless MAC Level Conformance Tests”, University of New Hampshire, 1999

김 유 진(You-jin Kim)

정회원



2001년 2월 : 충북대학교  
정보통신공학 공학박사  
1995년 12월~1999년 5월 :  
LG반도체 MCU설계실  
연구원 근무  
1999년 6월~현재 : ETRI  
네트워크기술연구소  
라우터기술연구부  
기가이더넷팀 연구원

<주관심 분야> ASIC설계, 무선LAN MAC설계, 기가이더넷시스템설계

이 상 민(Sang-min Lee)

정회원



1994년 2월 : 경북대학교  
전자공학과 졸업  
1996년 2월 : 경북대학교 대학원  
전자공학과 졸업 (석사)  
2000년 2월 : 경북대학교  
전자공학과 박사과정  
2000년 4월~현재 : ETRI

라우터기술연구부 기가접속팀 연구원

정 해 원(Hae-won Jung)

정회원



1980년 2월 : 한국항공대학교  
항공통신정보공학과(학사)  
1982년 2월 : 한국항공대학원  
항공전자공학과 (석사)  
1999년 2월 : 한국항공대학원  
항공통신정보공학과(박사)

1982년 3월~현재 : ETRI 네트워크기술연구소 라우터기술연구부 기가접속팀장, 책임연구원

<주관심 분야> 무선 LAN, 홈네트워킹, 기가비트이더넷

이 형 호(Hyeong-Ho Lee)

정회원



1977년 2월 : 서울대학교 공업교  
육과 전자전공(공학사)  
1979년 2월 : 한국과학기술원  
전기 및 전자공학과  
(공학석사)  
1983년 8월 : 한국과학기술원  
전기 및 전자공학과  
(공학박사)

1984년 12월~1986년 11월 : 미국 AT&T Bell 연구소 방문 연구원

1996년 9월~1998년 8월 : 충남대학교 공과대학 전자공학과 겸임교수

1991년 1월~1998년 12월 : 대한전자공학회 회지편집위원장

1991년 1월~1998년 12월 : 대한전자공학회 전자교환연구회 전문위원장

1996년 1월~1999년 12월 : IEEE ComSoc APB MDC의장

1998년 1월~현재 : 대한전자공학회 이사, 상임이사, 회지편집위원장

1998년 5월~현재 : 통신위원회 전문위원

1999년 1월~현재 : 한국통신학회 교환 및 라우팅 연구회 위원장

1983년 8월~현재 : 한국전자통신연구원 네트워크기술연구소 라우터기술연구부, 책임연구원

<주관심 분야> BISDN망, ATM교환, 고속 LAN 및 라우터 기술, 인터넷, 신호처리, 패킷통신,

