

1000BASE-X PCS 구현 방안

정희원 이승수*, 정인택**, 송상섭**

A method of Implementation in 1000BASE-X PCS layer

Seung-soo Lee*, In-taek Jeong**, Sang-seob Song** *Regular Members*

요 약

광케이블을 이용한 기가비트 이더넷은 8B/10B 선로부호 방식을 채택하여 전이중 통신뿐만 아니라 CSMA/CD 방식의 반이중 통신을 지원토록 규정되어 있다. 또한 링크를 공유하고 있는 2대의 1000BASE-X 장치 사이에 구성 정보를 교환하여 가장 적합한 통신모드로 동작시킬 수 있는 자동절충 기능을 지원해야 한다. 본 논문에서는 비교적 기능이 간단하고 구현이 용이한 기존의 전이중 방식만의 PCS 설계 방법과 비교하여 반이중 방식까지 지원할 수 있는 PCS 부계층을 기가비트 이더넷 스위치 시스템의 ASIC 칩 안에 구현한 적용 예를 바탕으로 PCS 설계 규격, 구조 및 방법 등을 제시한다.

I. 서 론

기가비트 이더넷은 전송매체에 따라 광케이블일 경우는 1000BASE-X라 하고, UTP 케이블인 경우는 1000BASE-T라 분류되며, LAN 백본망에서의 트래픽 병목현상을 해결하기 위해 스위치 시스템으로 적용되고 있다.

본 논문에서는 광케이블을 전송매체로 사용하는 1000BASE-X 계열의 물리계층 부호화 기능을 수행하는 PCS 부계층에 대한 기능 및 설계 방법에 대해 다룬다. 기가비트 이더넷의 물리계층은 크게 3가지의 부계층으로 나눌 수 있다. 먼저 PMD 부계층은 전송매체와 직접 연결되는 부분으로 광변환 기능을 수행하며, 다음으로 PMA 부계층은 비트의 직렬화/병렬화 과정과 비트 동기화 및 바이트 동기를 추출하는 기능을 담당하며, 마지막 PCS 부계층은 8B/10B 부호화 과정과 자동절충(Auto-Negotiation) 기능을 수행한다.

기가비트 이더넷 스위치 시스템은 PCS 부계층을

포함한 MAC 계층, 일부 라우팅 기능 등을 수행한다^{[1][2]}. PCS 부계층은 송신부, 수신부, 자동절충부로 나누어진다. 본 논문에서의 기가비트 이더넷 PCS 부계층은 CSMA/CD 방식의 반이중 통신과 전이중 통신을 둘 다 지원할 수 있으며, 자동절충을 통해 링크를 공유하는 두 1000BASE-X 간의 최적의 통신 모드를 선택할 수 있다. 또한 UTP를 전송매체로 사용하는 1000BASE-T와 MAC 계층간의 상호 연결 통로를 제공하는 GMII 인터페이스 기능을 지원할 수 있으며, PCS 자체 진단용 루프백 모드를 가지고 있어 자동절충을 포함한 송·수신부의 정상 동작여부를 확인할 수 있다. 그림 1은 OSI 참조모델과 기가비트 이더넷 계층과의 관계를 상호 연관지어 나타낸 것이다^{[3][4]}.

본 논문의 구성을 살펴보면 2장에서는 기존의 PCS 설계 방법들에 대해 살펴보고, 3장에서는 본 논문에서 제안하는 PCS 설계 구조 및 PCS 주요 기능 설계 방법을 소개하고 4장에서 결론으로 기존 PCS 설계 방법과의 비교하여 ASIC 칩 구현 결과에 대해 살펴본다.

* 한국전자통신연구원 국가보안기술연구소 정보보증연구부(kadan@etri.re.kr), ** 전북대학교 전자공학과 부호연구실
 논문번호 : 010020-0305, 접수일자 : 2001년 3월 5일

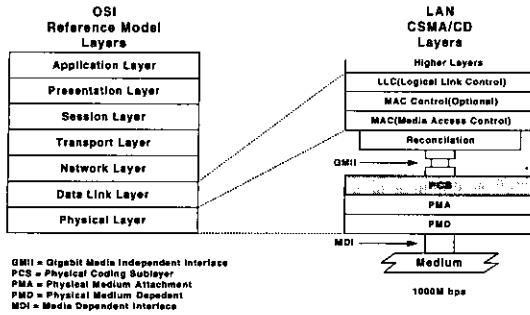


그림 1. 기가비트 이더넷 계층 구조

II. 기존 PCS 설계 방법

최근의 기가비트 이더넷은 백본용 스위치 시스템으로 많이 개발되고 있기 때문에 실제 PCS에서는 전이중 통신만을 지원한다. 이러한 경우에는 자동절충기능을 수행하지 않기 때문에 PCS에서는 8B/10B 인코딩과 디코딩 기능만을 지원하면 된다^[5]. 본 장에서는 기존의 전이중 방식을 지원하는 PCS 설계 방법들에 대해 살펴본다.

2.1 룩업 테이블을 이용한 8B/10B 부호화 설계

룩업 테이블을 이용한 PCS 기능 구현은 설계 방법 중에서 가장 용이하게 설계할 수 있는 방법이다. 이 방법은 MAC에서 PCS 송신부로 8비트열의 데이터를 전송하기 때문에 256경우에 대한 각각의 매핑되는 10비트의 인코딩 데이터열을 룩업 테이블에서 찾는 방식이다. 8B/10B 인코더에서는 디스패리티 값에 따라 두 조의 10비트 데이터열이 있어야 하기 때문에 결국 256×2 만큼의 메모리를 차지하게 된다. 추가로 제어를 위한 특수용도로 쓰이는 스페셜 코드까지 10×2 만큼을 더 포함하면 532 만큼의 메모리가 필요하게 된다. 마찬가지로 10B/8B 디코더도 인코더와 같이 메모리가 필요하게 된다. 기가비트 이더넷에서는 PCS에서 125MHz 속도로 데이터를 처리하기 때문에 8ns 간격마다 룩업 테이블에서 해당되는 데이터를 읽어 와야 한다. 따라서 룩업 테이블로 동작시킬 경우는 MAC에서 전송된 8비트 데이터열의 디스패리티를 계산한 후 룩업 테이블에서 연관되는 데이터열을 찾는 것이기 때문에 비효율적이다. 또한 룩업 테이블을 이용한 PCS 송신부 설계는 칩 사이즈를 많이 차지한다는 점에서 비경제적이다. 결국 기가비트 이더넷과 같은 초

고속 동작이 요구되는 환경에서는 권장하지 않는 방법이다. 다만 구현전 PCS 전체 기능 검증을 위한 모델링을 수행할 때에는 사용이 가능하다. 그러나 향후 8ns에 동작시킬 수 있는 메모리 액세스 구현 기술이 개발된다면 표준안에 기술된 8B/10B 코딩 표를 참조하여 쉽게 설계할 수 있다^{[6][7]}.

2.2 Gleichert의 8B/10B 부호화 설계

본 절에서 소개하는 8B/10B 설계 방법은 Widmer와 Franszsek의 제안한 8B/10B 선로부호를 구현하기 위한 설계 방법에 대한 Gleichert의 특허로 등록되어 있는 내용이다^{[8][9]}. 여기서 제안하고 있는 방법은 그림 2에서와 같이 병렬 8비트 데이터를 5비트와 3비트로 나누고 각각 5B/6B 인코딩과 3B/4B 디코딩을 수행하여 10비트 직렬 데이터열을 생성한다. 비트 클럭은 6비트와 4비트를 경계를 구분하는 역할을 수행한다. 1984년에 발표된 이 설계 방법은 광케이블을 사용하는 10Mbps급의 이더넷에 적합하도록 제안되었기 때문에 그림 2와 같이 여러 기능블록들을 통과하여도 실시간으로 디스패리티 계산이나 8B/10B 부호화가 가능하였다. 그러나 100배 빨라진 기가비트 이더넷에서의 8B/10B 부호화를 수행하기 위해서는 새롭게 향상된 설계 방법이 필요하다.

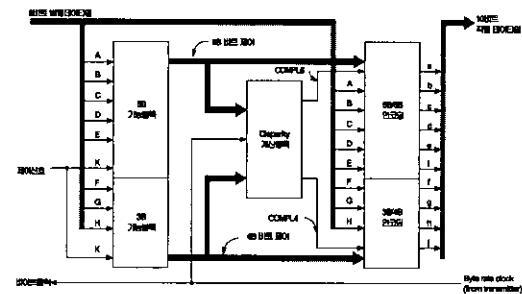


그림 2. 8B/10B 채널 코딩 회로도

III. PCS 설계 구조 및 방법

본 장에서는 전이중 방식과 반이중 방식을 모두 지원할 수 있는 PCS 설계 구조 및 방법을 소개한다. 특히 2장에서 언급한 8B/10B 부호화 설계를 기가비트 이더넷에 새롭게 적용시킬 수 있는 설계 구조 및 방법을 제안하고 또한 CSMA/CD 방식을 지원하기 위한 송·수신부의 설계 방법, 자동절충을 위한 설계 방법 등을 알아본다.

3.1 PCS 구조

PCS 회로 설계시 PCS는 송신부, 수신부, 자동절충부 세 가지로 분류하여 설계되었다. PMA로부터 데이터를 수신하는 부분을 PCS 수신부라 하는데 본 논문에서는 동기부와 수신부로 나누어 설계하였으며, 동기부에서는 수신된 데이터열에서 특수기호인 콤마를 검출하여 비트 동기를 획득하는 기능을 수행하며, 수신부에서는 동기부에서 전달된 10비트 데이터열을 수신하여 10B/8B 디코딩을 주요 기능으로 수행한다. 각 기능부에 대한 주요기능을 요약하면 표 1과 같다. 표 1에서 PCS 기능부의 원문자 기호는 그림 3에 각 기능블록의 상단에 표기한 숫자를 의미한다.

표 1. PCS 기능부별 주요 수행 기능

PCS 기능부	주요 기능 요약	비고
송신부 ①②	<ul style="list-style-type: none"> 8B/10B 인코딩 Tx state machine 동작 (IEEE802.3z fig.36-5, 6) <ul style="list-style-type: none"> Ordered sets 생성(C/, I/, /S/, /R/, /T/, /V/, /D/) RD 계산 COL(Collision Detection) 신호 생성 	PCS 송신부
동기부 ③	<ul style="list-style-type: none"> Sync, state machine 동작 (IEEE802.3z fig.36-9) <ul style="list-style-type: none"> sync_status 신호 생성 및 갱신 콤마 검출 인에이블 (EN_COM_DET) 신호 생성 RD 에러 검사(check_rd) 콤마 검출 	PCS 수신부
수신부 ④⑤	<ul style="list-style-type: none"> 10B/8B 디코딩 Rx state machine 동작 (IEEE802.3z fig.36-7) <ul style="list-style-type: none"> RX_DV, RX_ER, receiving 신호 생성 RD 에러 검사 프레임 끝 검출(check_end) 	PCS 수신부
자동절충부 ⑥	<ul style="list-style-type: none"> 자동절충 state machine 동작 (IEEE802.3z fig.37.6) GMI mode 동작, xmit 신호 생성 구성정보 비교, 반/전이중 동작, 흐름제어 링크 타이머 	PCS 자동절충부

그림 3와 같은 구조로 PCS는 bottom-up 방식으로 설계되었으며 회로도도의 구성을 살펴보면 4개의 state machine(①,③,⑤,⑥)과 8B/10B 인코더 및

10B/8B 디코더(②,④)로 구성되어 있다.

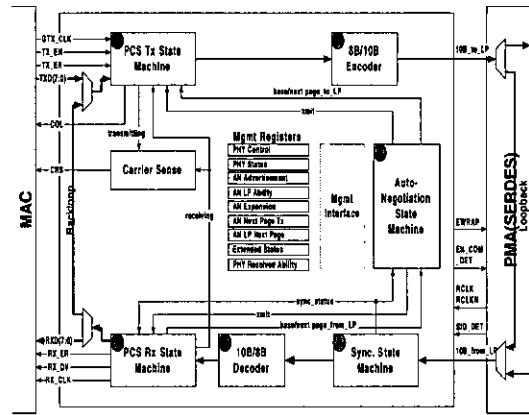


그림 3. 1000BASE-X의 PCS 회로 구조

MAC 계층에서 제어신호인 TX_EN과 TX_ER이 TXD[7:0] 데이터와 함께 Tx state machine(①)에 입력되고 8B/10B 인코더(②)를 거쳐 PMA 부계층에 전달되는 과정이 PCS 송신부이다. 반대로 PMA 부계층을 통해 10비트 데이터열이 동기부(⑤)를 거치고 10B/8B 디코더(④)를 수행한 후 Rx state machine(③)을 거쳐 MAC 계층에 전달되는 과정이 PCS 수신부이다. 중간에서 레지스터 정보와 수신부의 정보를 비교하여 Auto-Negotiation state machine(⑥)을 수행하는 과정이 PCS 자동절충부이다. 또한 구현된 ASIC 칩 테스트시 MAC 계층과 연결시키지 않고 PCS 자체 기능 검증을 확인하기 위해 루프백 기능(②→③, ⑤→①)을 수행할 수 있도록 하였다.

3.2 개선된 8B/10B 인코더 및 10B/8B 디코더 회로

본 논문에서 구현시 고려한 8B/10B 인코더와 10B/8B 디코더의 회로는 125MHz 비트 클럭에 동작할 수 있도록 하였다. 2장에서 언급한 기존의 8B/10B 선로부호를 적용하여 구현할 경우 한 클럭에 동작시킬 수 없어 그림 4와 그림 5에서와 같이 한 클럭에 동작시킬 수 있는 범위의 기능블록으로 세분화시키고 버퍼를 두어 125MHz 클럭에 타이밍 위반 없이 동작을 수행할 수 있도록 개선하였다. 먼저 그림 4에서 인코더 구조를 살펴보면 제어신호와 같이 8비트 데이터를 가지고 8B/10B 기능블록과 디스패리티 계산블록을 통해 버퍼에 보내지고 8B/10B 인코더블록에서 인코딩을 수행하여 버퍼2에

보내진다. 클럭에 따라 10비트 출력 데이터와 디스패리티 값이 버퍼2를 통해 출력된다. 여기서 클럭은 바이트 클럭을 의미한다. 결국 병렬 8비트 데이터열이 125MHz 바이트 클럭에 의해 10비트 병렬 데이터열로 인코딩된다.

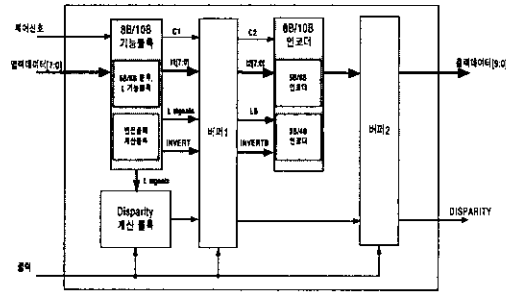


그림 4. 8B/10B 인코더 구조

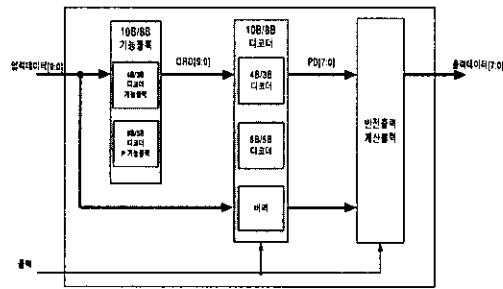


그림 5. 10B/8B 디코더 구조

그림 5의 10B/8B 디코더 구조에서는 10비트 데이터열을 입력으로 받아 10B/8B 기능블록을 수행하여 10B/8B 디코더 블록에 전달되고 버퍼를 통해 한 클럭 지연된 입력 값과 10B/8B 디코더 블록에서 계산된 8비트 데이터열을 가지고 반전출력 계산블록에서 최종 디코딩을 수행한다. 디코더에서는 디스패리티 계산이 필요 없기 때문에 인코더에서와는 달리 생략되었다. 특히 10B/8B 디코더와 반전출력 계산블록을 바이트 클럭에 따라 동작하도록 하여 타이밍 위반 없이 실시간 디코딩이 이루어지도록 하였다.

3.3 State Machine 회로 구성

본 절에서는 8B/10B 부호화 이외에 PCS가 반이중 방식을 지원할 수 있도록 동작시키기 위해 표준안에서는 각각의 기능에 대해 상태로 나타내었는데 이를 설계한 방법을 설명한다. 그림 5의 PCS 회로 구조에서와 같이 PCS는 4개의 State Machine이

있다. 먼저 이를 설계하기 위한 방법으로 본 논문에서는 표준안에 상태도와는 달리 새롭게 상태도의 각 상태가 클럭 이벤트가 발생할 경우에 동작할 수 있도록 재구성하였다. 그림 6은 자동절충부의 State Machine 동작 예를 나타낸 것이다. 초기상태에서 시작하여 상태 천이조건을 만족할 경우 다음 상태로 천이 됨을 볼 수 있다. 특히 상태도에서 각각의 상태(STATE)는 125MHz 클럭 동안에 모두 동작이 완료되어야 하고 이를 시뮬레이션을 통해 확인하였다.

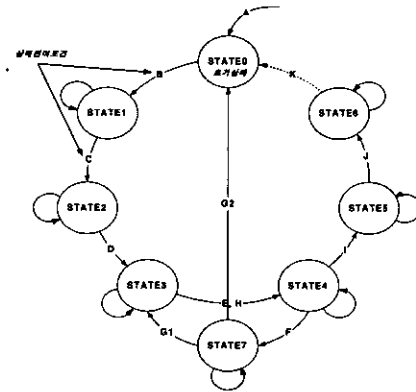


그림 6. 상태 천이도

```

elseif (CLK'event and CLK = '1') then
case STATE is
  when 0 => -- STATE0
    STATE0 동작기술;
    if (조건 B) then
      STATE <= 1;
    else
      STATE <= 0;
    end if;
  when 1 => -- STATE1
    STATE1 동작기술;
    if (조건 C) then
      STATE <= 2;
    else
      STATE <= 1;
    end if;
  .....
end case;
end if;
    
```

4개의 State machine의 동작은 IEEE802.3z CSMA/CD 표준안을 따른다^[3]. 또한 표준안에 언급되지 않았지만 구현시 꼭 필요한 동기부의 State machine에서 동기 상태가 획득되지 않을 경우 PMA에 콤마 검출을 요구할 수 있는 신호를 추가하여 PMA에서 보내오는 10비트 데이터열을 조정할 수 있도록 하였다.

이외에도 본 논문에서 고려했던 주요 설계 기능

으로는 송신부에서 디스퍼티터를 계산하는 기능과 자동절충부에서 상태 천이시 사용되는 타이머 기능, 동기부에서 동기 상태를 획득하기 위해 수신된 데이터열의 RD가 올바른지 검사하는 RD 에러 검사와 수신부에서 프레임의 끝을 검출하는 기능 등이 있다^{[2][10][11][12]}.

IV. 결론

본 논문에서는 PCS를 ASIC 칩으로 구현할 경우에 고려되었던 구조 및 설계 방법을 살펴보았다. 구현된 PCS 회로는 전이중 방식과 반이중 방식으로 모두 동작할 수 있으며, 설계 절차는 송신부, 수신부, 자동절충부 세 가지로 나누어 설계한 후 최종 통합되었고 Mentor사의 Modelsim과 Cadence사의 Verilog-XL을 이용한 시뮬레이션이 수행되었다. 최종 설계된 PCS는 한국전자통신연구원이 주관한 기가비트 이더넷 스위치 시스템 개발 연구의 핵심 기능 ASIC 칩 안에 구현되었다^[1]. 구현된 ASIC 칩은 110만 게이트 용량에 0.35um CMOS 공정이며 MGFP 패키지로 제작되었다. PCS 설계 중 도출된 송신부의 인코더 구조와 동기부에서의 RD 에러 검출 방법 등이 특허로 등록되었다^[5]. 구현된 PCS 회로는 표 2와 같이 10,000 gate급으로 최소화시켜 설계되었다. PCS는 칩 사이즈만으로는 기가비트 이더넷 시스템에 실장되는 ASIC 칩에서 차지하는 비중이 1% 정도로 작운데, 이와 같이 PCS가 차지하는 칩 사이즈를 최소화시킬 수 있었던 이유는 자동절충부의 레지스터를 제외한 부분들은 메모리가 없는 산술연산 회로로 구현하였기 때문이다. 따라서 본 논문에서 제안한 PCS 설계는 경쟁력 있는 가격으로 PMA 부계층의 SERDES 상용칩(VSC7135)과 같이 별도로 분리하여 PCS만을 원 칩으로 하는 상용화 할 수 있다^[6].

표 2. PCS ASIC 구현 결과.

항목	gate 수	VHDL 라인수	파일 수	비고
송신부	1,522	1,376	4	
수신부	3,560	1,579	17	동기부 포함
자동절충부	4,946	1,548	7	
PCS 전체 (top 블록 포함)	10,075	4,791	29	

• 전체 ASIC 사양 : 110만 게이트, 0.35um CMOS 공정, 3.3V, 4 Metal Layer, 304 핀 MGFP 패키지

본 논문의 구현 기술은 외국의 기가비트 이더넷 제품 생산업체들이 자체 구현기술을 공개하지 않고 코어 형태로 구현 기술을 판매하면서 국내 시장을 독점하고 있는 상황에서 이에 대응한 국내 관련 기술력 확보라는 의의를 둘 수 있다. 현재 10기가비트 이더넷은 표준화가 진행 중에 있으며 선로부호 방식으로 8B/10B 코딩방식이 채택될 예정이다^[17]. 따라서 본 논문의 기가비트 이더넷 PCS 설계 기술은 10기가비트 이더넷 ASIC 구현시에도 적용 가능하다.

참고문헌

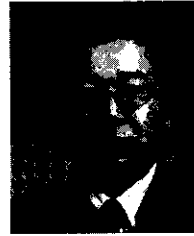
- [1] 연구개발보고서, "Gigabit Ethernet 기술개발," ETRI, Dec. 1999.
- [2] 최종연구보고서, "기가비트 이더넷 물리계층의 PCS 기능개발에 관한 연구," ETRI, Nov. 1999.
- [3] IEEE Draft P802.3z, "Media Access Control(MAC) Parameters, Physical Layer, Repeater and Management parameters for 1000Mb/s Operation," Jun. 23, 1998.
- [4] <http://www.iol.unh.edu/training/ge/introduction.html>, "1000BASE-X Physical Coding Sublayer and Physical Medium Attachment Tutorial," Jun. 15, 1998.
- [5] <http://www.coreel.com/html/ipprod.htm>, "CS-1001 Gigabit Ethernet Physical Coding Sublayer 8B/10B Encoding Decoding".
- [6] XaQti Corporation, "XaQti XQ11800FP 1000Mbps Gigabit Ethernet Controller, Data Sheet", Oct. 12, 1998.
- [7] SEEQ Technology Incorporated, "Gigabit Ethernet Controller, Date Sheet", Apr. 27, 1998.
- [8] A. X. Widmer & P. A. Franzaszek, "A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code," IBM, Sep. 1983.
- [9] P. A. Franzaszek & A. X. Widmer, "Byte Oriented DC Balanced 8B/10B Partitioned Block Transmission Code," Dec. 4, 1984.
- [10] 이승수, "8B/10B decoded Gigabit Ethernet 물리계층의 PCS 수신부 ASIC 설계," 한국통신학

회 추계학술대회 논문집, Nov. 1999.

- [11] 강태규, "1000BASE-X 물리계층의 Auto-Negotiation 설계," 한국통신학회 추계학술대회 논문집, Nov. 1999.
- [12] 정보선, "기가비트 이더넷 물리층의 송신부 설계," 한국통신학회 추계학술대회 논문집, Nov. 1999.
- [13] Charles H. Roth, Jr., "Digital Systems Design using VHDL", 1997.
- [14] Samir Palnitkar, "VerilogHDL, A Guide to Digital Design and Synthesis, 1996.
- [15] 이승수, "8B/10B 선로부호화의 RD(Running Disparity) 에러 검출 방법," DP19990445.
- [16] VITESSE Semiconductor Corporation, "1.25 Gbps Gigabit Ethernet Transceiver, Data Sheet", May 28, 1998.
- [17] IEEE Draft P802.3ae/D1.0, "Media Access Control (MAC) Parameters, Physical Layer, and Management parameters for 1000Mb/s Operation," Sep. 7, 2000.

이 승 수(Seung-soo Lee)

정회원

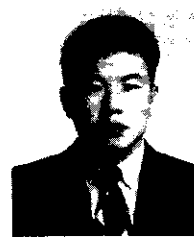


1995년 2월 : 전북대학교 전자공학과 학사
 1997년 2월 : 전북대학교 전자공학과 석사
 2000년 8월 : 전북대학교 전자공학과 박사수료
 2001년 3월~현재 : 한국전자통신연구원
 국가보안기술연구소

<주관심 분야> 기가비트이더넷, 정보보증

정 인 택(In-taek Jeong)

정회원



1994년 2월 : 순천대학교 전자공학과 학사
 1997년 2월 : 전북대학교 전자공학과 석사
 1998년 3월~현재 : 전북대학교 전자공학과 박사과정

<주관심 분야> xDSL 모델

송 상 섭(Sang-seob Song)

정회원



1978년 2월 : 전북대학교 전기공학과 학사
 1980년 2월 : KAIST 전기 및 전자공학과 석사
 1990년 2월 : 캐나다 마니토바대학교 전기컴퓨터공학과 박사

1981년 3월~현재 : 전북대학교 전자정보공학부 교수

<주관심 분야> HomePNA, xDSL 모델, 기가비트 이더넷