

다단계 상호연결 네트워크에 기반한 입력버퍼형 오류허용 ATM 스위치의 설계 및 성능 평가

신 원 철[†] · 손 유 익^{††}

요 약

본 논문에서는 다단계상호연결 네트워크에 기반한 입력버퍼 구조의 ATM 스위치에 관해서 언급한다. 제안된 방법은 HOL 블록킹으로 인해 균일 트래픽(uniform traffic) 하에서 최대 약 58.6%의 처리율을 넘지 못하는 문제를 해결할 수 있는 방법을 제시하며, 또한 오류허용 기능을 확장시키기 위하여 베이스라인 네트워크에서 버디연결 매핑 및 제한연결 매핑 특성을 이용한 다중경로를 제공할 수 있는 버퍼 기법에 관하여 언급한다. 시뮬레이션에 의한 성능 평가 결과, 기존 방식과 비교하여 좋은 처리율과 셀 손실율을 보였으며, 더욱이 오류 스위치의 증가에도 불구하고 하고 처리율의 수준은 적절한 셀 지연 범위 내에서 유지될 수 있음을 보여주고 있다.

Design and Performance Evaluation of a Fault-Tolerant Input-Buffered ATM Switch based on Multistage Interconnection Networks

Won-Chul Synn[†] · Yoo-Ek Son^{††}

ABSTRACT

In this paper, we present an input-buffered ATM switch architecture based on multistage interconnection networks. The proposed scheme can solve the problem which limits the maximum throughput to about 58.6% under uniform traffic because of the HOL (head-of-line) blocking, and then proposes the scheme to give multiple paths in order to expand fault tolerant function by using Buddy and Constrained connection Mapping properties of the Baseline network. The result of performance evaluation by simulation shows that the proposed scheme has a good throughput and cell loss rate. In addition, the level of throughput is maintained with acceptable cell delay even though the number of faulty components increases.

키워드 : ATM 스위치(ATM switch), HOL 블록킹(HOL blocking), 다단계 상호연결 네트워크(MINs), 오류허용(Fault tolerance)

1. 서 론

대규모 병렬처리시스템에서 다수의 프로세서와 메모리들을 상호 연결해주는 상호연결 네트워크(interconnection network)는 시스템의 성능에 결정적 영향을 미치는 부분이라 할 수 있다. 상호연결 구조에 따라 여러 종류로 구분될 수 있으나 가장 대표적인 구조가 반얀 네트워크(Banyan network)이다. 이러한 반얀 타입의 MIN(multistage interconnection network)은 그들이 갖는 병렬처리 능력으로 인해 최근, ATM 네트워크에서 고속 셀 교환을 위한 스위치로의 사용되면서 현재까지 많

은 연구가 진행되어 왔다[3, 6, 10, 13].

이러한 스위치 구조는 그 특성상 단일경로를 갖는 문제점으로 인하여 블록킹의 가능성이 높고 이로 인해 셀의 손실을 가져올 수 있다는 점이다.

여러 형태의 스위치 구조들 중에서 입력버퍼를 갖는 스위치 소자들로 구성되는 네트워크의 경우, 블록킹에 따른 성능 저하를 방지하기 위한 방법으로는 버퍼링(buffering), 정렬 네트워크(sorting network), 다중경로(multiple paths), 내부속도 증가(internal speedup) 등 다양한 기법들이 있지만, 하드웨어의 복잡성, 제어를 위한 부가적인 요구사항, 성능 대 비용 등의 이유로 일반적으로 버퍼링 기법이 사용된다[3]. 입력 버퍼링의 경우, 만약 FIFO 입력버퍼가 각 입력포트에서 셀을 전송하기 위해 사용된다면 각 버퍼에서 입력되는 첫 번째 셀만이

※ 본 연구는 계명대학교 비사연구비 지원에 의한 것임.

† 준 회원 : 미니어랜드(주) 근무

†† 종신회원 : 계명대학교 컴퓨터공학과 교수

논문접수 : 2000년 11월 17일, 심사완료 : 2001년 5월 25일

앞으로 진행하게 됨으로써 결과적으로 HOL(head-of-line) 블록킹이 발생하게 되며[5, 7, 12], 이로 인해 균일 트래픽(uniform traffic)에서 입력버퍼 스위치의 최대 처리량은 약 58.6% 정도 된다는 점은 이미 알려진 바와 같다[11, 12]. 더욱이 버스트 트래픽인 경우 처리량은 더욱 낮아질 수 있다. 이러한 경우 각 입력 부하에 대한 셀 손실률은 버퍼의 크기와 관계없이 높아지게 되므로 이러한 셀 손실을 막기 위해서는 입력버퍼 스위치의 구조와 각 네트워크 각 단계(stage) 사이의 링크를 확장 시킴으로써 가능하게 할 수 있다.

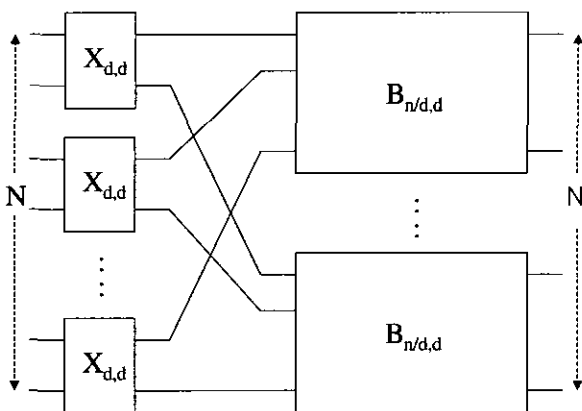
현재까지 높은 처리량과 낮은 셀 손실률 및 지연을 위해 여러 가지 방법들이 제안되어왔다. 특히 Adam[6], Chen[13]은 다중 경로를 제공함으로써 이를 해결하고자 하였다. 그러나 블록킹이 발생한 셀들이 링크의 용량을 초과하면 손실되고 내부 블록킹으로 인해 성능이 저하되는 등 제한된 성능 향상만을 기대할 수 있었다. 그리고 Koliass[3]는 이중 입력버퍼를 이용한 이중 반양 스위치를 제안하였으며, Karol[10]은 입출력간에 분리된 FIFO 방식의 버퍼를 이용하여 HOL 블록킹을 해결하고자 하였다.

본 논문은 다단계 상호연결 네트워크의 일종인 베이스라인(Baseline) 네트워크를 대상으로 스위치 소자 내부에 다중 경로를 제공하는 입력버퍼를 사용한 구조를 제안함으로써 입력버퍼의 문제점인 내부 블록킹 및 HOL 블록킹의 개선을 통하여 스위치의 오류허용 기능을 향상시키고자 하였다.

2. 다단계 상호연결 네트워크

2.1 베이스라인 네트워크의 구성

본 논문에서는 다단계 상호연결 네트워크의 대표적인 구조중 하나인 베이스라인 네트워크를 적용대상으로 다룬다.



(그림 1) 베이스라인 네트워크의 재귀적 구조

$N \times N$ 크기의 네트워크를 구성할 때, 2×2 스위치 소자가 $\log_2 N$ 개의 stage로 이루어진다. 각 단계는 $N/2$ 개의 스위치 소자로 이루어지므로 전체 스위치 소자는 $(N/2) \times \log_2 N$ 개이다. 베이스라인 네트워크의 경우 (그림 1)과 같이 재귀적 방법으로 구성된다[4]. 즉, $stage[i]$ 는 $N \times N$ 블록을 포함하고, $stage[i+1]$ 은 $(N/2) \times (N/2)$ 하위 블록을 포함하는 등 $(\log_2 N - 1)$ 회 반복된다.

베이스라인 네트워크에서는 물리적 이름과 논리적 이름은 같으며 stage 레이블 표현은 0에서 $(\log_2 N - 1)$ 까지 연속적이다. 또 링크레벨의 표현은 0에서 $\log_2 N - 1$ 까지 연속적으로 표현되며, 스위치소자 l 은 $(\log_2 N - 1)$ 이 되고 이진표현으로는 $p_l p_{l-1} \dots p_1$ 이 된다. 각 레벨 내의 링크는 $p_l p_{l-1} \dots p_1$ 까지는 동일하지만 $p_0 = 0$ 이면 링크가 스위치소자의 상위 출력포트에 연결되고, $p_0 = 1$ 이면 하위 출력포트에 연결된다. 그러므로 $stage[i]$ 에서의 스위치 소자의 물리적 이름은 $(p_l p_{l-1} \dots p_1)_i$ 이고, 레벨 i 에서 링크의 물리적 이름은 $(p_l p_{l-1} \dots p_0)_i$ 가 된다. 이에 따른 베이스라인 네트워크의 상호연결은 식 (2-1), (2-2)와 같다[4].

$$F_B(i, 0) [(p_l p_{l-1} \dots p_1)_i] = (p_l \dots p_{l-i} 0 p_{l-i} \dots p_2)_i, \quad \text{for link } (p_l p_{l-1} \dots p_1 0)_i, 0 \leq i < l \quad (2-1)$$

$$F_B(i, 1) [(p_l p_{l-1} \dots p_1)_i] = (p_l \dots p_{l-i+1} p_{l-i} \dots p_2)_i, \quad \text{for link } (p_l p_{l-1} \dots p_1 1)_i, 0 \leq i < l \quad (2-2)$$

2.2 상호연결 특성

이러한 상호연결 구조로 인해 베이스라인 네트워크는 버디연결 및 제한연결 매핑의 두 가지 특성에 의한 상호연결패턴을 가진다[1]. 버디연결 매핑 특성은, 만약 $stage[i]$ 에서 $SE[j_i]$ 가 $SE[l_{i+1}]$ 와 $SE[m_{i+1}]$ 과 연결될 경우 두 스위치소자는 $stage[i]$ 에서 동일한 $SE[k_i]$ 와 연결된다는 것이다. 다시 말해 라우팅 비트가 t 일 경우, $stage[x]$ 의 y 번째 스위치소자를 $SE[x, y]$, 출력링크를 $[(x, y), t]$ 라고 할 때 t 값에 관계없이 다음과 같이 상호 연결된다.

$$SE[x, y_1] \rightarrow \text{output link}[(x, y_1), t]$$

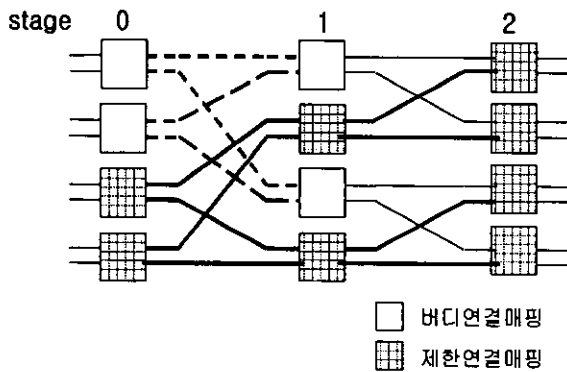
$$SE[x, y_2] \rightarrow \text{output link}[(x, y_2), t], \text{ for } 0 \leq x < n-1, t = 0 \text{ or } 1$$

즉, $SE[(x, y_1)]$, $SE[(x, y_2)]$ 의 출력링크 $[(x, y), t]$ 와 $[(x, y), t]$ 에 각각 쌍을 이루어 상호 연결된다. 버디연결매핑 특성을 적용시켜보면 $stage[i]$ 에서 모든 스위치소자들은 $stage[i+k]$ 에서 같은 크기의 스위치소자 쌍들과 연결된다는 것을 알 수 있다.

제한연결매핑은 $stage[i]$ 에서의 스위치 소자에 의해 $stage[i+k]$ 에 연결된 2^k 개의 스위치소자는 $stage[i]$ 에서 정확히 2^{k-1} 개의 서로 다른 스위치 소자들과 연결된다. 이것은 연결된 스위치 소자 상호간의 집합을 찾아내기 위한 버디

연결매핑으로부터 나온 것이다. 즉, 하나의 스위치 소자는 $stage[i+1]$ 에서 2개의 스위치 소자와 연결되고, $stage[i+k-1]$ 에서는 2^{k-1} 개의 스위치 소자와 경로가 설정된다. 그러므로 $stage[i+k]$ 에서 2^k 개의 경로선택이 가능하다.

(그림 2)는 위에서 언급한 두 가지 특성을 나타낸 것이다. 그림에서 보는 바와 같이 $stage[0]$ 과 $stage[1]$ 의 두 쌍의 버디연결매핑으로 연결되는 스위치 소자는 $stage[0]$ 에서 $stage[2]$ 를 통해 네 개의 스위치 소자에서 제한연결매핑이 이루어진다.

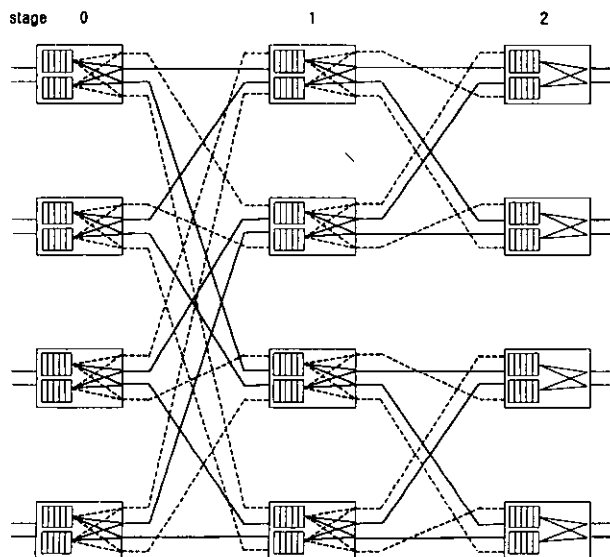


(그림 2) 버디연결 및 제한연결매핑 구조

3. 다중 경로 구조

3.1 다중 경로 버퍼 구조

베이스라인 네트워크에서의 셀 라우팅은 입출력간 단일 경로로 인해 하나의 경로만이 존재한다. 즉, $stage[X]$ 에서 라우팅 태그는 $[n-X+1]$ 번째 목적지 주소의 비트가 된다.



(그림 3) $2^3 \times 2^3$ 크기의 다중 경로 구조

제안된 네트워크에서의 각 스위치 소자는 두 개의 *secondary* 입력 및 출력링크와 두 개의 버퍼모듈로 구성되어 있다 ($stage[0], [n-1]$ 은 제외). 스위치 소자에 추가된 두 개의 링크는 두 개의 *stage*사이의 경로를 확장시켜 다음 *stage*에서의 버퍼가 블록킹 혹은 링크나 스위치 소자에서 오류가 생겼을 경우 *secondary link*로 사용된다. (그림 3)은 $2^3 \times 2^3$ 크기의 다중 경로 구조를 보여주고 있다. 그림에서 알 수 있듯이 크기가 N 인 베이스라인 네트워크는 순환적인 구조를 가지고 있으며, $\sum 2^i$ (i 는 *stage* 번호)개의 하위 네트워크로 분할이 된다.

분할된 각 하위 네트워크로 라우팅이 될 경우 경로 선택은 병렬로 이루어지며, 이러한 특성으로 인해 *secondary link*가 결정되게 된다. *secondary link*의 연결 형태는 베이스라인 네트워크의 상호 연결 패턴에서 p_{t-i} 의 값을 보수화시켰을 때의 패턴과 동일하다. 즉, 각 스위치 소자에서 다음 *stage*로의 연결 패턴은 버디연결 및 제한연결매핑 특성을 적용하여 *primary link*와 함께 *secondary link*를 생성할 수 있다. 이렇게 생성된 연결 패턴 역시 재귀적 구조를 가지고 있으며, 버디연결과 제한연결매핑 특성을 따른다. 따라서 *secondary link*의 상호 연결은 식 (3-1)과 (3-2)와 같다.

$$F_{sec}(i, 0) [(p_{t-1} \dots p_t)_i] = (p_t \dots p_{t-i} 0 \bar{p}_{t-i} \dots p_2)_{i+1},$$

for link $(p_{t-1} \dots p_t)_{i+1} \quad 0 \leq i < l \quad (3-1)$

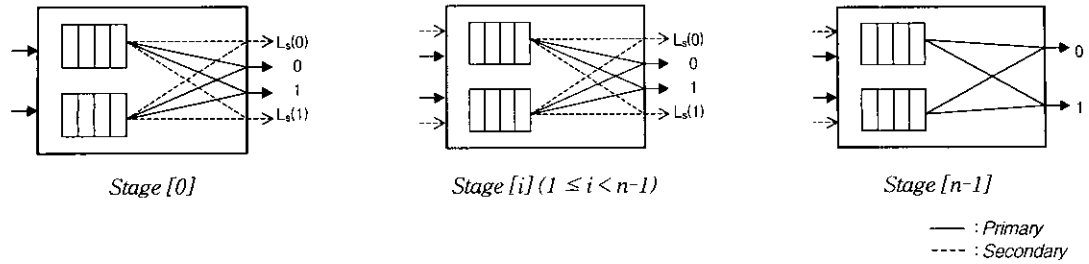
$$F_{sec}(i, 1) [(p_{t-1} \dots p_t)_i] = (p_t \dots p_{t-i+1} \bar{p}_{t-i} \dots p_2)_{i+1},$$

for link $(p_{t-1} \dots p_t)_{i+1} \quad 0 \leq i < l \quad (3-2)$

3.2 스위치 소자 구조

여기서 제안한 네트워크에서 사용되는 스위치 소자의 출력 링크는 각각 0, 1, $L_S(0)$, $L_S(1)$ 이다. 여기서 $L_S(0)$ 과 $L_S(1)$ 은 각각 라우팅 비트 0과 1의 *secondary link*이며, $stage[X]$ ($0 \leq X < n-1$)에서 스위치 소자의 각 버퍼모듈은 출력포트에 연결된 *primary path*와 *secondary path*로 연결된다. 상위 및 하위 버퍼모듈의 *primary path*는 *primary link*와 연결되며, *secondary path*는 *secondary link*와 연결된다. 그리고 스위치 소자의 각 버퍼모듈에 입력되는 두 개의 링크는 각각 *primary link*와 *secondary link*이다. 즉, *primary link*와 *secondary link*가 각각 분리되지 않고 하나의 버퍼에서 같이 처리되기 때문에 버퍼의 이용률은 각각 따로 처리할 때보다 높아진다. 스위치 소자 내에서 경로 선택방법은 다음과 같다.

- (1) *stage[0]*: 각 입력노드에 도착한 셀들은 연결된 스위치 소자 혹은 링크에 오류 혹은 블록킹이 없다면 *primary link*를 통해 전달된다. 이러한 경우 입력노드



(그림 4) 제안된 스위치 소자의 구성

에서는 버디연결매핑 특성에 따라 다음 stage로 셀을 전달한다.

(2) stage[i] ($1 \leq x < n-1$): 후보 셀(candidate cell)은 먼저 primary path를 통해 전송된다. 전송될 스위치 소자 혹은 링크에 오류가 발생했을 때 secondary path를 통해 셀 전송이 시도될 수 있다.

(3) stage[n-1]: 4개의 입력포트에서 전달된 셀들은 일반적인 self-routing에 의해 출력포트로 전달된다.

(그림 4)는 제안된 네트워크 구조에서 사용되는 네 개의 내부링크를 가진 스위치 소자를 보여주고 있다.

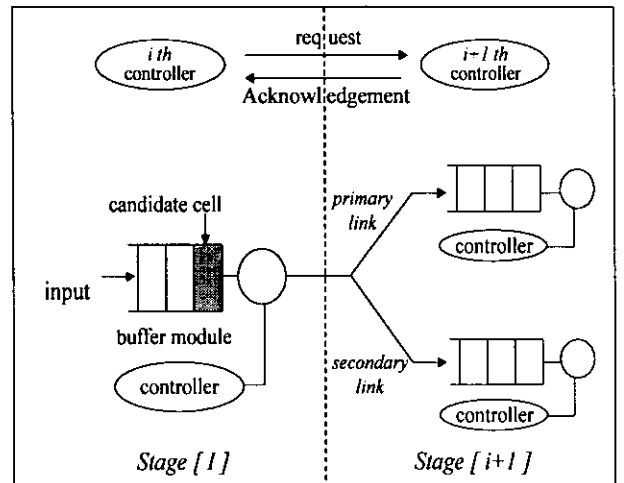
3.3 경로 설정

이 구조에서는 primary 및 secondary path(두 개의 경로)가 각 스위치 소자에 존재하게 된다. 경로 설정을 위한 셀의 수락은 첫 stage부터 마지막 stage에 걸쳐 적용된다. 다음 stage에서 수락하게 되면 스위치 소자는 버퍼모듈의 사용 가능한 크기, 그리고 다음 stage로의 링크 및 스위치 소자의 오류유무를 알게 되고, 입력되는 셀의 수락을 결정하게 되면 셀 수락정보를 뒤로 전파한다.

수락된 셀은 항상 전송될 버퍼모듈의 마지막 부분으로 오게 되며, 수락이 거부된 셀은 버퍼모듈의 앞부분에서 대기한 후 다음 사이클에 전송된다. 그리고 스위치 소자 혹은 링크의 오류여부와 관계없이 입출력 라우팅 경로가 유일하게 존재하기 때문에 셀의 순서는 유지된다. 단 오류가 발생한 스위치 소자 혹은 링크가 발견되어 새로운 경로가 설정되는 일시적인 기간동안은 제외된다.

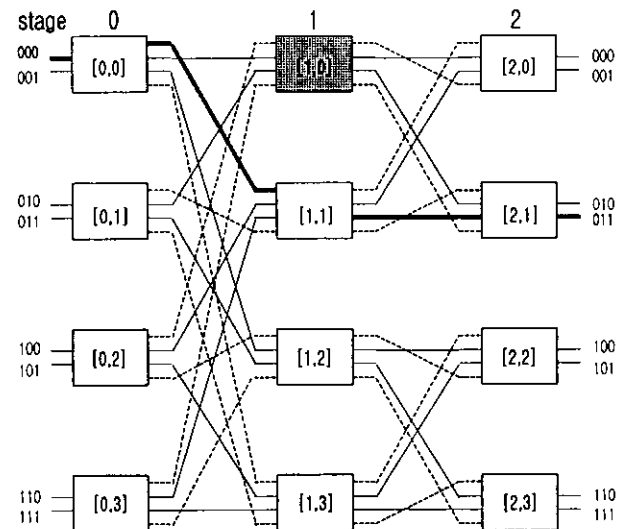
경로 설정을 위해서는 (그림 5)와 같이 두 단계에 걸쳐 진행된다. 첫 번째 단계는 셀 전송 단계로써 stage[i]에서 버퍼모듈의 맨 앞의 셀이 유효한 셀이라면 후보 셀이 되어 stage[i+1]로 이동하게 되고 셀의 복사본은 stage[i]의 버퍼모듈의 맨 앞에 위치한다. stage[i+1]의 버퍼모듈에 공간이 없을 경우 셀의 수락은 거절된다.

두 번째 단계는 승인단계로써 셀 수락에 대한 정보는 셀을 전송할 primary link로 연결된 stage[i+1]의 스위치 소



(그림 5) 경로 설정 방법

자 제어로 전달된다. stage[i+1]에서는 stage[i]에서 전달된 정보를 기반으로 버퍼모듈에서의 블록킹, 스위치 소자의 고장여부 등을 고려하여 승인을 결정한다. 수락된 셀은 stage[i]의 버퍼모듈에서 제거되고, 셀들은 버퍼모듈에서 앞으로 한 공간씩 이동한다. 수락이 거부될 경우,



(그림 6) 경로 설정의 예

셀 수락에 대한 정보는 다시 *secondary link*로 연결되는 *stage [i+1]*의 스위치 소자 제어기로 전달되고, 여기서 다시 거부된 셀은 *stage[i]*의 버퍼모듈에 대기하고 다음 사이클에서 전송된다.

(그림 6)는 입력 0에서 출력 3으로 셀 전송이 일어날 경우, *SE[1,0]*가 오류 또는 버퍼에서 블록킹이 발생할 때 *secondary path*를 통해 셀이 라우팅되는 경로를 보여주고 있다.

4. 성능 평가

4.1 시뮬레이션 환경

본 논문에서는 제안된 구조와 기존의 외부입력버퍼 구조 및 내부입력버퍼 구조를 시뮬레이션을 통해 그 결과를 비교 분석하였다. 시뮬레이션은 일종의 범용 시뮬레이션 시스템인 AweSim을 사용하여 이산적 모델링 방식으로 하였다. 이산적 모델링 방식에는 이산적 시간방식과 이산적 사건방식이 있는데[9], 두 가지 방법 중 구현이 간단하고 서버 프로세서의 관점에서 ATM 버퍼를 설계할 수 있는 이산적 사건방식 시뮬레이션을 이용하였다.

시뮬레이션 모델링을 위한 조건으로 네트워크의 크기 $N = 8$, 버퍼의 크기는 4, 8, 12, 16, 20으로 하였다. 그리고 본 시뮬레이션은 다음과 같은 가정 하에 평가되었다.

- 고정된 크기의 셀을 전송하는 ATM 스위치의 환경을 반영하기 위해 스위치의 동작은 동기적이다. 즉, 주어진 타임슬롯이 시작하는 시점에 셀은 전송된다.
- 각 입력포트에 도착하는 셀의 시간간격은 지수분포(exponential distribution)를 따른다. 다시 말해서 평균 λ 개의 셀이 Poisson 확률로 도착하게 된다.
- 각 입력링크의 입력부하는 동일하며 균일한 트래픽을 가정한다.
- 마지막 *stage*에서의 블록킹은 고려하지 않는다. 즉, 출력링크의 속도는 내부링크의 속도보다 최소한 빠르다고 가정한다.

4.2 결과 분석

각 네트워크의 처리량은 식 (4-1)과 같이 매 주기마다 입력되는 셀의 개수에 대한 출력되는 셀의 개수의 비율로 정의하고, 셀 손실은 식 (4-2)와 같이 스위치 소자에 입력된 총 셀의 개수에 대해 출력포트로 출력되지 못하고 셀이 손실될 확률로 정의하였다. 그리고 셀 지연은 일반적으로 스위치 지연(switch delay)과 버퍼지연(buffer delay)으로 나뉘게 되는데[8] 여기서는 각 스위치 소자내부의 버퍼 buf_{ij} 에 대한 각 셀들의 평균 버퍼지연으로 평가하였다. 즉, 식 (4-3)과 같이

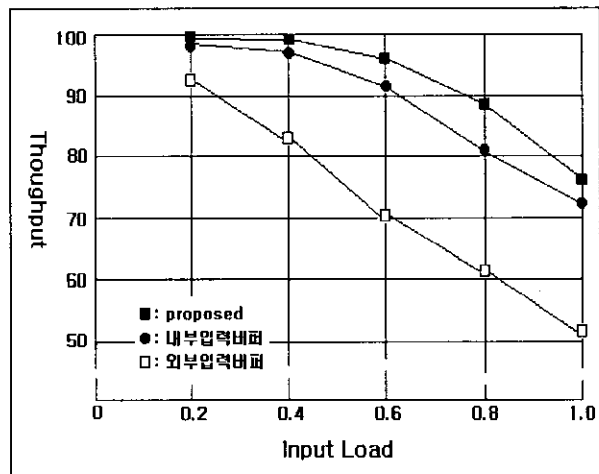
i 는 *stage no*, j 는 입력포트의 수이며, 전체 셀들의 평균 버퍼지연의 합을 전체 스위치 소자의 버퍼 개수($N \times \log_2 N$)로 나눈 값이 된다.

$$\text{Throughput, } T = \frac{\text{total output cells}}{\text{total input cells}} (\%) \quad (4-1)$$

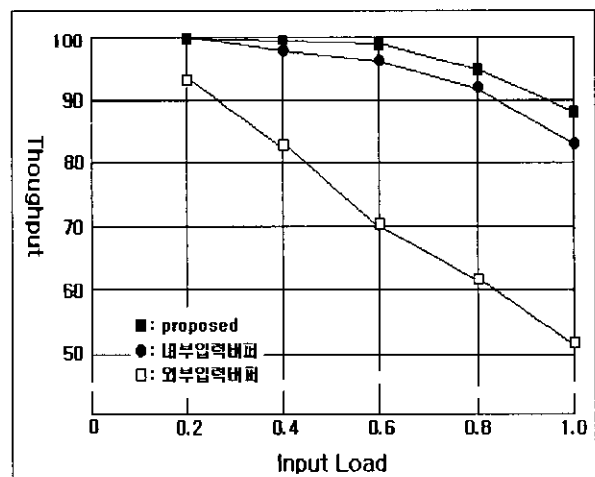
$$\text{Cell loss probability, } P_{\text{cell loss}} = \frac{\text{total deleted cells}}{\text{total input cells}} \quad (4-2)$$

$$\text{Average waiting time in a buffer, } D = \frac{\sum_{i=0}^{n-1} \sum_{j=0}^{N-1} buf_{ij}}{N \times \log_2 N} \quad (4-3)$$

(그림 8)과 (그림 9)에서는 입력부하에 따른 각 네트워크의 처리량을 나타내고 있다. 그림에서 보면 세 가지 네트워크 모델이 모두 선형적인 감소를 보이고 있는데, 본 논문에서 제시한 스위치 구조에서의 처리량은 다른 두가지 방법 비해 높은 처리율을 얻을 수 있다는 것을 알 수 있다. 내부입



(그림 8) 입력부하에 따른 처리율(B=4)



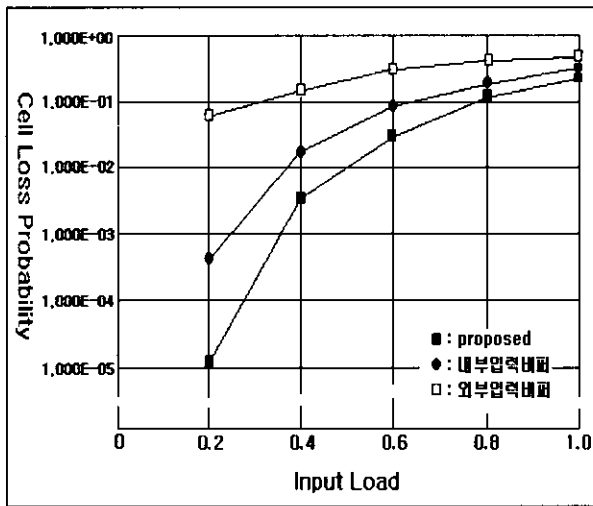
(그림 9) 입력부하에 따른 처리율(B=8)

력버퍼는 낮은 부하에서는 제안된 구조와 비슷한 성능을 보이지만 입력부하가 0.4이상인 시점에서 성능을 차이를 보이고 있다. 이것은 버퍼에서 다중경로를 제공하여 다음 stage에서 블록킹이 발생하는 경우 secondary path로 셀이 진행되기 때문이다.

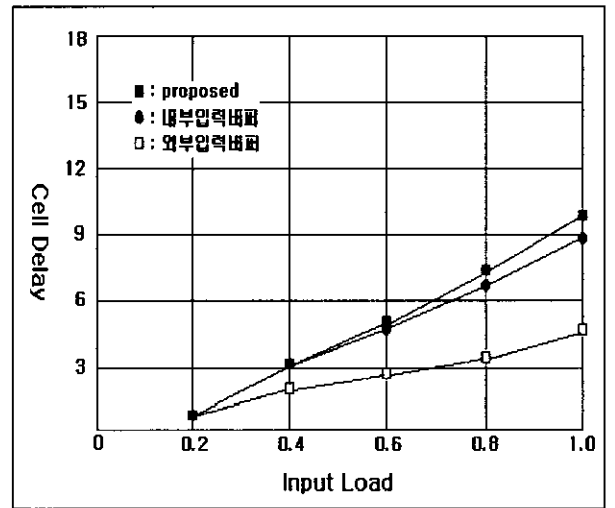
(그림 10)과 (그림 11)은 셀 손실에 대한 성능비교로서, 여기에서도 본 논문에서 제안된 스위치 구조가 다른 두 스위치 구조에 비해 낮음을 보이고 있다. 이것은 입력부하가 늘어나면 셀의 스위칭 시간과 셀이 생성되는 시간이 같게 되어 전송되는 셀들이 블록킹으로 인해 순차적으로 진행하지 못하기 때문이다. 그래서 유일한 경로만을 가진 다른 네트워크의 경우 블록킹을 피할 수 없어 셀 손실은 더욱 커지게 된다. 제안된 구조는 낮은 입력부하에서는 다른 구조에 비해 낮은 셀 손실률을 보이며 입력부하가 0.8이상의 높은 부하에서는 내부입력버퍼 구조와 비슷한 성능을 보인다.

(그림 12)와 (그림 13)은 셀 지연에 대한 변화이다. 셀 지연은 입력포트로 들어온 셀이 출력포트로 출력될 때까지 각 셀들이 버퍼에 대기한 평균대기시간(average waiting time)이 된다. 그림에서 알 수 있듯이 외부입력버퍼 형태의 경우, 스위치 외부에 버퍼를 두기 때문에 스위치 소자에서 블록킹이 발생하면 셀은 대기하지 않고 손실되기 때문에 지연은 작은 반면에 셀 손실은 크게 된다. 그러나 다른 두 스위치 구조의 셀 지연은 뚜렷한 차이를 보이지 않고 거의 비슷한 변화를 보이고 있다.

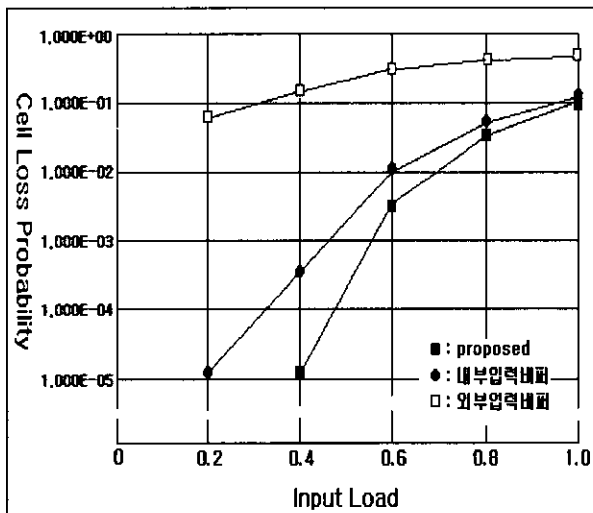
(그림 14)와 (그림 15)는 버퍼크기를 확장시켜가면서 처리량과 셀 손실을 비교한 것으로 외부 입력버퍼 구조의 경우 버퍼의 크기와 관계없이 낮은 처리량과 높은 셀 손실률을 보이고 있으며, 제안된 구조의 처리율과 셀 손실률의 경우 다른 구조의 결과와 비교하여 상대적으로 좋은 성능을 보이고 있다.



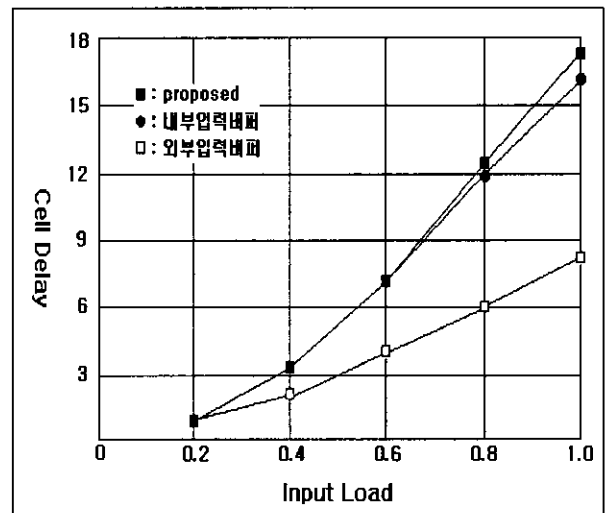
(그림 10) 입력부하에 따른 셀 손실(B=4)



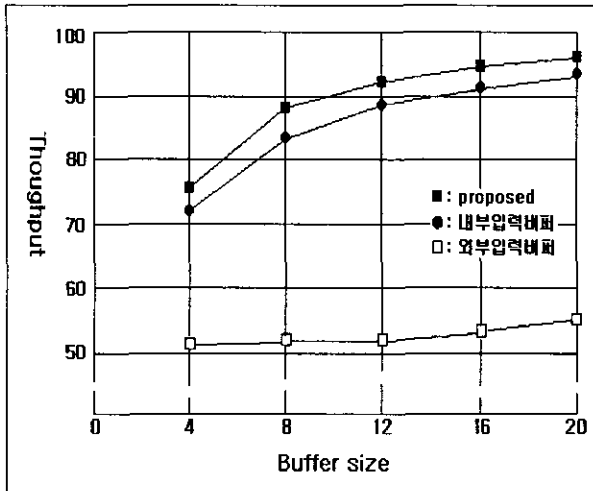
(그림 12) 입력부하에 따른 셀 지연(B=4)



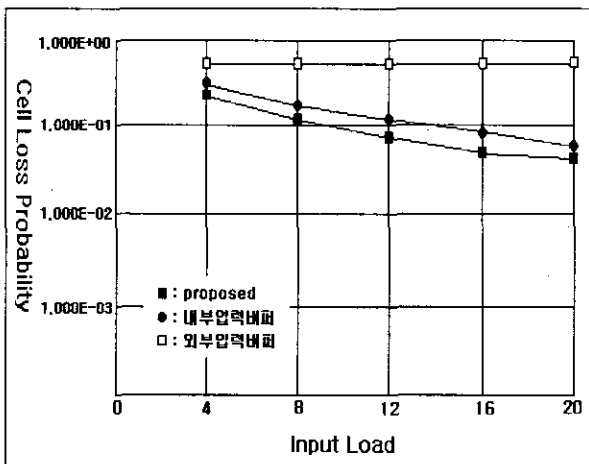
(그림 11) 입력부하에 따른 셀 손실(B=8)



(그림 13) 입력부하에 따른 셀 지연(B=8)



(그림 14) 버퍼크기에 따른 처리율(λ = 1.0)



(그림 15) 버퍼크기에 따른 셀 손실(λ = 1.0)

5. 결 론

본 논문은 다단계 상호연결 네트워크 구조의 일종인 베이스라인 네트워크를 대상으로, 입력버퍼 스위치 구조의 문제점인 HOL 블록킹의 방지 기법 및 오류허용 기능을 향상시킬 수 있는 다중 경로 버퍼를 갖는 ATM 스위치 구조를 제안하고, 시뮬레이션을 통해 그 성능을 평가하였다. 오류허용 기능을 증대시키기 위하여 상호연결 패턴의 구조적 특성인 버디연결매핑 및 제한연결매핑을 이용하여 스위치 소자에 내부경로를 확장시켰으며, 이에 따른 스위치 내의 HOL 블록킹으로 인한 셀 손실, 링크에 대한 오류허용 기능 및 성능 향상에 대해서 언급하였다.

시뮬레이션 결과, 본 연구에서 제안된 모델은 기존의 외부 입력버퍼 구조와 내부 입력버퍼 구조에 비해 높은 처리율과 낮은 셀 손실을 보임으로써 높은 성능을 나타내고 있으며, 특히 입력부하가 높을 경우 기존의 모델보다 더 나은 성능을 가지고 있음을 알 수 있다.

반면, 제안된 구조는 기존의 스위치 구조보다 스위치 소자에 버퍼, 경로 및 링크의 추가로 인해 스위치 소자의 하드웨어 복잡도가 증가와 이에 따른 경로설정에 있어서의 오버헤드 증가가 예상될 수 있다.

향후 연구 과제로는 입력부하에 따른 전체적인 성능의 평가뿐만 아니라, 네트워크 크기에 따른 성능평가와 오류허용에 대한 검증 또한 필요할 것으로 생각된다.

참 고 문 헌

- [1] Achille Pattavina, "Switching Theory : Architecture and Performance in Broadband ATM Networks," Wiley, 1997.
- [2] B. Kraimeche, "Design and analysis of the Stacked Banyan ATM switch fabric," Elsevier Science B. V. Computer Networks 32, pp.171-184, 2000.
- [3] Christos Koliass and Leonardo Kleinrock, "The Dual- Banyan (DB) Switch : A High Performance Buffered-Banyan ATM Switch," IEEE Proc. ICC'97, pp.770-776, 1997.
- [4] Chuan-Lin Wu and Tse-Yun Feng, "On a Class of Multistage Interconnection Networks," IEEE Trans. on Computers, Vol.29, No.8, pp.694-702, 1980.
- [5] Chris Plate and Jack Tan, "Performance Analysis of a Fault-Tolerant B-Tree ATM Switch," IEEE 22nd Int'l Conference on Local Computer Networks, pp.295-304, Oct. 1996.
- [6] G. B. Adam III, D. P. Agrawal and H. J. Siegel, "A Survey and Comparison of Fault-Tolerant Multistage Interconnection Networks," IEEE Trans. on Computers, pp.14-27, June 1987.
- [7] I. I. Makhamreh, "Throughput Analysis of Input-Buffered ATM Switch," IEEE Proc. Commun., Vol.145, No.1, pp.15-18, Feb. 1998.
- [8] Jiunn Jian Li and Cheng Ming Weng, "B"-tree : a high-performance switching structure for ATM with dual input buffering," Elsevier Science B. V. Computer Networks and ISDN Systems 27, pp.1499-1522, 1995.
- [9] Jiang Xie and Chin-Tau Lea, "Speedup and buffer division in input/output queuing ATM switches," IEEE Global Telecommunication Conference-Globecom'99, pp.49-53, 1999.
- [10] M. Karol, K. Eng and H. Obara, "Improving the Performance of Input-Queued ATM Packet Switches," IEEE Proc. INFOCOM'92, Vol.1, pp.110-115, May 1992.
- [11] Nick McKeown and Tomas E. Anderson, "A quantitative comparison of iterative scheduling algorithm for input-queued switches," Elsevier Science B. V. Computer Networks and ISDN Systems 30, pp.2309-2326, 1998.
- [12] Rajendra V. Boppana and C. S. Raghavendra, "Designing Efficient Benes and Banyan Based Input-Buffered ATM Switches," IEEE Proc. ICC'99, pp.1826-1830, June 1999.
- [13] W. S. E. Chen, K. Y. Lee, Y. W. Yao and M. T. Liu, "FB-Banyans and FB-Delta Networks : Fault-Tolerant Networks for Broadband Packet Switching," Int'l Journal of Digital and Analog Cabled Systems, Vol.2, pp.327-341, Oct. 1989.



신 원 철

e-mail : synn@medialand.co.kr

1999년 계명대학교 컴퓨터공학과 졸업
(공학사)

2001년 계명대학교 컴퓨터공학과 대학원
(공학석사)

현재 미디어랜드(주) 기술팀 재직중

관심분야 : ATM 스위치, 상호연결 네트워크, 네트워크 프로그래밍 등



손 유 익

e-mail : yeson@kmu.ac.kr

1976년 경북대학교 전자공학과 졸업
(공학사)

1979년 경북대학교 전자공학과(공학석사)

1990년 경북대학교 컴퓨터공학과
(공학박사)

1979년~1984년 한국전자기술연구소(현 ETRI) 컴퓨터연구부
근무

1984년~현재 계명대학교 컴퓨터공학과 교수

관심분야 : 병렬처리구조, ATM 스위치, 상호연결 네트워크 등.