

WRR 구현을 위한 개선된 이진 스케줄링 바퀴 구조

문 흥 진[†] · 조 해 성^{††}

요 약

스케줄링 알고리즘들은 제안된 패킷 지연을 가진 각 연결에 대하여 보장된 대역을 제공한다. 스케줄링 알고리즘의 일종인 WRR은 매우 간편하며 각 큐에 다른 가중치를 할당하여 여러 큐를 직접 제어한다.

BSW 알고리즘은 WRR 스케줄러를 구현하는데 버퍼 관리를 효율적으로 수행하도록 제안되었다. 그러나 BSW 알고리즘은 VC에 실제 할당된 가중치 보다 더 많은 가중치를 할당하고 서비스 받을 VC의 큐가 비어있을 때 서비스를 수행하지 않기 때문에 셀 지연 및 최대 큐 길이에 서 심각한 성능 저하를 유발한다.

본 논문에서는 WRR 스케줄링 알고리즘을 효율적으로 수행할 수 있는 새로운 BSW 구조를 제안한다. 또한, 새로운 BSW 구조에 적합한 셀 스케줄링 알고리즘을 개발한다. 제안된 BSW 구조와 알고리즘은 VC에 할당된 가중치를 정확히 유지 할 수 있고, 서비스 받을 VC가 비어 있을 경우 다른 VC 셀을 서비스하여 평균 셀 지연 및 최대 버퍼 크기를 감소시킨다. 그리고 셀 서비스율을 전체적으로 증가시킨다.

Improved Binary Scheduling Wheel Structure for WRR Implementation

Hong-Jin Moon[†] · Hae-Seong Cho^{††}

ABSTRACT

The scheduling algorithms provide the guaranteed bandwidth for each connection with bounded packet delay. The Weighted Round Robin(WRR) discipline which is a sort of scheduling algorithm is quite simple and straightforward for handling multiple queues, and by putting a different weight on each queue.

BSW algorithm was proposed to carry on buffer management efficiently at implementing of WRR scheduler. But, BSW algorithm cause serious performance degradation of cell delay and maximum queue length because it allocates more weight than the weight allocated actually in VC and could not serve cell if the VC queue is empty.

In this paper, we propose new BSW structure, which can execute the WRR scheduling algorithm efficiently. Also, we develop a cell scheduling algorithm which is adapt in the new BSW structure. The proposed BSW structure and the algorithm is capable of maintaining an allocated VC's weight correctly and decrease of average cell delay and maximum buffer length by serving other VC cell when empty in each VC queue and increase of cell service ratio as a whole.

키워드 : ATM, WRR, 이진 스케줄링 바퀴(BSW), 스케줄러(Scheduler), 공평성(Fairness)

1. 서 론

트래픽 흐름 제어를 위해서는 각 스위치의 출력 단에서 각 VC(Virtual Connection)에 공평한 대역을 할당 할 수 있어야 한다. 이를 수행하기 위해서는 셀 스케줄링 알고리즘이 필수적이다[1-3]. 셀 스케줄링의 성능을 결정하는 요소들은 트래픽의 통계적 특성과 QOS 파라미터와 스케줄링 알고리즘이다[4]. 이중 스케줄링 알고리즘은 셀 스케줄링의 성능을 결정하는 가장 중요한 요소이다.

스케줄링 알고리즘들 중 WFQ(Weighted Fair Queueing)

와 WRR(Weighted Round Robin)은 각 큐에 대해 대역을 보장할 수 있기 때문에 보편적인 스케줄링 알고리즘으로 발전 되어왔다[5-6]. WFQ는 다양한 길이의 패킷을 처리 할 수 있고 비교적 적은 지연 제한을 가진다. 그러나, WFQ는 각 연결에 대하여 VC의 개수에 비례하는 계산량을 필요하기 때문에 하드웨어 복잡도가 매우 크다[7]. 이러한 계산 복잡도를 해결하기 위하여 제안된 알고리즘이 SCFQ(Self-Clocked Fair Queueing)이다[8]. SCFQ는 VC의 개수에 비례하는 O(V)의 계산 복잡도를 VC의 개수에 관계없는 O(1)으로 획기적으로 감소 시켰다. 반면, WRR 기법은 ATM과 같은 고속 패킷 스위칭 네트워크에서 계산의 단순성과 저 비용 구현의 장점을 가지고 있어 셀 스케줄링 기법으로 널리 쓰인다[9]. 이 기법은

[†] 정 회 원 : 전주대학교 정보기술컴퓨터공학부

^{††} 정 회 원 : 한국표준과학연구원 Post-Doc.

논문접수 : 2000년 11월 13일, 심사완료 : 2001년 2월 22일

특정 큐의 서버에 대한 접근 시간의 양을 제어함에 의해서 대역을 할당한다. 또한, WRR은 각 큐에 대역을 보장해 주기 때문에 스케줄링 기법으로 많이 사용되었다. WRR은 각 큐에 가중치를 할당하여 가중치에 따라 최소 대역을 보장한다. WRR은 계산의 단순성과 적은 구현 비용 때문에 ATM 스위치에서 더 많이 사용된다.

WRR 스케줄러를 구현하기 위해 계산 복잡도와 하드웨어 요구사항을 현저히 경감시키는 BSW(Binary Scheduling Wheels) 기법이 제안되었다[10]. BSW 구조는 최소 하드웨어 비용으로 광범위한 전송율을 제공하고 과부하에는 최소 전송율을 보장할 수 있다.

그러나 BSW 알고리즘은 이진 휠 구성에 있어 2의 지수승의 가중치 값만을 제공하기 때문에 모든 VC는 BSW 알고리즘의 최소 전송율의 2의 지수승의 전송율로 서비스를 받을 수밖에 없다. 또한, BSW 구조의 셀 스케줄링은 큐의 상태와 가중치 계수기 값에 상관없이 서비스를 수행하기 때문에 WRR의 스케줄링 특성을 상실한다. BSW 스케줄링 알고리즘은 각 VC의 전송율을 링크 용량의 2의 음의 지수승 형태로 변환하기 때문에 실제의 가중치보다 더 많은 가중치를 얻게 된다. 또한, BSW 셀 스케줄링 알고리즘은 어느 한 VC의 큐가 비어있게 되면 셀 서비스를 수행하지 못하므로 각 VC는 가중치, 셀 지연, 버퍼 사용 등에서 심각한 성능저하를 유발한다.

이러한 BSW 구조의 문제점을 개선하기 위해서 본 논문에서는 WRR 스케줄링 알고리즘을 충실히 수행할 수 있는 기능이 향상된 BSW 구조를 제안하였고 제안된 BSW 구조에 적합한 셀 스케줄링 알고리즘을 개발하였다. 제안된 셀 스케줄링 알고리즘에서는 각 VC에 다음과 같은 추가적인 변수를 사용하였다. 기존의 스케줄링 알고리즘은 이진으로 서비스를 수행하기 때문에 가중치 보다 많은 서비스를 받는 경우가 발생하여 공평한 서비스가 이루어지지 않고 또한, 각 VC의 큐 상황에 관계없이 서비스를 수행하기 때문에 서비스율이 떨어지는 단점을 이 알고리즘은 개선하고 있다.

본 논문의 구성은 1장 서론에서는 본 논문에 관련된 기본적인 내용과 본 논문에서 제안한 알고리즘의 전반적인 사항에 대하여 서술하였고 2장에서는 기존의 BSW 구조 알고리즘에 대하여 살펴보고 3장에서는 제안된 알고리즘의 특징 및 성능개선 사항에 대하여 서술하였다. 4장은 시뮬레이션 수행을 위한 환경과 그 결과를 분석하였고 5장에서 결론으로 본 논문의 성과 및 추후 연구내용에 대해 서술하였다.

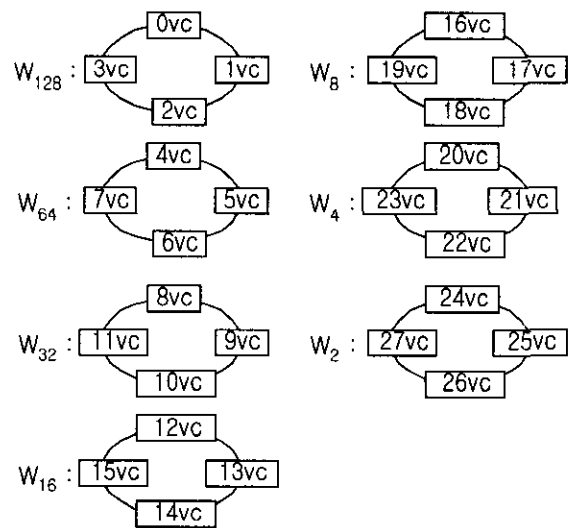
2. 기존의 BSW 알고리즘

WRR 스케줄러를 구현하기 위해 계산 복잡도와 하드웨어 요구사항을 현저히 경감시키는 BSW 기법이 제안되었

다. BSW은 최소 하드웨어 비용으로 광범위한 전송율을 제공하고 과부하에는 최소 전송율을 보장할 수 있다[11].

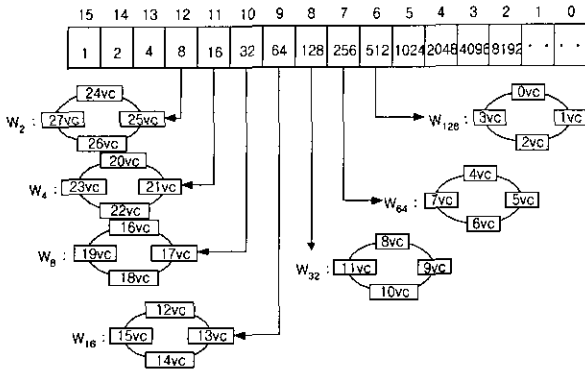
이 알고리즘에서는 링크 대역을 2의 지수승으로 나눈 값을 각 VC의 전송율로 규정하고 최소 전송율을 $1/2^n$ 로 제한하였다. 따라서 VC i 의 전송율은 $w_i/2^n$ 으로 계산되며 w_i 는 가중치로서 2의 지수승이다. 그러므로 모든 VC의 전송율은 출력 링크의 2의 지수승으로 나눈 값들 중의 하나이고 최소 전송율의 2의 지수승이다.

(그림 1)은 이진 바퀴 구성의 한 예를 보여 주고 있다. 이진 바퀴의 구성은 동일한 가중치 값을 가진 VC들을 한 바퀴 형태로 구성한다. 이러한 바퀴를 가지고 그 바퀴에 속한 VC들의 가중치 합에 따라 이진 전송 목록을 구성한다. (그림 1)은 모든 VC의 가중치 값을 2의 지수승 형태로 가지게 함으로써 출력 링크 대역의 2의 지수승으로 나눈 전송율로 전송 될 수 있도록 하였다.



(그림 1) 기존 이진 스케줄링 바퀴

(그림 2)는 (그림 1)의 이진 바퀴에 근거하여 작성한 이진 전송 목록을 보여주고 있다. (그림 2)에서 각 비트에 해당하는 슬롯은 서비스를 수행할 때 슬롯의 위치에 따라 서비스 회수를 결정하게 된다. (그림 2)는 16비트의 슬롯으로 구성된 이진 전송 목록으로 16번째 비트를 LSB로 하여 이 LSB를 최소 전송율로 하고 나머지 상위 비트는 LSB의 2의 지수승으로 서비스를 받게된다. 그리고 각 비트에 해당하는 가중치를 표시하였고 이진 바퀴의 가중치 총합이 표시된 가중치 값에 근접한 슬롯에 이진 바퀴가 연결된다. (그림 2)에서와 같이 각 가중치에 대해서 한 개씩, 7개의 스케줄링 바퀴를 구성하고 전송율에 따라 각 VC들을 스케줄링 바퀴에 배치해서 같은 바퀴에 놓인 VC들은 원형 리스트로 구성한다.



(그림 2) 기존 이진 전송율 목록

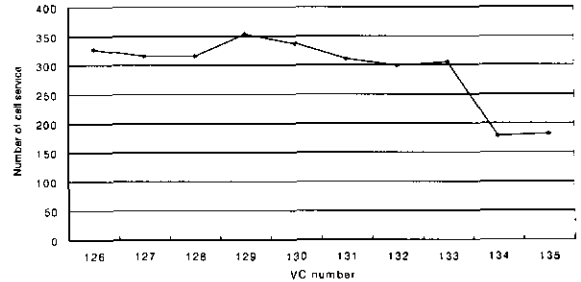
(그림 2)는 16개의 슬롯으로 구성된 이진 전송율 목록을 보여주고 있는데 각 슬롯은 각각의 이진 전송율과 관련되어 있으며 같은 이진 전송율을 갖고있는 스케줄링 바퀴는 하나의 슬롯에 놓이게된다. 일반적으로, 이진 전송율 목록의 슬롯에 있는 스케줄링 바퀴가 일단 선택되어지면 그 슬롯에 있는 모든 스케줄링 바퀴들이 번갈아 가며 바퀴에 있는 모든 VC들을 서비스한다. 첫 번째 슬롯의 스케줄링 바퀴는 두 번째 슬롯의 스케줄링 바퀴보다 두 배로 서비스되고 세 번째 슬롯의 스케줄링 바퀴보다는 네 배로 서비스를 받게 된다. 그래서 슬롯의 스케줄링 바퀴들을 서비스하기 위해서 16비트의 이진 카운터를 사용하여 이진 전송율 목록의 슬롯들을 선택하는데 이진 카운터에서 처음으로 1이 나오는 비트는 다음 비트보다 두 배만큼 번갈아 되는데 j번째 비트의 변화로 j슬롯의 이진 바퀴들에 대한 서비스가 시작된다.

(그림 3)과 (그림 4)는 기존 BSW 구조의 서비스 문제점을 보여주고 있다. 아래 내용과 같이 할당된 가중치가 128인 10개의 VC가 이진 바퀴를 구성하고 할당된 가중치가 64인 18개의 VC가 이진 바퀴를 구성할 때 두 개의 이진 바퀴의 VC들의 총 합이 각각 1280과 1152이기 때문에 두 바퀴 모두 가중치 값이 2048인 이진 전송율 목록의 슬롯에 속하게 된다. 그런데 서비스를 받을 때는 각각의 바퀴에서 1개의 VC가 서로 교차하며 서비스를 받으므로 가중치가 128인 VC들 중 134번 VC와 135번 VC는 서비스를 덜 받게 되는 문제점이 발생된다. 이러한 결과로 서비스 회수 및 최고 큐의 길이에서 (그림 3), (그림 4)와 같은 결과를 얻게 된다.

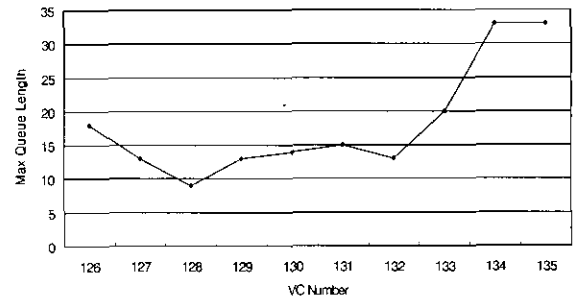
W₁₂₈ : 126->127->128->129->130->131->132->133->134->135 : 1280
 W₆₄ : 108->109->110->111->112->113->114->115->116->117->118->119->120->121->122->123->124->125 : 1152

(그림 3)에서 134번 VC와 135번 VC의 서비스 회수가 다른 VC들의 서비스 회수에 비해서 월등히 적음을 확인할 수 있다. 또한 (그림 4)에서는 최대 큐의 길이가 서비스 회수와 비슷하게 134번 VC와 135번 VC의 길이가 비교적 길

다. 이러한 결과가 기존의 BSW구조의 서비스 알고리즘의 개선해야할 문제점임을 입증하고 있다.



(그림 3) 기존 BSW의 서비스 회수



(그림 4) 기존 BSW의 최대 큐 길이

3. 제안된 BSW 알고리즘

기존의 BSW 스케줄링 알고리즘은 각 VC의 전송율을 링크 용량의 2의 음의 지수승 형태로 변환하기 때문에 실제의 가중치보다 더 많은 가중치를 얻게 된다. 또한, 어느 한 VC의 큐가 비어있게 되면 셀 서비스를 수행하지 못하므로 각 VC는 가중치, 셀 지연, 버퍼 사용 등에서 심각한 성능저하를 유발한다.

이 장에서는 기존의 BSW 스케줄링 알고리즘의 문제점을 개선한 새로운 구조의 BSW를 제안하고 제안된 구조에 적합한 셀 스케줄링 알고리즘을 제안하였다. 기존의 스케줄링 알고리즘은 이진으로 서비스를 수행하기 때문에 가중치보다 많은 서비스를 받는 경우가 발생하여 공평한 서비스가 이루어지지 않고 또한, 각 VC의 큐 상황에 관계없이 서비스를 수행하기 때문에 서비스율이 떨어지는 단점을 이 알고리즘은 개선하고 있다.

(그림 5)는 제안된 BSW 구조의 이진 바퀴를 보여 주고 있다. 제안된 BSW 구조는 기존 BSW 구조에서 각 VC에 최소 대역의 2의 지수승 만큼 제공하는 문제점을 개선하기 위하여 각 VC에 임의 대역을 할당 할 수 있도록 다음과 같은 가중치 값과 가중치 목록을 작성하였다. VC i의 가중치 계산은 식 (1)과 같다.

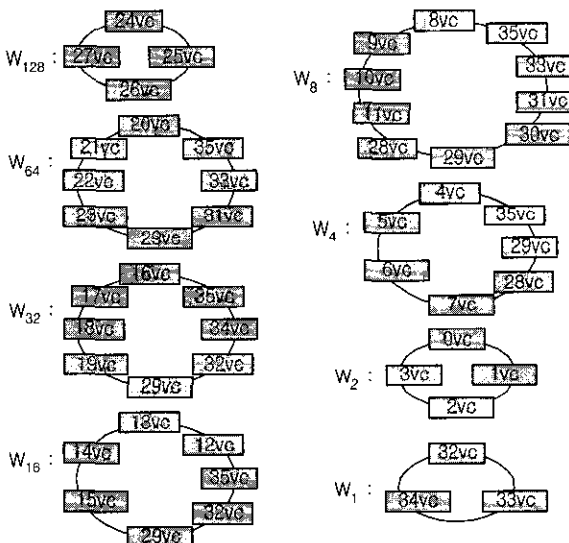
$$W_i = \lfloor r_i * W/C \rfloor$$

$$W = W_1 + W_2 + \dots + W_N \tag{1}$$

식 (1)에서 C는 출력 링크의 용량이고 W는 모든 가중치 값들의 합이고 τ_i 는 VC i에 할당된 전송율이다. 제안된 BSW 구조는 각 VC는 스케줄링 서버가 제공하는 가중치 값에 근거하여 가중치 목록을 식 (2)에 따라 구성한다.

$$VC_k(W) = \{W_1, W_4, \dots, W_N\}, \text{ if } W_k = W_1 + W_4 + \dots + W_N \quad (2)$$

식 (2)에서 $VC_k(W)$ 는 VC k의 가중치 전송목록이고 W_i 는 가중치 i값을 표시한다. 식 (2)에서 스케줄링 서버가 2의 지수승의 가중치만을 제공할 때 제공되는 가중치 값을 조합하여 임의 크기의 가중치 값을 구성 할 수 있기 때문에 임의 크기의 가중치를 가진 VC에 서비스가 가능하다. 아래 (그림 5)는 위에서 구성된 각 VC의 가중치 목록을 근거로 하여 각 가중치 값에 해당하는 제안된 이진 스케줄링 바퀴를 보여주고 있다. 여기서 기존 BSW 구조의 이진 바퀴에서는 한 VC는 하나의 바퀴에만 포함 될 수 있는 반면 제안된 BSW 구조에서는 한 VC가 여러 바퀴에 포함 될 수 있음을 (그림 5)에서 보여주고 있다. 그러므로 제안된 이진 바퀴는 이진 구조에서 각 VC에 할당된 가중치를 정확하게 서비스할 수 있다.

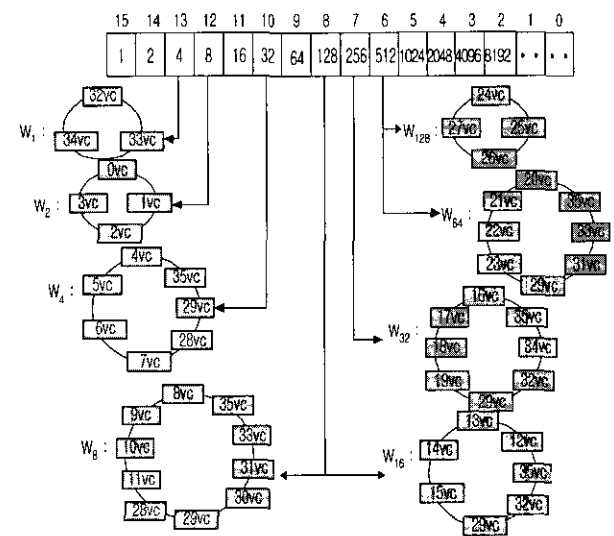


(그림 5) 제안된 이진 스케줄링 바퀴

(그림 6)은 제안된 BSW 구조의 이진 전송율 목록을 보여 주고 있다. 제안된 BSW 구조의 이진 전송율 목록은 (그림 5)에서 보여준 이진 바퀴에 속한 VC들의 가중치 합에 의거하여 이진 바퀴가 연결 될 슬롯을 결정하여 이진 전송율 목록을 구성한다.

제안된 셀 스케줄링 알고리즘에서는 각 VC에 W, lend, borrow의 추가적인 변수를 사용하여 가중치, 서비스를 빌려준 횟수, 서비스를 빌린 횟수를 기록하여 서비스를 공정하게 수행할 수 있도록 한다. 서비스는 이진 전송율 목록의 슬롯에 있는 각 바퀴의 큐를 순차적으로 선택하여 서비스를 수행

하는데, 선택된 VC의 borrow값이 0보다 크면 borrow값을 1 감소시키고 현재 슬롯에 있는 VC중에서 lend 값이 제일 큰 VC를 찾고 이 VC에 셀이 있으면 한 셀을 서비스하고 lend 값을 1 감소시킨다. 만약 lend 값이 가장 큰 VC의 큐가 비어 있으면 다음으로 lend 값이 큰 VC로 이동하여 서비스를 수행한다. 그러나 슬롯에 있는 모든 VC의 lend값이 0이면 선택된 VC의 한 셀을 서비스하고 W값을 1 감소시킨다. 이는 이전에 서비스를 빌려 받거나 빌려준 VC가 존재할 경우 서비스를 공정하게 수행하기 위함이다. 선택된 VC의 borrow 값이 0인 경우 선택된 VC에 셀이 존재할 경우 서비스를 수행하고 가중치를 1 감소시킨다. 그런데 선택된 VC의 가중치가 0일 경우에는 슬롯 안에 있는 VC들 중 현재 가중치가 가장 큰 VC의 한 셀을 서비스하여 할당된 가중치 값을 서비스하고 그 이외에는 다른 VC를 서비스 할 수 있도록 함으로서 각 VC를 가중치 값에 비례하여 공정하게 서비스를 수행한다. 또한, 선택된 VC가 서비스를 못 받을 경우에 다른 VC를 서비스하여 전체적인 서비스율을 개선할 수 있다. 각 서비스를 받은 VC의 W값을 1씩 감소하여 서비스 받을 횟수를 기록한다. 만약, 선택된 VC에 셀이 없을 경우 lend값을 1 증가시키고 그 슬롯에 있는 VC들 중에서 큐의 길이가 가장 긴 VC를 찾아 서비스를 수행하고 borrow값을 1 만큼 증가시킨다. 이는 큐의 길이가 긴 VC를 먼저 서비스 해 줌으로서 전체적인 큐의 길이를 감소시킬 수 있다.

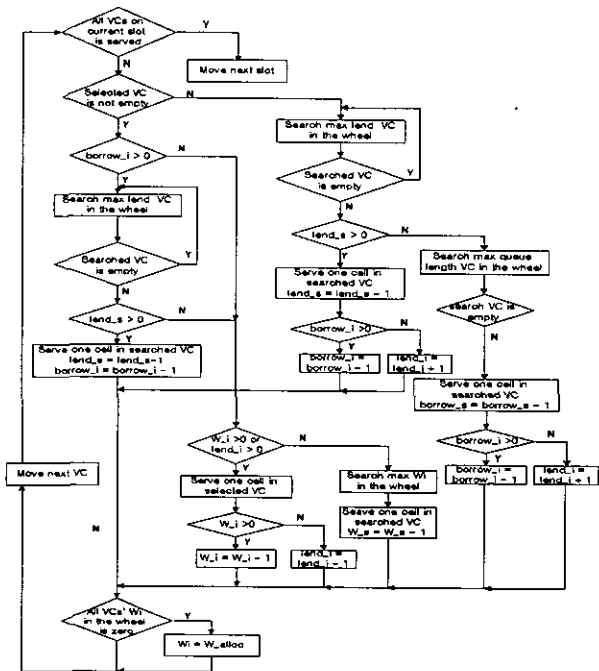


(그림 6) 제안된 구조의 이진 전송율 목록

(그림 7)은 제안된 BSW 구조의 셀 스케줄링 흐름도를 보여주고 있다. 제안된 BSW 구조의 셀 스케줄링의 특징은 서비스 순서가 된 VC의 가중치 계수기 값, 큐의 상태, 이전에 빌린 서비스의 개수 등을 고려하여 서비스를 수행하는 것이다. 만약 서비스 순서가 돌아와 선택된 VC의 큐에 셀이 존재하지 않으면 서비스를 수행 할 수 없기 때문에

선택된 VC가 속한 VC들 중에 이 전에 서비스를 제일 많이 빌려준 VC에 우선권을 주어 서비스를 수행할 수 있도록 한다. 또한, 서비스 받을 VC의 가중치 값이 0일 경우에는 서비스 받을 VC가 속한 이진 바퀴에서 가중치 값이 제일 큰 VC에게 서비스를 받을 수 있도록 한다.

제안된 BSW 구조의 셀 스케줄링 알고리즘은 기존의 셀 스케줄링 알고리즘보다 최대 큐 길이 및 큐잉 지연 측면에서 향상된 성능을 보일 것이다. 이는 기존의 셀 스케줄링 알고리즘은 큐의 상태와 관계없이 서비스를 수행하므로 최대 큐잉 길이가 커지고 또한, 적절하게 서비스를 받지 못하므로 큰 큐잉 지연이 발생하는데 비해 제안된 알고리즘은 이러한 문제점을 개선하였기 때문이다.



(그림 7) 제안된 BSW 구조의 셀 스케줄링 알고리즘 흐름도

4. 시뮬레이션 및 결과분석

시뮬레이션 환경에서 출력 링크 용량은 기존의 알고리즘과의 성능 비교를 위하여 2의 지수승인 128Mbps로 하였고 입력 부하를 조정하기 위해서 일정한 전송율을 가진 VC들의 개수를 조정하였다. 그리고 입력되는 셀 발생은 아래 식 (3)과 같이 Poisson 분포를 따르도록 하였다.

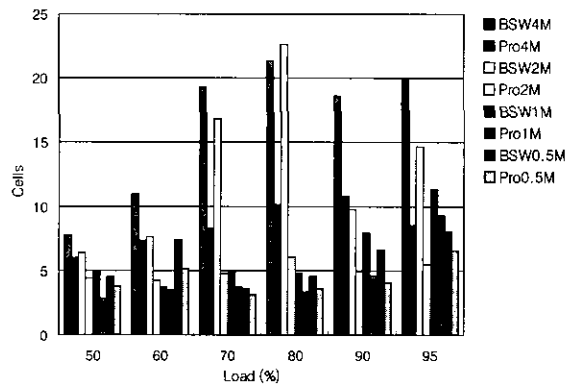
$$Pr(T\text{시간동안에 } k\text{개 도착}) = \frac{(\lambda T)^k}{k!} e^{-\lambda T} \quad \lambda : \text{입력 부하} \quad (3)$$

시뮬레이션 수행은 C언어로 스케줄링 구조를 작성하여 식 (3)의 분포를 따르는 입력 부하의 변화에 따른 결과를 분석하였다.

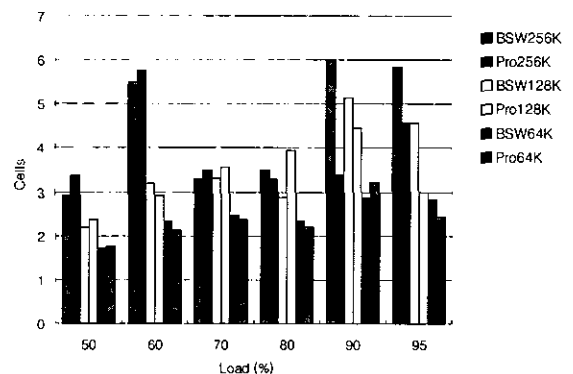
(그림 8)은 입력 부하에 따른 고속 VC들의 최대 버퍼 크기를 평균하여 나타낸 그림이다. (그림 8)에서 기존의 알고리즘보다 제안된 알고리즘의 최대 버퍼 크기가 월등히 작

게 유지됨을 알 수 있다. 제안된 알고리즘의 경우 버퍼크기가 큰 VC는 여분의 서비스가 존재할 경우 최우선으로 서비스를 제공함으로써 최대 버퍼의 크기를 좀더 작게 할 수 있음을 확인 할 수 있다. 이는 버퍼의 요구 양을 감소시켜 하드웨어 구현시 보다 적은 메모리로 구현할 수 있는 장점을 가진다.

(그림 9)는 입력 부하에 따른 저속 VC들의 최대 버퍼 크기를 평균하여 나타낸 그림이다. (그림 9)에서는 고속의 경우와는 좀 다르게 입력 부하가 80% 이하일 경우 제안된 알고리즘이 기존의 알고리즘보다 최대 버퍼의 크기가 약간 큼을 알 수 있다. 이는 제안된 알고리즘의 경우 저속의 VC들은 고속의 VC에 비해 서비스를 상대적으로 적게 받고 또한, 버퍼에 셀이 많이 존재할 때 적절한 시기에 서비스를 받지 못하기 때문에 기존 알고리즘에 비해 최대 버퍼 크기가 약간 크다. 그러나, 저속일 경우 최대 버퍼 크기는 6셀 이하로 고속의 VC에 비해 상대적으로 아주 작고 제안된 알고리즘과 기존 알고리즘의 차이가 1셀 이하로 나타나므로 실제 하드웨어 구현 시에는 거의 차이가 발생하지 않는다.



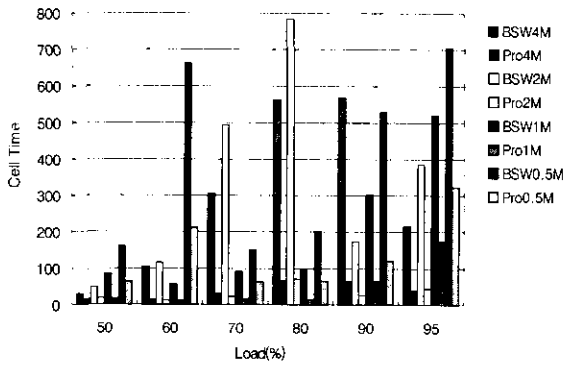
(그림 8) 입력 부하에 따른 고속 VC들의 최대 버퍼 크기



(그림 9) 입력 부하에 따른 저속 VC들의 최대 버퍼 크기

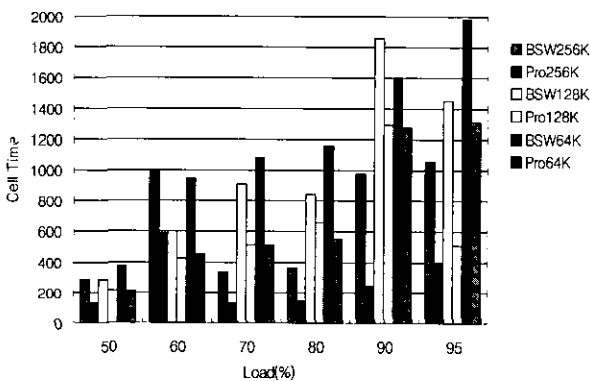
(그림 10)은 입력부하에 따른 고속 VC들의 평균 큐 지연을 제안된 알고리즘과 기존의 알고리즘을 비교하여 보여 주고 있다. (그림 10)에서 제안된 알고리즘의 큐 지연이 기존의

알고리즘보다 월등히 우수함을 확인할 수 있다. 이러한 결과는 제안된 알고리즘은 큐에 셀이 많이 쌓이게 되면 서비스를 제공받을 기회를 많이 부여함으로써 큐에서 기다리는 지연을 감소시키기 때문이다. 전체적으로 큐 지연을 반 이하로 감소 시킴으로써 제안된 알고리즘은 지연에 민감한 CBR이나 VBR 서비스의 전송품질을 유지할 수 있을 것이다.



(그림 10) 입력부하에 따른 고속 VC들의 평균 큐 지연

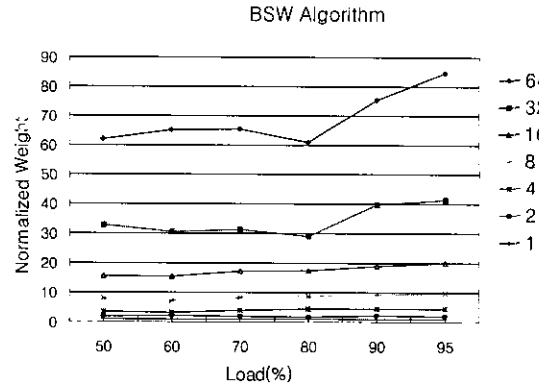
(그림 11)은 입력부하에 따른 저속 VC들의 평균 큐 지연을 제안된 알고리즘과 기존의 알고리즘을 비교하여 보여주고 있다. 고속에서와 비슷하게 제안된 알고리즘이 기존의 알고리즘보다 셀 지연을 상당히 감소시킴을 알 수 있다. 그러나 고속의 VC에서의 셀 지연의 감소 정도가 그리 크지는 않다. 이는 저속의 VC인 경우 고속의 VC에 비해 서비스를 많이 받을 수 없기 때문에 전체적인 지연이 크고 제안된 알고리즘과 기존의 알고리즘의 편차 또한 고속의 VC의 결과와 같이 월등한 결과를 보이지 않음을 확인할 수 있다.



(그림 11) 입력부하에 따른 저속 VC들의 평균 큐 지연

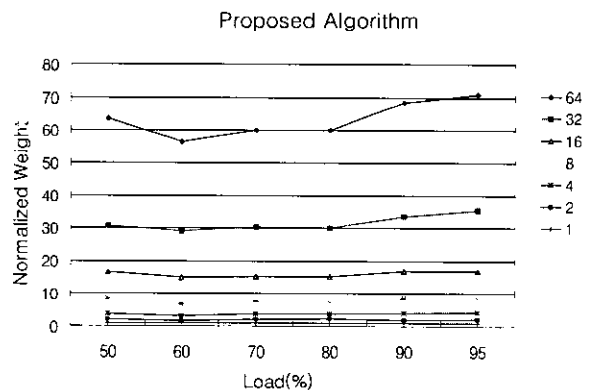
(그림 12)는 기존의 BSW 알고리즘의 입력부하에 따른 서비스 회수를 가중치 값으로 정규화하여 보여주고 있다. 모든 VC들에 공평한 서비스를 위해서는 각 VC에 할당된 가중치 회수만을 스케줄러는 서비스를 수행할 수 있도록 해야한다. (그림 12)에서 기존의 알고리즘은 가중치 값이 64인 VC의 경우 입력 부하에 따라 서비스의 회수가 최저

60에서 최고 85까지 25정도의 편차를 가지고 수행함을 확인할 수 있다. 이러한 결과는 서비스의 공평성에 있어 많은 문제를 야기한다.



(그림 12) 기존의 BSW 알고리즘의 입력부하에 따른 서비스 회수

(그림 13)은 제안된 BSW 알고리즘의 입력부하에 따른 서비스 회수를 가중치 값으로 정규화하여 보여주고 있다. (그림 15)는 가중치가 64인 VC의 경우 입력부하에 따른 가중치가 최저 57에서 71까지의 편차를 보이고 있다. 이는 기존 알고리즘 보다 가중치 편차의 크기가 25에서 14정도로 감소됨을 확인할 수 있다. 이러한 결과는 제안된 알고리즘이 기존의 알고리즘 보다 모든 VC들에 보다 공평하게 서비스를 수행함을 입증한다. 그러므로 ABR과 UBR등의 best-effort 서비스 수행을 보다 우수하게 수행 할 수 있을 것이다.



(그림 13) 제안된 BSW 알고리즘의 입력부하에 따른 서비스 회수

5. 결 론

통신망이 ATM 망으로 발전됨에 따라 초기에 ATM 전용 서비스가 가능하게 되며, 광대역 서비스가 제공 될 수 있다. 모든 서비스는 개별적 전용망의 개념에서 통합망의 개념으로 서비스가 가능하며, 통계적 다중화에 의한 효율적 사용도 기대 할 수 있다. ATM 망은 점차 광대화되어 다양한 서비스를 수행해야 한다. 이를 위해서는 다양한 종류의 트래픽을 특성에 맞게 서비스를 수행해야 한다. 이를 위해, 트래픽 제

어 기술에 대한 연구가 활발히 진행되어 왔다. 이러한 트래픽 제어를 위해서는 셀 스케줄링 알고리즘은 필수적이다. 셀 스케줄링 알고리즘은 짧은 시간에 모든 계산을 수행해야 하므로 계산 복잡도가 작아야 한다. 이에 적합한 알고리즘이 WRR 알고리즘이다. 이러한 WRR 알고리즘을 하드웨어로 구현하기 위하여 BSW 구조가 개발되었다. 그러나, 기존의 BSW 구조는 하드웨어 복잡도를 감소시키고자 WRR 알고리즘의 성능을 저하시키는 문제를 내포하고 있다.

본 논문은 이러한 BSW 구조의 문제를 개선하고자 새로운 BSW 구조를 제안하고 이에 적합한 셀 스케줄링 알고리즘을 개발하였다. 제안된 구조의 하드웨어 구현 및 계산 복잡도는 기존의 BSW 구조에서 새로운 서비스 루틴에 추가 사용된 변수들에 관계된 부분만이 추가된다. 제안된 BSW 구조는 이진 리스트 형태를 유지하기 때문에 이진성의 손실을 초래하지는 않는다. 기존의 BSW 알고리즘은 이진성에 기반을 두고 있기 때문에 WRR 스케줄링 알고리즘의 가중치를 충실하게 수행할 수 없는 문제점이 발생되는데 이러한 문제의 제안된 구조에서는 이러한 문제를 발생하지 않기 때문에 WRR 스케줄링 알고리즘을 보다 충실하게 수행할 수 있다. 시뮬레이션 결과는 제안된 구조의 알고리즘이 기존의 알고리즘 보다 최대 버퍼의 크기는 50% 이하로 감소되었고 평균 큐잉 지연은 제안된 구조의 알고리즘이 기존의 알고리즘 보다 65%이상 감소되었다. 이러한 성능 개선은 스위치의 셀 전송 능력을 상당히 향상시킬 수 있을 것이다. 할당된 가중치에 대한 서비스 횟수는 제안된 알고리즘의 경우 입력 부하에 따라서 그 수치가 정규화를 하였을 경우 15이내에서 변동이 있는 반면에 기존의 알고리즘에서는 그 변동이 25이내 이다. 이러한 결과는 제안된 알고리즘이 기존의 알고리즘 보다 할당된 가중치에 충실하게 서비스를 수행하고 있음을 확인할 수 있다.

본 논문에서는 기존의 BSW 구조의 이진 바퀴를 재구성하여 다양한 가중치를 서비스할 수 있는 이진 바퀴를 제안하였고 이에 적합한 새로운 스케줄링 루틴을 개발하였다. 그러므로 본 논문은 하드웨어 구현 및 계산 복잡도는 기존의 BSW와 비슷하면서 그 성능은 우수하고 큐 이용률도 높게 유지함을 시뮬레이션 결과를 통해 확인할 수 있다. 본 연구에 대한 추후 연구는 제안된 알고리즘을 하드웨어 구현하여 하드웨어 복잡도를 산출하고 본 알고리즘의 성능분석을 위하여 수학적 분석을 수행해야 할 것이다.

참 고 문 헌

[1] K. Sui, H. Tzeng, "Intelligent congestion control for ABR service in ATM networks," IEEE ACM SIGCOMM, Comp. Commun. Rev., pp.81-106, Oct. 1996.
 [2] H. Ohsaki, M. Murata, H. Suzuki, C. Ikeda, and H. Miyahara, "Performance evaluation of rate-based congestion control

algorithms in multimedia ATM networks," IEEE GLOBE-COM'95, pp.1243-1248, Nov. 1995.
 [3] Okada. T. H. Ohnishi and N. Morita, "Traffic Control in ATM," IEEE Communication Magazine, Sep. 1991.
 [4] J. M. Hyman, A. A. Lazar, G. Pacifici, "Real Time Scheduling with Quality of Service Constraints," IEEE Journal on Selected Areas in Communications, Vol. SAC-9, No.7, pp. 1052-1063, Sep. 1991.
 [5] D. Stiliadis, A. Verma, "Design and Analysis of Frame-based Fair Queuing: A New Traffic Scheduling Algorithm for Packet-Switched Networks," to appear in ACM Sigmetrics, May 1996.
 [6] J. Golestani, "Fair Queueing Algorithms for Packet Scheduling in BISDN," in the Internation Zurich Seminar, pp.39-51, 1996.
 [7] A. Demers, S. Keshav, S. Shenkar, "Analysis and Simulation of a Fair Queueing Algorithm," in Proceedings Sigcomm '89, pp.1-12, Sep. 1989.
 [8] J. Golestani, "A Self-Clocked Fair Queueing Scheme for Broadband Applications," in Proceedings of Infocom '94, pp. 636-646, Apr. 1994.
 [9] M. Katevinis, S. sidiropoulos, C. Courcoubetis, "Weighted round-robin cell multiplexing in a general-purpose ATM switch chip," IEEE J. on Sel. Area in Commun., Sep. 1991.
 [10] Yuhua Chen, Jonathan S. Turner, "Designing of a Weighted Fair Queuing Cell Scheduling for ATM Network," Proceedings of the Globecom '98 Vol.1, pp.405-410, Nov. 1998.
 [11] 조해성, 정경택, 전병실, "셀 지연과 버퍼 이용률을 개선한 WRR 셀 스케줄링 알고리즘", 통신학회 논문지, 제25권 11호, pp. 272-275, Nov. 2000.



문 흥 진

e-mail : hjmoon@jeonju.ac.kr
 1983년 전북대학교 전자공학과 졸업(공학사)
 1986년 전북대학교 대학원 전자공학과 졸업(공학석사)
 1991년 전북대학교 대학원 전자공학과 졸업(공학박사)
 1991년~현재 전주대학교 컴퓨터공학과 부교수
 관심분야 : ASIC 설계, 음성인식



조 해 성

e-mail : hscho@kriss.re.kr
 1994년 전북대학교 전자공학과 졸업
 1996년 전북대학교 전자공학과 석사
 2001년 전북대학교 전자공학과 박사
 2001년~현재 한국표준과학연구원
 Post-Doc.
 관심분야 : 멀티미디어 통신, ATM 트래픽제어, ATM 셀 스케줄링, 대용량 ATM 스위치