

# n<sup>+</sup>-GaN/AlGaIn/GaN HFET 제작을 위한 오믹접촉에 관한 연구

## Investigation of Ohmic Contact for n<sup>+</sup>-GaN/AlGaIn/GaN HFET

정두찬\*, 이재승\*\*, 이정희\*\*, 김창석\*\*\*, 오재용\*\*\*, 김종욱\*\*\*\*, 이재학\*\*\*\*, 신진호\*\*\*\*, 신무환\*

(Doo-Chan Jung\*, Jae-Seung Lee\*\*, Jung-Hee Lee\*\*, Chang-Seok Kim\*\*\*, Jae-Yung Oh\*\*\*, Jong-Wook Kim\*\*\*\*, Jea-Hack Lee\*\*\*\*, Jin-Ho Shin\*\*\*\*, Moo-Whan Shin\*)

### Abstract

The optimal high temperature processing conditions for the formation of Ohmic contact of Ti/Al/Pt/Au multiple layers were established for the fabrication of n<sup>+</sup>-GaN/AlGaIn/GaN HFET device. Contact resistivity as low as 3.4 x 10<sup>-6</sup> ohm-cm<sup>2</sup> was achieved by the annealing of the sample at 1000 °C for 10 sec. using the RTA (Rapid Thermal Annealing) system. The fabricated HFET (Heterostructure Field Effect Transistor) with a structure of n<sup>+</sup>-GaN /undoped AlGaIn/undoped GaN exhibited a low knee voltage of 3.5 V and a maximum source-drain current density of 180 mA/mm at Vg = 0 V.

**Key words** : GaN, MOCVD, HFET, High Frequency, High Power, Ohmic Contact, Contact Resistivity

### 1. 서 론

최근 개인휴대통신, 위성통신, 군사용 레이더 등의 무선통신에 대한 수요가 급증함에 따라 여기에 사용하는 고주파, 고효율 소자 특성을 향상하기 위한 연구가 활발히 진행되고 있다. 특히, GaN계 화합물반도체는 전도 대역 불일치(conduction band discontinuities)로부터 큰 캐리어 밀도(sheet carrier density)를 얻을 수 있고, 광대역밴드갭으로 인한 작은 게이트 누설 전류 및 큰 항복전압을 갖기 때문에 위의 특성에 잘 부합하는 전자소자로의 이용이 기대되며, 특히, 오믹

저항을 줄이기 위해 n<sup>+</sup>-GaN 캡층을 갖는 AlGaIn/GaN HFET(heterostructure field effect transistor)[1 - 3]가 이러한 전자소자들의 대표적인 구조라 할 수 있다. 이러한 소자로의 응용시 극한 환경(고온)에서도 상온에서의 소자특성을 유지하기 위해서, 낮은 접촉 저항과 공정의 재현성을 나타내는 오믹 접촉 구현이 필수적이다.

일반적으로 오믹접촉을 형성시키기 위해서는 두 가지 방법이 사용되고 있다. 즉, 작은 일함수를 갖는 금속을 선택하여 접촉 장벽(contact barrier)을 낮추든지, n-GaN 층을 고농도로 도핑하여 전자의 터널링(tunneling)을 유기 시키는 것이다. GaN은 다른 III-V족 반도체에 비해 큰 밴드갭을 갖기 때문에 상대적으로 낮은 접촉저항의 오믹 접촉을 이루기 힘들다. 현재 가장 적당한 금속으로는 일함수가 비교적 작은 Al[4], Ti[6]와 Ti/Al[5 - 7]을 이용한 다층(multi)금속이 대표적인 구조로 알려지고 있다. Foresi와 Moustakas[8]는 Al을 사용하여 10<sup>-3</sup> ohm-cm<sup>2</sup>의 접촉비저항(specific contact resistivity)을 보고하

\* : 명지대학교 세라믹공학과  
(경기도 용인시 남동 산 38-2,  
Fax : 031-330-6457  
E-mail : dcjung92@lg-elite.com)

\*\* : 경북대학교 전자전기공학부

\*\*\* : 한양대학교 전자 및 컴퓨터공학부

\*\*\*\* : LG 전자기술원 RF 소자팀

2000년 12월 20일 접수, 2001년 1월 29일 심사완료

였고, Lin[9] 등은 Ti/Al 이층금속을 사용하여 900 °C RTA(rapid thermal annealing)를 통해  $8 \times 10^{-6}$  ohm-cm<sup>2</sup>의 낮은 접촉저항을 구현하였다. 최근에는 GaN에 이온 주입 혹은 RIE를 통한 선처리(pre-treatment)등을 포함하여 다양한 공정을 통해 낮은 접촉저항을 갖는 오믹접촉을 구현하였다는 보고가 있다[10 - 12].

이러한 활발한 연구에도 불구하고 대부분의 연구 보고는 GaN 자체에 대한 오믹접촉 연구가 대부분이며 AlGaIn에 대한 연구보고는 극히 제한적인 것으로 알려지고 있다. 따라서 본 연구에서는 AlGaIn/GaN HFET 제작을 위한 오믹접촉 실험을 수행하였으며 특히 최적화된 고온 열처리공정을 소자제작에 직접 응용하였다. 사용한 웨이퍼의 구조는 300 Å의 n<sup>+</sup>-GaN 캡 층을 갖는 AlGaIn/GaN의 이종접합구조이다. N<sup>+</sup> 캡층을 사용할 경우 GaN이 화학적으로 매우 안정하기 때문에 리세스(recess) 게이트 공정이 매우 어려운 것으로 알려지고 있지만, 본 연구에서는 자체개발된 광전화학 습식식각 방법을 recess 공정에 적용할 수 있기 때문에 n<sup>+</sup>-GaN 캡 층을 소자 공정에 직접 이용할 수 있었다[10]. 실험은 n<sup>+</sup>-GaN/GaN에 대해 저접촉저항의 오믹접촉 조건을 구현한 후, n<sup>+</sup>-GaN/AlGaIn/GaN HFET 제작에도 같은 공정을 응용하여 소자특성을 관찰하였고 웨이퍼 내의 7개 영역의 TLM 테스트 패턴을 전기적으로 분석하여 공정의 재현성을 살펴보았다.

## 2. 실험 방법

TLM(Transmission Line Measurement) 패턴의 제조를 위해서 사용한 에피층은 MBE를 이용하여 2인치 (0001) 방향의 사파이어 기판 위에 성장시켰다. 결정구조는 0.5 μm undoped GaN, 300 Å n<sup>+</sup>-GaN( $5 \times 10^{18}$  cm<sup>-3</sup>)의 순으로 이루어졌다. TLM 패턴은 5~45 μm 패드간격을 갖는 100 μm × 200 μm 접촉면적의 패드를 사용하였다. 준비한 웨이퍼는 PR 마스크를 사용하여 ECR dry etcher로 mesa isolation 공정을 수행하였고, mesa 웨이퍼는 사진 식각 기술을 사용하여 TLM 패턴을 형성시켰다. 금속을 증착하기 전 표면의 PR 찌꺼기를 제거하기 위하여 Ashing 공정을 수행한 후 표면에 형성된 얇은 산화막을 제거하기 위해서 시편을 HCl : H<sub>2</sub>O = 1 : 1 용액에 처리하였다. 오믹 금속은 e-beam evaporator를 사용하여  $1 \times 10^{-6}$  Torr의 진공분위기에서 증착하였다. 금속이 증착된 웨이퍼는 lift-off 공정을 통해 오믹 패턴을 형성하였고 RTA를 사용하여 각각 다른 온도로 열

처리하였다. 이후 HP 4145B semiconductor parameter analyzer를 사용하여 전기적 특성을 측정하였고, 열처리 동안 발생한 화학적 변화를 확인하기 위하여 AES(auger electron spectroscopy) 분석을 수행하였다. 위의 실험으로 확립한 최적 조건인 250 °C 30초 - 1000 °C 10초의 공정을 300 Å n<sup>+</sup>-GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N/0.5 μm undoped GaN HFET 제조에 응용하였고, 웨이퍼내의 테스트 패턴을 통해 오믹접촉의 검증은 수행하였다.

## 3. 결과 및 고찰

본 연구에서는 Ti/Al/Pt/Au를 포함하여 여러 가지의 다층금속 구조를 선행적으로 사용하여 가능성을 조사한 후, 이중 가장 낮은 접촉비저항 값을 갖는 Ti 250 Å/Al 1000 Å/Pt 200 Å/Au 500 Å 구조에 대해 집중적으로 연구를 수행하였다.

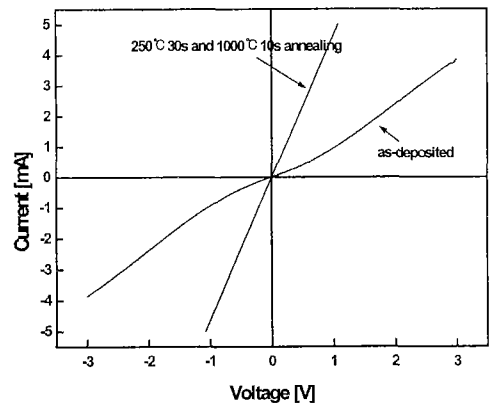


그림 1. 300 Å n<sup>+</sup>-GaN/0.5 μm undoped GaN 과 Ti 250 Å/Al 1000 Å/Pt 200 Å/Au 500 Å 오믹접합의 열처리 전과 250 °C 30초 - 1000 °C 10초 열처리 후의 전류-전압 특성곡선.

Fig. 1. Current - voltage characteristic curve before annealing of ohmic contact with 300 Å n<sup>+</sup>-GaN/0.5 μm undoped GaN and Ti 250 Å /Al 1000 Å /Pt 200 Å /Au 500 Å and after annealing with 250 °C 30sec - 1000 °C 10 sec.

이 구조는 Ti가 GaN이 갖는 자연산화막(native oxide)을 감소시키고 GaN과의 실질적인 접촉은 Al-Ti 혼합상(intermetallic phase)이 형성하여 접촉 비저항을 줄일 수 있는 장점이 있는 구조로 알려져

고 있다[10]. Ti는 비교적 좋지 않은 전도도를 갖는 것으로 알려지고 있기 때문에, 전도도가 뛰어난 Au를 제일 위층에 증착시켰고, Pt는 Au의 확산장벽금속(diffusion barrier metal)으로 활용하였다.

그림 1은 Ti/Al/Pt/Au(250/1000/200/500 Å)와 n<sup>-</sup>-GaN 접착의 열처리 전과 후의 전류-전압 (I-V) 특성 곡선이다. As-deposited 시편에 대해 I-V 곡선은 바이어스가 0인 점을 기준으로 대칭성을 갖으며, 정류성 쇼트키 접합의 형성에 기인하여 약간의 굴곡을 나타내었다. 그러나, 금속 접합을 250 °C 30초 - 1000 °C 10초 동안 열처리 한 후에는 I-V 곡선이 선형적인 특성을 보여 금속과 반도체간 오믹 접착이 형성된 것을 확인할 수 있었다. TLM 패턴으로부터 접촉비저항을 구하기 위해, 각기 다른 간격을 갖는 두 금속의 전류-전압 특성 직선으로부터 그것이 갖는 전체 저항을 구하였다. 측정시 탐촉자의 접촉 세기와 빛에 의해 민감한 반응을 보이므로 적절하고 일정한 새기로 탐촉하고 암 상자 안에서 측정을 하였다. 또한 직류 탐촉자의 저항을 제거하기 위해 텅스텐 탐촉자를 단락시킨 후 저항을 측정하여 각각의 거리에서 측정된 저항 값에서 단락시킨 탐촉자의 저항 값을 빼 오차를 줄였다. 이때 접촉저항은 다음 식으로부터 계산되었다.

$$R_c = \frac{R_2 l_1 - R_1 l_2}{2(l_1 - l_2)} \quad (1)$$

여기서 R<sub>1</sub> 및 R<sub>2</sub>는 전류전압 특성에서 측정된 두 패턴 set의 총 저항 값이며 l<sub>1</sub>, l<sub>2</sub>는 이 두 패턴 set 간의 거리이다. 전체 저항을 패드간의 거리의 함수로서 도식함으로써 나타낼 때에 거리= 0에서 전체저항 축을 지나는 절편값의 반이 구하려는 접촉저항이며 그림 2는 이러한 전체 저항과 패드간의 거리를 도식한 것이다. 그림 2로부터 계산된 접촉저항값은 3.44 × 10<sup>-6</sup> ohm-cm<sup>2</sup> 이었다. 그림 3은 다양한 금속구조에 대한 열처리 온도에 따르는 접촉비저항(ρ<sub>c</sub>)의 변화를 나타낸다. 사용한 금속의 조건은 Ti 700 Å/Al 200 Å/Pt 200 Å/Au 500 Å(시편 #1), Ti 250 Å/Al 1000 Å/Pt 200 Å/Au 500 Å(시편 #2), Ti 600 Å/Al 800 Å/Pt 200 Å/Au 500 Å(시편 #3), Ti 700 Å/Al 200 Å/Ni 200 Å/Au 500 Å(시편 #4)이며, 열처리 온도는 as-deposited과 250 °C 30초간의 1차 열처리 후 800 °C, 900 °C, 1000 °C로 설정하여 10초간 2차 열처리하였다.

이 실험은 n<sup>-</sup>-GaN 오믹 테스트 시편을 통해 이루어

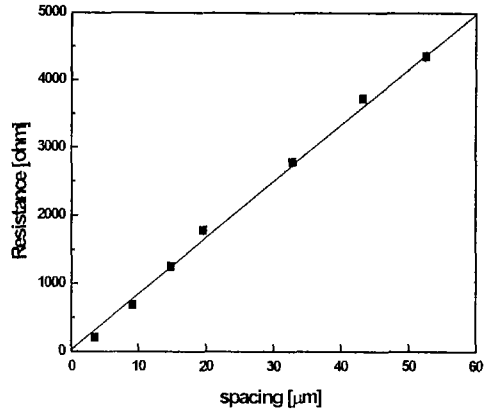


그림 2. 250 °C 30초 - 1000 °C 10초 열처리 후 측정된 전체저항 대 패드 간격.

Fig. 2. Total resistance - pad spacing after annealing with 250 °C 30 sec - 1000 °C 10 sec.

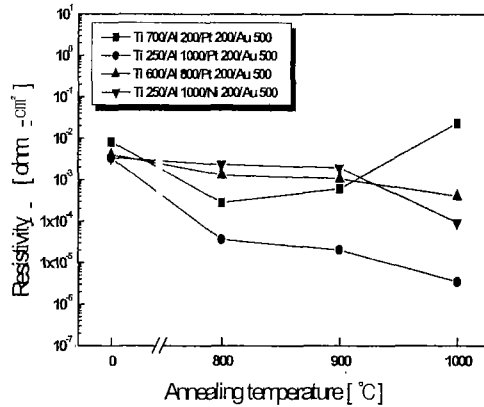


그림 3. 열처리 온도(250 °C 30초 포함)에 따른 300 Å n<sup>-</sup>-GaN/0.5 μm undoped GaN의 접촉비저항 값의 변화.

Fig. 3. Change of contact specific resistivity value of 300 Å n<sup>-</sup>-GaN/0.5 μm undoped GaN as annealing temperature (including 250 °C 30 sec).

어 졌으며, 추후 300 Å의 n<sup>-</sup>-GaN 캡층을 사용한 HFET 제조에 활용하여, 확산에 의한 AlGaIn 층에도 영향을 미치는 조건을 구현하기 위해 고온의 열처리 공정을 선택하였다. 시편 #1, #2, #3을 비교하여 보면, 열처리 온도에 따라 시편 #2가 가장 좋은 결과를

나타낸다. 이는 Khan 등이 이전에 연구하였던 결과와 일치한다[13]. 즉, Al과 Ti의 두께비(Al/Ti)가 2.1 이상이 될 때 고온 안정한 오믹 접합을 이룰 수 있으며, 본 연구의 결과 Al/Ti=4 일 때 가장 좋은 특성을 보였다. 또한 가장 좋은 결과를 나타낸 시편 #2에 대해 Pt 대신 Ni를 사용하여 오믹 특성을 실험하였다. 실험 결과 시편 #2가 시편 #4에 비해 더 낮은 접촉비저항을 나타내었는데, 이는 Ni에 비해 Pt가 Au의 내부확산(in-diffusion)을 좀 더 효과적으로 막은 결과라고 생각된다. 일반적으로 Ti/GaN의 접합에서의 열쇠는 TiN의 형성이다. 4.18 eV의 일함수를 갖는 Ti에 비해 금속성을 띠는 TiN는 3.74 eV의 일함수를 갖는다<sup>[14]</sup>. 따라서, 이 층의 형성에 따라 접합장벽은 낮아지게 된다(일반적으로  $\Phi_{Bn} = \Phi_m - \chi_s$ ). 그리고 TiN의 형성으로 인해 GaN의 표면쪽에 도우너로 작용하는 N 공극이 생성됨으로 고농도의 얇은 층이 형성되게 된다. Ti와 GaN의 반응에 의한 TiN의 형성 온도는 600~700 °C이다<sup>[15]</sup>. 그림3의 결과에서 시편 #2에 대한 as-deposited에서  $3.29 \times 10^{-3}$  ohm-cm<sup>2</sup>가 800 °C에서  $3.66 \times 10^{-5}$  ohm-cm<sup>2</sup>으로 접촉비저항 값이 크게 작아졌다. 즉, 본 실험에서도 TiN이 형성에 의해 GaN의 표면에 N 공극(vacancy)이 생기고, 더욱 고농도의 n<sup>+</sup> 층이 형성되었다는 것을 예측할 수 있다. 예비실험 결과 Ti 250 Å/Al 1000 Å/Pt 200 Å/Au 500 Å의 금속구조를 사용하여 250 °C 30초 - 1000 °C 10초 열처리하여 가장 작은 접촉비저항 값을 얻었다. 따라서, n<sup>+</sup>-GaN/AlGaN/GaN HFET 제작에 같은 조건을 적용하여 공정을 수행하였다.

그림 4는 n<sup>+</sup>-GaN/AlGaN/GaN에 오믹 금속을 증착시킨 후, 250 °C 30초 - 1000 °C 10초 동안 RTA 처리하여 측정된 7개 영역 TLM 테스트 패드의 전체저항 대 패드간격의 그래프(그림 4 (a))와 그림 4 (a)로 부터 계산한 접촉비저항 값(그림 4 (b))을 보여준다. 각 영역에서의 접촉비저항 값은  $3.496 \times 10^{-5}$  ohm-cm<sup>2</sup>에서  $4.7 \times 10^{-6}$  ohm-cm<sup>2</sup> 값을 보였으며, 전반적으로 균일한 경향을 볼 수 있다. 이 값들은 예비실험에서 얻었던  $3.44 \times 10^{-6}$  ohm-cm<sup>2</sup>에 비해 약간 커진 것을 볼 수 있으며, 이는 고온의 열처리를 통해 오믹 금속이 300 Å GaN 층 아래의 Al<sub>0.2</sub>Ga<sub>0.8</sub>N( $E_{g(GaN)} \approx 3.42$  eV,  $E_{g(AlGa_{0.8}N)} \approx 3.8$  eV) 층과 접촉을 이루어 나타난 결과이다. 2번 영역의 접촉비저항이 상대적으로 높은 값을 나타내는 이유는 그 영역 에피층의 성질이 다른 영역 보다 좋지 않기 때문이며, 6번 영역의 경우 mesa isolation시 PR 마스크가 벗겨져 오믹 접촉을 형성하지 못해 측정이

불가능하였다.

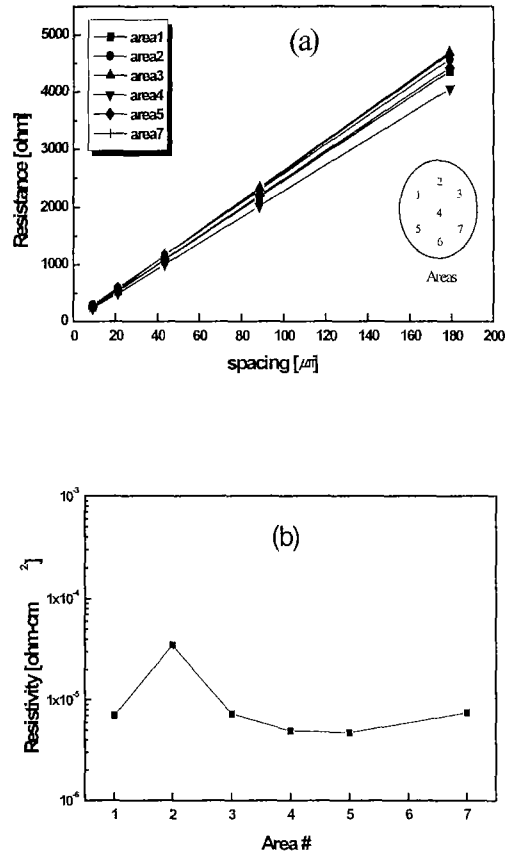


그림 4. (a) 300 Å n<sup>+</sup>-GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N/0.5 μm undoped GaN HFET의 25 °C 30초, 1000 °C 10초 열처리 후 측정된 패드간격 변화에 대한 전체저항 (b) 300 Å n<sup>+</sup>-GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N/0.5 μm undoped GaN HFET에서 각 영역별 접촉비저항 값.

Fig. 4. (a) Total resistance on the change of pad spacing measured after annealing 250 °C 30 sec, 1000 °C 10 sec with 300 Å n<sup>+</sup>-GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N/0.5 μm undoped GaN HFET (b) Contact specific resistivity value at each range in 300 Å n<sup>+</sup>-GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N/0.5 μm undoped GaN HFET.

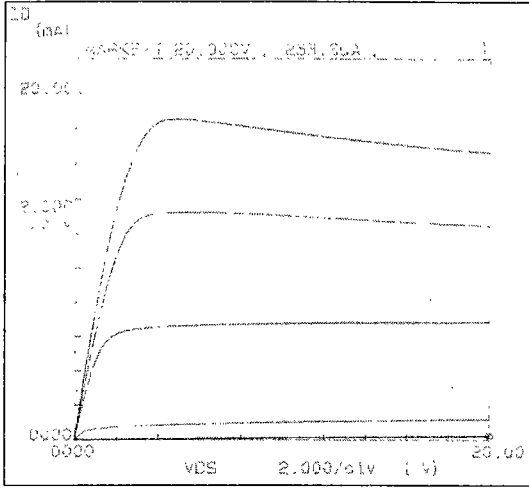
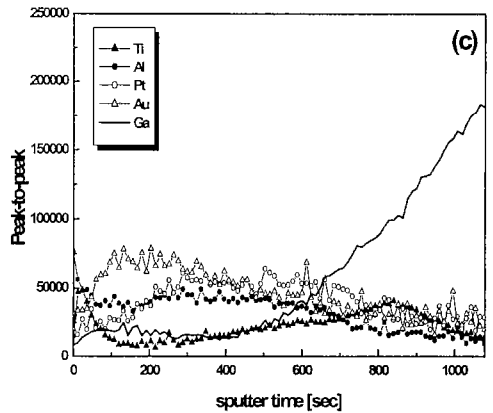
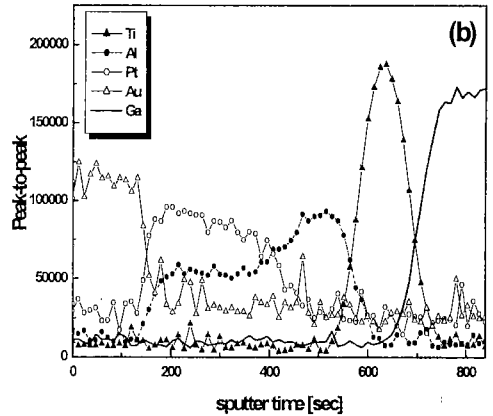
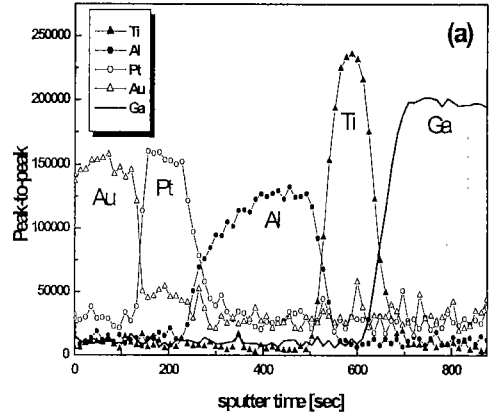


그림 5. 300 Å n<sup>-</sup>GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N /0.5 μm undoped GaN HFET에서 게이트 길이 0.6 μm, 게이트 폭 100 μm 인 소자의 드레인 전류-전압 곡선.

Fig. 5. Drain current-voltage curve of device with gate length 0.6 μm, gate width 100 μm at 300 Å n<sup>-</sup>GaN/100 Å undoped Al<sub>0.2</sub>Ga<sub>0.8</sub>N /0.5 μm undoped GaN HFET.

그림 5는 이번 연구에서 확립한 오믹 접촉 공정을 적용하여 제조한 n<sup>-</sup>GaN( $5 \times 10^{18} \text{ cm}^{-3}$ )/undoped AlGa<sub>0.2</sub>N/undoped GaN 리세스 게이트(recess gate) HFET 중 게이트 길이 0.6 μm, 게이트 폭이 100 μm 인 소자의 게이트 전압에 대한 드레인 전류의 변화를 나타낸다. 게이트 전압을 1 V 에서 -3 V 까지 -1 V 씩 변화시키고, 드레인 전압은 0 V에서 20 V 까지 측정하였다. 이 그림으로부터 소스와 드레인(knee-voltage) 값이 다른 소자에 비해 낮은 3.5~4 V 근처에서 형성되고 있음을 알 수 있다[16]. 이 결과는 참고문헌 16과 일치한다. 즉, 열처리에 따라 오믹저항이 낮아지게 되며 I<sub>DS</sub>-V<sub>DS</sub> 그래프에서 무릎-전압이 작아진 사실을 볼 수 있다. 게이트 전압 1 V 에서 드레인 전류가 약간 아래로 휘는 형태를 보이는데, 이는 기판으로 열전도도가 좋지 않은 사파이어(Al<sub>2</sub>O<sub>3</sub>)를 사용하였기 때문이다. 그림으로부터 드레인-소스간 최대전류는 180 mA/mm 이상임을 알 수 있다.



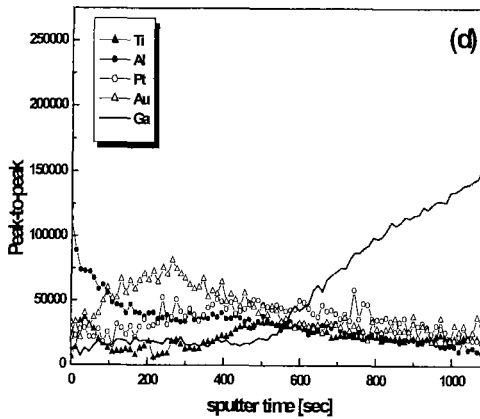


그림 6. AES curve(300 Å n<sup>+</sup>-GaN/0.5 μm undoped GaN 과 Ti 250 Å/Al 1000 Å/Pt 200 Å /Au 500 Å 오믹접합), 열처리조건 : (a)as-deposited, (b)250 °C 30초, (c)250 °C 30초, 1000 °C 10초, (d)1000 °C 10초.

Fig. 6. AES curve(300 Å n<sup>+</sup>-GaN/0.5 μm undoped GaN and Ti 250 Å/Al 1000 Å/Pt 200 Å /Au 500 Å ohmic contact), annealing condition : (a)as-deposited, (b)250 °C 30 sec, (c)250 °C 30 sec, 1000 °C 10 sec, (d)1000 °C 10 sec.

그림 6은 가장 좋은 결과를 나타낸 n<sup>+</sup>-GaN/GaN 과 Ti 250 Å/Al 1000 Å/Pt 200 Å/Au 500 Å 접촉의 (a)열처리 전, (b)250 °C 30초, (c)250 °C 30초 - 1000 °C 10 초 그리고, (d)1000 °C 10 초 열처리한 시편의 Auger electron spectroscopy 분석 결과(peak to peak)를 나타낸다.

우리가 사용한 구조의 일반적 단점은 고온 열처리 시 Al이 녹아 뭉쳐지고(ball up), 따라서 거친 표면을 나타내는 것이다[12,17]. 이전 GaN 과 Ti/Al 접촉에서 250~300 °C 의 열처리가 Al<sub>3</sub>Ti을 형성시킨다는 보고가 있다[18]. Al<sub>3</sub>Ti는 Al보다 높은 녹는점을 갖고 있으며 Ti나 Al보다 산화에 대한 저항이 더욱 크기 때문에 고온의 열처리에서도 안정된 특성을 보이게 된다. 따라서, 이번 연구를 통해 250 °C 열처리(pre-annealing) 공정을 사용하였으며 1000 °C의 고온에서도 향상된 오믹접합을 구현 할 수 있었다. 그림 6-(b)가 250 °C 30초 열처리 한 AES 결과인데, 예상한 대로 Al이 Ti쪽으로 확산하여 Al-Ti 혼합상을 형성하였다는 증거를 볼 수 있다. 또한, 그림

6-(b)에서 Al이 Pt 쪽으로 우세한 확산을 하여 Al-Pt 혼합상을 형성함을 볼 수 있는데, 이 층의 영향으로 그림 6-(c)에서 보는 것처럼 그림 6-(d)의 1000 °C만 열처리 한 경우보다 Au가 상대적으로 내부확산(in-diffusion)이 덜 일어났다는 사실을 알 수 있다. 하지만, AES 그림 5-(c)나 (d)가 보여주는 것처럼 Pt가 Au의 확산장벽금속(diffusion barrier metal)의 역할을 완벽하게 수행하지는 못했다고 판단된다.

#### 4. 결론

본 연구를 통해 AlGaIn/GaN HFET 제작을 위한 저접촉저항의 오믹 접촉을 구현하였다. 300 Å n<sup>+</sup>-GaIn/0.5 μm undoped GaN 에 대해 예비실험을 수행한 결과, Ti 250 Å/Al 1000 Å/Pt 200 Å/Au 500 Å 의 경우 250 °C 30초 - 1000 °C 10초간 열처리 후 3.44×10<sup>-6</sup> ohm-cm<sup>2</sup>의 낮은 접촉비저항 값을 나타내었다. 이 결과를 기초로 제조한 300 Å n<sup>+</sup>-GaIn/100 Å Al<sub>0.2</sub>Ga<sub>0.8</sub>N/0.5 μm undoped GaN HFET에 대해, 웨이퍼에 전체적으로 10<sup>-6</sup> ohm-cm<sup>2</sup> 중반의 비교적 균일한 접촉비저항 값을 나타내었다. 또한, 드레인 전류-전압 곡선을 통해 소자가 3.5~4 V 정도의 낮은 무릎-전압을 나타냄을 확인하였다. 향후 Si 이온주입을 통해 더욱 높은 도핑농도를 갖는 캡층을 사용한다면, 향상된 오믹접촉 및 HFET 소자가 기대된다.

#### 감사의 글

본 연구는 2000년도 산업자원부 중기거점과제의 지원을 받아 수행되었으며 이에 감사를 드립니다.

#### 참고 문헌

- [1] I. Daumiller, C. Kirchner, M. Kamp, K. J. Ebeling and E. Kohn, IEEE Electron Device Lett., Vol. 20, No. 9, 448, 1999.
- [2] G. J. Sullivan, M. Y. Chen, J. A. Higgins, W. Yang, Q. Chen, R. L. Pierson and B. T. McDermott, IEEE Electron Device Lett., Vol. 19, No. 6, 198, 1998.
- [3] R. Gaska, Q. Chen, J. Yang, A. Osinsky, M. Asif. Khan and M. S. Shur, IEEE Electron Device Lett., Vol. 18, No. 10, 492, 1997.
- [4] L. L. Smith, R. F. Davis, M. J. Kim, R. W.

- Carpenter and Y. Huang, *J. Mater. Res.*, Vol. 11, No. 9, 2257, 1996.
- [5] L. F. Lester, J. M. Brown, J. C. Ramer, L. Zhang, S. D. Hersee and J. C. Zolper, *Appl. Phys. Lett.*, Vol. 69, No. 18, 2737, 1996.
- [6] B. P. Luther, S. E. Mohny and T. N. Jackson, *Semicond. Sci. Technol.*, 13, 1322, 1998.
- [7] Z. Kachwalla, J. W. Wiggins, S. J. Chua and W. Wang, *Phys. Stat. Sol. (a)*. Vol. 176, No. 1, 779, 1999.
- [8] J. S. Foresi and T. D. Moustakas, *Appl. Phys. Lett.*, 62, 2859, 1993.
- [9] M. E. Lin, Z. Ma, E. Y. Huang, Z. Fan, L. H. Allen and H. Morkoc., *Appl. Phys. Lett.*, 64, 1003, 1994.
- [10] W. S. Lee, Y. H. Choi, K. W. Chung, D. C. Moon and M. W. Shin, *Electron. Lett.*, Vol. 36, No. 3, 2000.
- [11] N. A. Papanicolaou, A. Edwards, M. V. Rao, J. Mittereder and W. T. Anderson, *J. Appl. Phys.*, Vol. 87, No. 1, 380, 2000.
- [12] D. Qiao, Z. F. Guan, J. Carlton and S. S. Lau, *Appl. Phys. Lett.*, Vol. 74, No. 18, 2652, 1999.
- [13] Z. Fan, S. N. Nohammad, W. Kim, O. Aktas and A. E. Botchkarev, *Appl. Phys. Lett.*, Vol. 68, No. 12, 1672, 1996.
- [14] B. P. Luther, S. E. Mohny and T. N. Jackson, M. A. Khan, Q. Chen and J. W. Yang, *Mater. Res. Soc. Symp. Proc.*, 449, 1997.
- [15] S. Miller and P. H. Holloway, *J. Elec. Mater.*, Vol. 25, No. 11, 1996.
- [16] J. Burm, K. Chu, W. J. Schaff, L. F. Eastman, M. A. Khan, Q. Chen, J. W. Yang and M. S. Shur, *IEEE Elec. Device Lett.*, Vol. 18, No. 4, 1997.
- [17] T. Egawa, H. Ishikawa, M. Umeno and T. Jimbo, *Appl. Phys. Lett.*, Vol. 76, No. 1, 2000.
- [18] Y. F. Wu, W. N. Jiang, B. P. Keller, S. Keller, D. Kapolnek, S. P. Denbaars, U. K. Mishra and B. Wilson.
- [19] A. Durbha, S. J. Pearton, C. R. Abernathy, J. W. Lee, P. H. Holloway and F. Ren, *J. Vac. Sci. Technol. B*, 14, 1996.