

## 탄소나노튜브 트랜지스터



**신진국**  
(LG 전자기술원 나노테크그룹)



**한영수**  
(LG 전자기술원 나노테크그룹)



**정민재**  
(LG 전자기술원 나노테크그룹)



**이재은**  
(LG 전자기술원 나노테크그룹)



**윤상수**  
(LG 전자기술원 나노테크그룹)



**김성태**  
(LG 전자기술원 나노테크그룹)

### 1. 서론

흔히들, 트랜지스터를 '산업의 쌀'이라고 한다. 전자산업에 있어서 이 말은 진리이다. 트랜지스터는 3가지 핵심적인 수동 소자, 저항(R), 인덕터(L), 커패시터(C)와 함께 모든 전자회로의 기본이 되고 DRAM이나 CPU의 근간이 되기 때문이다. 엄청난 연산 능력을 자랑하는 Pentium이나 수출의 15~20%를 차지하는 DRAM도 트랜지스터가 집적화된 형태이며 LCD를 뒷받침하는 기술도 박막트랜지스터이다. 그러므로, 나노튜브가 그 작은 크기를 장점으로 삼아 우선적으로 찾은 응용처가 트랜지스터가 뭐든 어떤 면에서 당연한 수순인지 모른다.

반도체에는 Moore의 법칙이라는 것이 있다. 인텔의 설립자 중 하나이며 얼마 전 작고한 Moore는 '18개월마다 반도체의 집적도가 배로 올라간다'는 유명한 경험칙을 남겼다. 그 법칙은 지금까지 잘 지켜져 왔다. 그러나, 이제 그 법칙의 한계가 거론되면서 새로운 기술의 대두, 즉 나노기술이 대두되기 시작했다. 결코 우연은 아니다. 현재의 발전 속도로 보면 2012년경에는 기술적인 한계에 부딪히며, 이미 2010년경에 엄청난 생산 설비비의 증가로 인해 경제적인 한계에 먼저 부딪힐 것으로 예상되고 있다. 이를 '新 Moore의 법칙'이라고도 한다. 그렇다면, 보다 작은 트랜지스터를 만들 수 있는 기술에는 무엇이 있을까? 전통적인 관점에서 보면 공정을 잘 확립하여,

기존의 CMOS가 단순히 작아지면 될 것처럼도 보인다. 물론 그러한 연구가 현재 나노기술의 top-down research로 알려져 많은 연구가 이루어지고 있다.[1]

그러나, 물질은 그 크기에 따라서 지배력이 달라진다. 우주 공간과 같은 거시적인 세계에서는 만유인력이, 일상적인 크기에서는 뉴턴 역학이 지배한다. 그러나, 이보다 작은 마이크로 세계에서는 표면 장력, 마찰력 등이 지배적으로 나타나며 이보다 더 작은 나노 세계에서는 양자역학이 지배적인 역할을 한다. 그러므로 반도체의 크기가 단순히 작아지면 된다는 생각은 기술적으로, 또 경제적으로 다소 한계가 있는 접근 방식이다. 물리적인 한계인 양자효과, 극소전류의 비결정론적인 거동 등과 기술적인 한계인 전력소모, 소자의 복잡성, 터널링 전류 등이 그것이다.

그래서 부각된 것이 바로 bottom-up 접근 방식이다. 이는 완전히 새로운 방법론과 구조에서 출발하여 나노 소자나 시스템을 새로이 구성한다는 생각으로 기존의 패러다임이 흔들리고 기술이나 학제간의 경계가 무의미해지는 기술이다.

이러한 맥락에서 볼 때, 나노 크기에서 트랜지스터를 만드는 생각은 지극히 당연한 욕구이다. 그렇다면 어떤 방법이 있을까? 그 대안중의 하나로 대두된 것이 물질 자체로서 나노크기를 갖는 나노튜브가 대두되어 카본 컴퓨터라는 기치를 걸고 연구되고 있다. 본 고에서는 이러한 탄소나노튜브 트랜지스터에 대한 솔직한 review와 overview를 전개하고자 한다.

## 2. 전극부착법 위주의 초기 연구

### 2.1 CNT-FET

상온에서 탄소 나노튜브를 이용한 field-effect transistor(FET)는 이미 많은 실험과 보고가 이루어졌다. 탄소 나노튜브를 이용한 FET의 단면도는 그림 1과 같다. 탄소나노튜브의 양단에 금속전극을 붙이고 Si 기판을 gate로 사용하는 단순한 구조이다. gate 지배력을 높이기 위한 방안으로 나

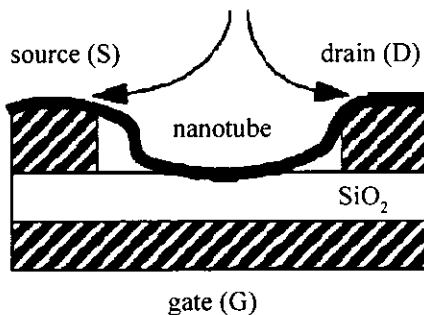


그림 1. Si를 Back-gate로, 탄소나노튜브를 channel로 사용한 전계효과 트랜지스터.

노튜브 위에 절연체를 증착하고 그 위에 gate 전극을 붙이는 방법(top gate)과 나노튜브의 좌우에 gate전극을 붙이는 방법(side gate), 및 나노튜브를 수직으로 교차시켜서 그중 하나를 gate로 이용하는(floated top gate) 등 다양한 방법이 시도되고 있다. 실험적으로 제작된 탄소 나노튜브 트랜지스터의 gate 의존성을 보면, 음의 gate 전압을 인가했을 경우( $V_{gate} < 0$ ), 전류-전압 특성 곡선이 거의 변하지 않았으나, 양의 gate 전압을 인가할 경우( $V_{gate} > 0$ ), 탄소나노튜브 채널을 통한 수송전류는 감소되었다. 이로부터 채널 내에서의 전도는 주로 정공에 의해 일어남을 알 수 있고,  $V_{gate} = 6$  V에서 carrier가 거의 사라지는 일반적인 p형 반도체의 depletion 현상이 보임을 알 수 있다. 정공에 의한 수송현상이 탄소 나노튜브의 고유한 성질처럼 보이기도 하는데 K doping을 통해서 n형 반도체가 될 수 있음이 최근에 보고되었다.[4] 도핑 전에 페르미 레벨이 band gap에서 valence band로 이동한 일반적인 p형을 보였는데 도핑 후에 페르미 레벨이 갭틈에 의한 전자의 제공에 의해 conduction band 근처로 이동하였다. 이로써 탄소 나노튜브는 p형 transistor 뿐만 아니라 n형 transistor가 가능함이 보여졌다.

최근에 Delft [2]와 IBM 그룹 [3]에서 탄소 나노튜브를 이용한 FET가 보도되었다. 고정된 gate 전압  $V_G$ 에 대하여 drain 전류( $I_D$ ) 대 drain 전압 ( $V_D$ ) 곡선은 상용화된 MOSFET에서 보이는 것과는 달리 특별한 포화영역을 보이지 않았고, IBM 소자의 경우 MOSFET와 달리 고정된  $V_D$ 에서  $I_D$  대  $V_G$ 는 포화되었다. 포화가 없는  $I_D(V_D)$ 는 전하들이 매우 가늘고 긴 채널을 전하-전하 산란을 거치지 않고 drain으로 도달할 수 있다는 것을 의미한다. 상온에서 0.3  $\mu\text{m}$  정도의 긴 채널을 산란하지 않는다는 것은 모순되는 것처럼 보이지만, 이러한 ballistic한 수송현상은 공중에 띄어져 있는 1  $\mu\text{m}$ 의 긴 거리에서도 전도의 양자화가 이미 관측되었다. 하지만 위의 두 소자는 ballistic하지 않다. 양자전도도  $\sigma_C = 2e^2/h$  ( $e$ : 기본 전하량,  $h$ : 플랑크 상수)보다 두 자리수가 작은 전도도를 가지는데 나노튜브가 기판 위에서 불순물이나 결함, 휘어짐, 찌그러짐 등에 의해 기인한다. 중시계에서는 이를 약국소화라고 한다. 약국소화는 탄소 나노튜브 채널의 에너지 준위가 길이에 따라 일정하지 않고 전하의 분포가 고르지 않게 된다. 나노튜브를 공중에 띄우면 약국소화를 없앨 수 있다. 기판과 직접적인 접촉이 없으므로 기판과의 상호작용이 거의 없고 탄소 나노튜브가 휘어지지 않으므로 전하수송이 ballistic하게 된다.

### 2.2 전극부착법

기존에 반도체성 SWNT의 전송 특성을 측정하는 방법으로는 주로 전극부착법을 사용하였다. 미리 패터닝된 전극 위에 아세톤 등의 용액에 suspension되어 있는 나노튜브를 가라앉혀서 붙이는 방법이다. 이를 편의상 '하전극부착법'이라고 한다. 반대로, 나노튜브를 절연기판 위에 같은 방법으로 붙힌 후 이 위에 전극

을 patterning하는 방법이 있다. 이를 '상전극부착법'이라 한다. 이와 같은 소자들이 보인 결과는 금속성 나노튜브의 경우 coulomb charging 현상과 Luttinger liquid 거동을 보였고, 반도체 나노튜브의 경우 상온에서 FET 거동이 확인되었다. 그러나, 이러한 방법은 나노튜브의 원주부분이 전극 물질과 접촉하므로 접촉 저항이 높다는 점이 있어, 측정된 전송 특성에는 튜브 자체의 물성과 접촉 저항의 영향이 섞여 있다고 보아야 한다.

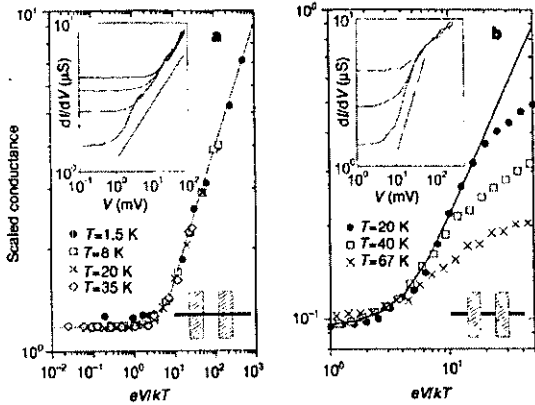


그림 2. 온도에 따른 differential conductance의 변화. a는 하전극부착법, b는 상전극부착법의 경우이다. 실선은 Luttinger liquid 이론에 의해 예측된 것으로 실험치와 거의 일치함을 알 수 있다.

튜브의 전송 특성 측정 시, 가장 애로가 되는 것이 나노튜브/촉매 혹은 나노튜브/전극간의 높은 접촉 저항이다. 접촉 저항이 높은 소자의 전송 특성은, 나노튜브의 저항이 아니라 접촉 저항의 지배를 받으므로, 게이트를 통해 나노튜브를 효율적으로 제어하기 힘들고 결국 트랜지스터의 특성인 전압-전류 곡선에서의 포화 영역을 얻을 수 없다. 결국, 다이오드 특성 밖에 보일 수 없다.

상전극부착법과 하전극부착법, 두 경우 모두 나노튜브가 기판에 접촉되어 있는 경우이므로, 표면 장력에 의해서 나노튜브는 기판 표면의 굴곡(topology)을 따라 휘어지게 되며 이러한 현상은 나노튜브의 직경이 작은 SWNT의 경우 더 지배적으로 나타난다. 나노튜브의 휘어진 부위는 전자(정공)의 산란원으로 작용하게 되어 결국 나노튜브의 전송 특성을 저하시킨다. 지금까지 이론과는 달리, 전극부착법으로 제조한 소자에서 ballistic conductor 거동을 관찰한 보고가 없는 이유도 이 때문이다. 전극과 기판의 높이 차가 클수록, 나노튜브가 전극부분에서 심하게 휘어지게 되고 더 강한 산란원으로 작용할 것이다.

### 2.3 SWNT와 MWNT

기본적으로 트랜지스터로 이용하기 위해서는 반도체의 특성을 갖고 있는 물질이어야 한다. 하지만, 나노튜브는 그 구조에

따라 금속의 특성과 반도체의 특성을 모두 가질 수 있다.

나노튜브의 구조는 하나의 흑연면을 등골게 말아놓은 구조로, 흑연 격자 위의 두 점을 연결하는 chiral vector (Ch)로 표시된다. 임의의 원점(O)를 벡터의 시작점으로 하고, 등골게 말았을 때 원점과 접하게 되는 지점을 벡터의 종점(A)으로 하여, chiral vector는 다음과 같이 표시된다.

$$Ch = n a_1 + m a_2 \quad (a_1, a_2: \text{unit vector})$$

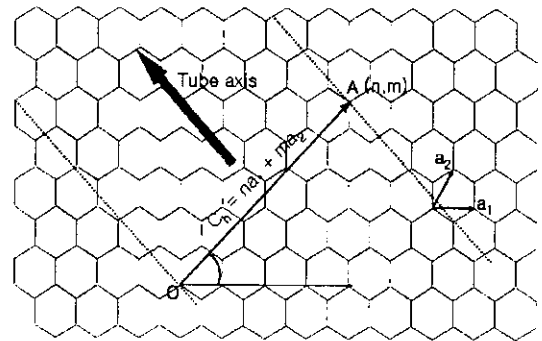


그림 3. (n,m) 나노튜브를 펼쳐놓은 모양.

하나의 나노튜브를 chiral vector의 지수 (n,m)으로 표시할 수 있다. 이렇게 한 개의 흑연면으로 이루어진 것이 SWNT이고, 여러 겹의 흑연면이 하나의 중심 축으로 말린 것이 MWNT이다.

하나의 흑연면에서 육각형만으로 이루어진 구조에서는 단순한 원통형의 실린더 형태만을 가질 수 있다. 하지만, 오각형이나, 칠각형의 구조가 도입되면 단순한 원통형의 실린더 구조가 아닌 다양한 구조의 나노튜브가 형성 될 수 있다. 즉, 흑연면에 오각형이 도입되면, 흑연면은 안쪽으로 60° 꺾이게 되고, 칠각형이 도입되면 바깥쪽으로 60° 꺾이게 된다. 이에 그림 4와 같이 실린더 구조의 나노튜브 끝에 cap이 형성될 수 있으며, intramolecule 구조의 나노튜브, 기하학적인 모양의 나노

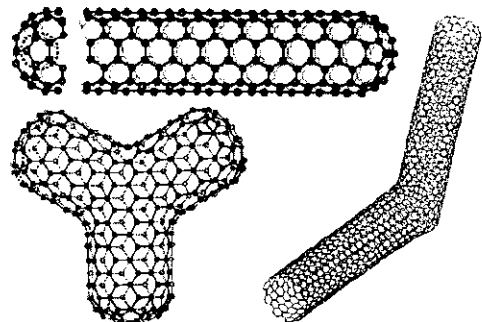


그림 4. 오각형 칠각형 구조가 도입된 나노튜브.

구조 등이 형성될 수 있다. 또한, 이러한 오각형, 칠각형 구조는 하나의 결합으로 인식되어 뒤에 설명할 전자 구조에 영향을 미칠 수가 있다.

SWNT의 전자구조는 전기적으로 2차원적 구조를 갖는 혹은 1차원적 구조를 기본으로 하고, 나노튜브의 축 방향만을 고려한 1차원적 전기구조를 도입하여 이론적으로 계산할 수 있다. 이 계산에 의하면,  $(n, m)$ 의 지수에 따라 금속성을 갖는 나노튜브와 반도체 특성을 갖는 나노튜브로 분류되며, 반도체 특성 나노튜브의 경우 에너지 갭은 그 직경에 반비례하여 나타난다. 하지만, 트랜지스터에 이용하기에 적당한 밴드갭을 갖는 나노튜브만을 구별해 내기란 매우 어렵다. 현재의 기술로는 금속 특성을 갖는 나노튜브와 반도체 특성을 갖는 나노튜브를 구별해서 합성해 낼 수 없으며, 또한 이미 합성된 나노튜브를 개별적으로 전도특성을 측정한다는 것도 어려운 실정이다.

MWNT의 전자구조는 최외각 껍질의 특성에 의해 결정된다. 탄소나노튜브의 반경이 커질수록 밴드 갭이 작아지기 때문에, 20~30 nm이상의 직경을 가지는 다결 MWNT (껍수가 많은 MWNT)에서는 거의 금속성을 가진다. MWNT에서 게이트 지배력을 기대하기 힘든 또 하나의 이유는 안쪽 껍질들에 의한 screening 효과 때문이다. 이로 인해 게이트에서 가해지는 전압은 게이트 반대쪽의 최외각 껍질에 미치지 못하고 대부분 차단된다. (3) 이때, 전체에 의해 MWNT가 찌그러지기도 한다. 그러나, MWNT라도 intra- molecule의 형태로 하나의 나노튜브 안에서 구조가 다른 두 나노튜브가 접합되어 있거나 육각형으로만 이루어진 구조에 오각-칠각형 쌍이 도입되어 결합이 존재하게 될 경우 MWNT라도 반도체성을 가지며, 게이트 지배력을 보이는 경우가 있다. 그러나, 결합 자체를 우연히 발생시킬 수는 있더라도 이를 재현성 있게 제어하기는 어렵다. 그러므로, 다결 MWNT로 반도체 소자를 만들기는 어려운 것이다. 한편, 소결 MWNT의 경우는 결합의 도입 없이도 반도체성을 가질 것이라고 예상되기는 하나, 아직 보고된 바는 없다.

이상의 논의를 종합하면, 전극부착법은 튜브/전극의 높은 접촉 저항과 나노튜브의 변형으로 인한 저항 증가, 전자 산란 증가로 인하여 제대로 된 transconductance나 ballistic conductor 거동을 보이기 힘든 것을 알 수 있다. 또, 다결 MWNT의 경우, 금속성 보유, 게이트 지배 불가, 나노튜브 찌그러짐 등의 이유로 전자소자의 채널로서 사용되기에는 여러 문제점이 있다. 그렇다면, 종합적으로 다음과 같은 결론에 이르게 된다. 나노튜브를 전자소자로 사용하기 위해서는 우선 트랜지스터 특성을 구현해야 하고, 트랜지스터의 반도체 채널로는 적당한 굵기를 가지는 반도체 SWNT를 사용하거나 반도체의 소결 MWNT를 사용하면 된다. 단, 전극 부착법의 경우 접촉저항, 튜브의 휘어짐 문제 등이 있으므로 직접 부착법 이외의 다른 방법을 찾아야 한다. 즉, 부동형 가교(floating bridge) 형태의 나노튜브 채널을 만들어야 한다. 즉, 공중에

떠 있는 채널을 형성시켜야 한다는 결론에 이르게 된다. 실제로 부동형 가교 구조를 가졌을 때는 정공의 전송 속도가 훨씬 향상될 것으로 예측되고 있다.

### 3. 최근 해외 연구동향

전극부착법이 이미 아크방전이나 레이저 어블레이션에 의해서 만들어진 나노튜브를 독립적으로 제작된 기판에 붙이는 방법이라면, Stanford, Harvard, IBM 등을 중심으로 연구되고 있는 방법은 이미 반도체 공정으로 제작된 패턴 위에서 in-situ로 나노튜브 bridge를 성장시키는 방법이다. Stanford의 Dai는 e-beam lithography와 imprint 방법을 이용하여 측매성 사이, 실리콘 타워상의 측매성 사이에서 SWNT를 in-situ로 성장시키고 그 전송특성을 살펴본 바 있다. Dai의 결과를 보면, (5) 수평성장법(SLG: selective lateral growth) 방법에 의해서 제조된 채널의 전송 특성과 게이트 지배력이 전극부착법에 의한 채널보다 월등히 우수할 것임을 쉽게 예상할 수 있다. Dekker가 전압-전류 곡선에서 단순한 다이오드 특성과 게이트에 의한 전도제어의 가능성을 보여주었다면, Dai의 방법은 약 6V 근처에서 back gate에 의한 전압-전류 곡선의 포화영역을 보여줌으로써 완전한 트랜지스터 거동을 보여주었다. 이는 접촉저항이 나노튜브의 전송 특성에 미치는 영향이 크다는 정도의 의미가 아니라 나노튜브가 의미 있는 전자소자로서의 가능성이 있는지를 가늠하는 아주 중요한 결과이다. 이렇게 하여 Dai는 Dekker의 gain값 0.35에 비해 월등히 높은 3의 gain 값을 얻었다.

어쨌든, 이들의 결과를 종합해보면 결국 몇 가지 사실을 유추해 볼 수 있다. 첫째, 잘 알려진 사실이지만 나노튜브의 major carrier가 정공임을 알 수 있다. 두 번째, 전극/튜브 접점에서 접합이 형성되어 접촉 저항이 생김을 알 수 있다. 기본적으로 접촉 저항은 튜브의 페르미 레벨과 가 밴드의 에너지 차이만큼이 되겠으나, 실제적으로는 전극표면의 topology나 불순물 흡착 정도에 따라 다를 것이다. 나노튜브 자체의 저항은  $d=2.8\text{nm}$ 인 것이 약 340  $\mu\Omega$ 정도이고  $d=1.3\text{nm}$ 인 것이 약 3.4  $\mu\Omega$ 정도로 측정되었다. 어쨌든, 이와 같은 결과에 의하면, 높은 transconductance를 가지는 SWNT 트랜지스터의 가능성은 높다고 할 수 있다.

Dekker와 Dai에 의해서 보고된 바에 의하면 나노튜브의 저항은 수십  $\mu\Omega$ 에서 수  $\mu\Omega$ 에 이른다. 그림 5에서와 같이, 양의 게이트 전압에 대해 채널의 전류가 줄어들어로부터 나노튜브의 majority carrier는 hole임을 알 수 있다. 이러한 전하의 기원에 대해서는 두 가지 이론이 거론되고 있다. 한 가지는 source나 drain 전극에 주로 사용되는 Au 금속 등의 일 함수가 높아 전자가 나노튜브에서 전극으로 빠져나가 튜브 내에는 hole이 생성된다는 설명이다. 이 경우 홀의 농도는 흑연에 비

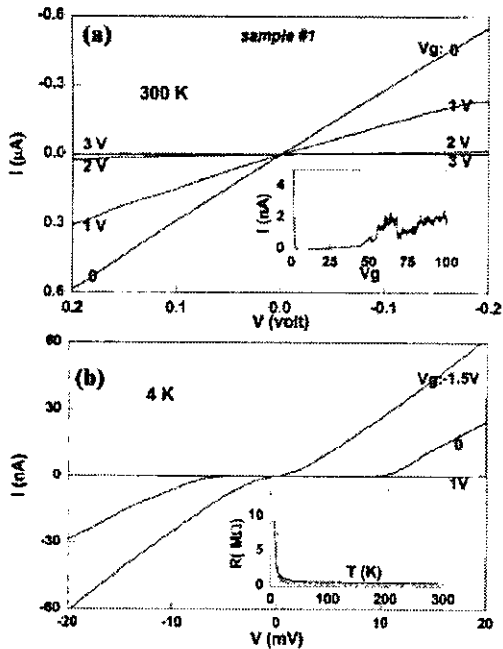


그림 5. gate 전압에 따른 전류-전압 곡선: (A) 상온 (300K)에서의 곡선이고 안의 그림은 10 mV에서 gate 전압에 따른 전류곡선이다. (B) 4K에서 gate 전압 Vgate=-1.5, 0, +1 V하에서의 곡선이다.

해 40배정도 되는 것으로 알려져 있다. 또 다른 설명은 hole carrier가 전극 때문에 생긴 것이 아니라, 나노튜브 자체의 inherent carrier라는 설명이다.

이는 일함수를 이용한 설명이 게이트의 문턱 전압(threshold gate voltage)에 대해 제대로 설명할 수 없기에 제시된 이론이다. 이는 게이트의 에너지 장벽을 넘기 위해 전자가 가져야 하는 열 에너지와의 비교를 통해 현재 관찰된 그림 5와 같은 6V의 문턱 전압이 너무 높다는 데서 유추된 설명이다. 지금까지의 보고로 볼 때, 정공이 나노튜브의 inherent carrier라는 설명이 일반적으로 받아들여지고 있으나, 가스흡착과 기판의 영향이 존재하므로 아직까지 논란의 여지는 있다.

또 다른 대안은 탄소나노튜브 intramolecule을 구현하는 방법이 있다. Dekker 그룹에서 kink 나노튜브의 정류 특성이 보고된 이래 intramolecule이나 heterojunction 등에 대한 시도가 많이 이루어졌다. 최근 Y-junction 나노튜브의 정류 특성이 보고되었으며, 알루미늄의 양극 산화 처리를 이용한 alumina template 방법에 의하면  $\text{cm}^2$ 당  $10^{12}$ 개의 다이오드를 집적시킬 수 있음이 보고되었다. 또, T-junction을 이용하면 바로 transistor 동작을 보일 수 있을 것이라는 추측도 이루어지고 있다. 물론 이와 같은 intramolecule을 이용하여 공정을 제어하고 하나의 나노튜브 안에 금속/반도체의 접합을 만들면

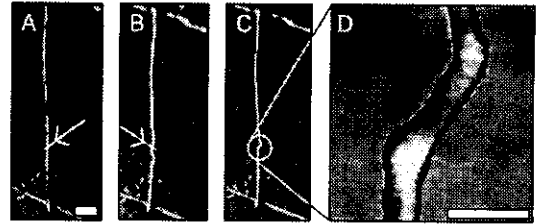


그림 6. AFM을 이용하여 제작된 상온 탄소 나노튜브 단전자 트랜지스터.

응용 가능성이 높을 것이다. 또, n-type의 나노튜브를 만들어 기존의 p-type 나노 튜브와 접합시키면 그 응용 가능성 또한 훨씬 높아질 것이다. 올 12월 게재된 n-type CNT에 대한 Dai의 보고에서 하나의 가능성을 찾을 수도 있을 것이다. 결합이 채널내에 2개가 있는 SWNT에서 상온 단전자 트랜지스터가 최근에 Science에 보고되었다. AFM 팁을 이용하여 개별조작한 것이지만 탄소 나노튜브가 기하학적으로 좁은 단면적을 가지며 이를 이용하여 상온에서 동작하는 단전자 트랜지스터를 제작하였다는 것은 탄소나노튜브를 이용한 단전자 트랜지스터의 가능성을 열었다는 점에서 중요한 의미를 지닌다.

Havard의 Lieber는 철을 촉매로 하여 실리콘 나노 와이어 (SiNW)의 끝으로부터 탄소나노튜브를 길러 냄으로서 직접 접합(junction)을 만들어 냈다. 에틸렌을 600°C에서 흘러줌으로써 MWNT를 길러냈는데, MWNT는 금속성이고 SiNW는 반도체 성질을 가지고 있으므로, 이 접합은 금속/반도체 접합이다. 반대로 나노튜브를 Pt-Ir STM tip에 붙이고, 금을 나노튜브 끝에 deposit한 다음에 silane ( $\text{SiH}_4$ )을 이용해서 SiNW를 길러서 접합을 만들 수도 있는데, 이를 Ga-In liquid metal에 담그고 I-V를 측정하면, 정류 특성을 보여주는 Schottky diode device의 가능성을 보여주었다. 제로바이어스 접합장벽은 약 0.41 eV 정도인데 이는 금속/p-Si 접합과 유사하다.

이를 통해서 반도체 소자의 소형화는 물론, 금속/반도체 접합만이 아니라 반도체/반도체 접합을 만들 수 있는 가능성도 열려 있다. 더욱이, 둘 중의 하나를 n-type으로 만들 수 있다면, 전기적으로 address할 수 있는 아주 작은 LED까지도 만들어낼 수 있는 것이다. 또한, SiNW는 기존의 실리콘 공정과 연결할 수 있는 가능성도 높으며, 소자로서의 우수한 특성, 탄화물과 질화물을 만들 수 있는 대표적인 물질이므로 나노튜브와의 접합을 만들 수 있는 가능성이 아주 크다고 하겠다.

#### 4. R&D status in Korea

##### 4.1 수평성장법을 이용한 CNT-FET

최근 LG전자기술원과 KIST 등 몇몇 국내연구기관이 ther-

mal CVD를 사용하여 기존반도체 공정을 이용하여 제작된 패턴상에 세계최초로 MWNT의 수평성장을 성공한 바 있다. 그림 7에서 볼 수 있듯이 마주보는 두축매 패턴사이에 floated CNT-bridge를 제작하였다. 촉매금속의 뒷면에는 Nb를 증착하여 전극 및 수직성장 방지막으로 사용하였다. 이렇게 제작된 CNT-bridge를 채널로 하는 FET를 구성하였으며 그 개략도를 그림 8에 나타내었다.

제작된 소자는 wiring을 하지 않고 probe station을 이용하여 1차 측정 후, 그 중 특성이 좋은 소자에 wiring을 해서 온도 변화에 따른 저항 변화를 측정하였다. Probe station의 한 팁에서 전류를 흘려주고, drain 쪽의 팁에서 나오는 전류를 측정하였다. 기판 밑면의 SiO<sub>2</sub>를 제거하고, Ag paste로 금속판에 붙인 후 금속판에 게이트 전압을 걸어 주었다. 이때, 게이트 쪽의 전류를 측정하면, 게이트 쪽으로 흐르는 누설 전류도 알 수 있다.

합성된 CNT-bridges의 전송특성을 측정해 본 결과 CNT들은 대부분 수 kΩ에서 수백 MΩ의 저항을 갖는 Metallic MWNT임을 알 수 있었다. 전류-전압 곡선이 ohmic 거동을 보여주는 경우는 거의 metallic이었고, 수백 MΩ의 저항을 갖는 소자의 경우 전류-전압 곡선은 non-ohmic 성질을 보여주는 경우가 많았는데, 이 경우 저온에서 약한 게이트 의존성이 관측되었다.

온도를 변화시키면서 게이트 효과를 알아보았고, 그를 위해서는 먼저 wire bonder를 사용해서 소자의 전극과 chip carrier

의 전극을 금이나 알루미늄으로 wiring하였다. 그리고, 와이어링된 칩캐리어를 전선이 연결된 소켓에 끼워서 Cryostat에 넣고 온도를 바꿔주면서 실험하였다. 이후는 소켓은 바꾸지 않고 와이어링된 칩캐리어만 교체해 줌으로써 실험을 더 용이하게 할 수 있었다.

소자의 저항은 아래 그림과 같이 온도가 감소함에 따라 증가하였으나, 게이트 효과를 보여준 소자는 많지 않았다. activation 에너지를 계산하기 위해 log-log fitting을 해 본 결과가 안쪽의 작은 그림이다. 우리 소자의 경우, 90meV 정도의 thermal 에너지 장벽이 존재하는 것으로 보이나, 그것이 나노튜브의 것인지, 아니면 전극과 다른 접촉에 의한 것인지는 더 많은 연구가 필요하다.

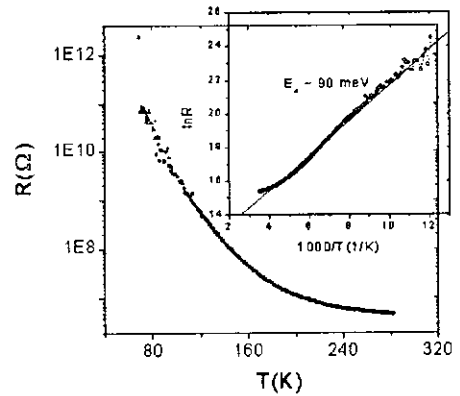


그림 9. CNT-FET 저항의 온도의존성.(7)

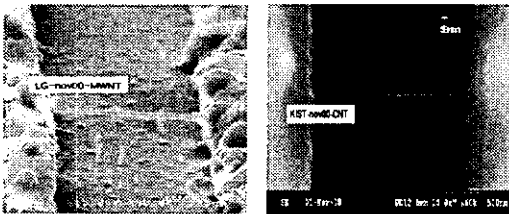


그림 7. 반도체 공정을 통해 제조된 패턴위에 합성된 CNT bridges.

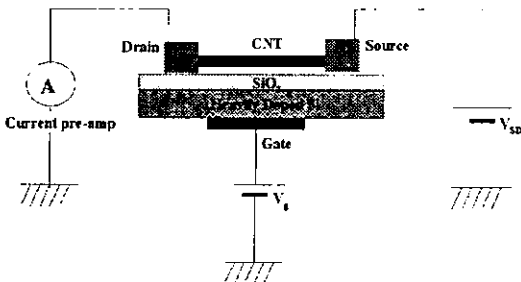


그림 8. CNT-FET의 개략도.(6)

위의 data를 얻은 소자의 경우는 Si 기판 위에서 수직 성장을 막기 위해 Ni 촉매를 Nb 전극으로 덮은 것이다. Ni 촉매 사이에서 선택적 수평성장으로 bridge를 만들어 상온에서 측정된 FET의 게이트 효과를 나타내었다. 양의 게이트 전압을 걸어주면 drain 전류가 줄어들었으며, 음의 게이트 전압을 걸어주면 전류가 증가하는 것으로부터, 나노튜브의 majority carrier는 정공임을 확인할 수 있다.

게이트 전압을 걸어줌에 따라서 전기 전도도가 3~4 자리 이상 바뀌게 할 수 있었다. transconductance와 hole mobility도 온도가 낮아짐에 따라 감소하였다. 상온에서 게이트 효과를 보여준 소자의 경우는 저온에서도 별 문제없이 게이트 효과를 보여주었으며, 몇몇 소자의 경우는 상온에서 보이지 않던 게이트 효과가 저온에서 열적 노이즈가 없어지면서 약하게나마 나타나기도 하였다.

재미있는 것은 직선형 CNT를 가진 소자뿐만 아니라, defect가 있는 휘어진 CNT를 가진 소자의 경우도 반도체 특성을 보여 준다는 것인데, 이는 실제 소자의 양산 단계에서 수율을 높이는 데 중요한 요인으로 작용할 것으로 보인다.

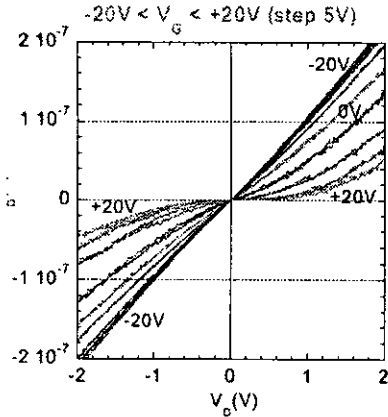


그림 10. CNT-FET의 Gate 의존성. (7)

#### 4.2 수직성장법을 이용한 CNT-FET

CVD 방법으로 CNT를 합성하는데 있어, 가장 대표적인 것은 CNT를 기판에 수직으로 성장시키는 것이다. 초기의 CNT 합성 방법으로는 아크방전법과 laser ablation 방법 위주로 이루어졌다. 1999년 Boston 대학의 Ren 그룹에 의해 CVD 방법으로 기판에 수직으로 잘 배열된 CNT가 합성되었고, [8] 이는 CNT 합성방법에 새로운 sensation을 일으켰다. 이후, 기존에 사용되었던 대부분의 CVD방법에 의해 CNT 합성이 시도되었으며, CNT 합성에 있어 CVD 방법이 주를 이루게 되었다. 기판에 수직으로 CNT를 성장시키는 방법은 주로 다음과 같이 이루어진다. 실리콘, 실리콘 옥사이드, 알루미늄, 유리와 같은 다양한 기판 위에 sputtering, evaporator, sol-gel process 등과 같은 방법으로 촉매금속을 증착하고, 이를 열처리, 에칭처리, plasma처리 등과 같은 다양한 전처리 과정을 거쳐 입자형태로 재분배한

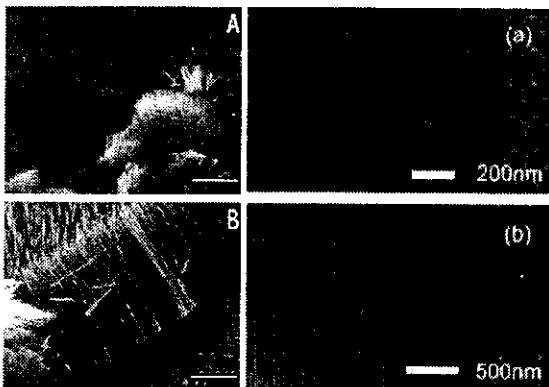


그림 11. A,B) 최초 CVD 방법으로 수직성장한 CNT a,b) 알루미늄을 양극산화시켜 만든 template와 이를 이용하여 합성한 CNT.

다. 이를 일반적으로 쓰이는 열-CVD, PECVD, APCVD 등의 장비에서 탄화수소가스과 기타 가스를 반응시키면, 각각의 촉매 입자에서 하나의 CNT가 수직으로 성장하게 된다. 지금은 lithography 공정을 통해 원하는 크기(e-beam lithography의 한계 치수까지)의 촉매입자를 원하는 위치에 배치시켜 CNT를 수직으로 합성하는 방법도 가능하다. 수직으로 성장시키는 또 다른 방법으로는 나노크기의 pore를 갖는 막(template)을 이용하는 것이다. 나노크기의 pore를 갖는 막을 만드는 방법은 알루미늄을 양극산화 처리하는 방법이나, [9] 분자들의 self-assembly 과정을 통해 자발적으로 만들어지게 하는 방법이 있다. 이렇게 생성된 나노크기의 pore는 매우 균일한 직경을 가지며, pore를 만드는 공정에 변화를 주어 pore의 직경을 조절할 수도 있다. 이 pore의 직경은 후에 생성되는 CNT의 직경과 직결된다. 이러한 나노크기의 pore 안에 sol-gel process 등의 방법으로 촉매 금속을 장착하여 CVD 공정을 거치면 CNT가 pore 방향(대부분이 기판 면에 수직방향으로 정렬)으로 성장하게 된다.

이렇게 CNT를 기판에 수직으로 성장시키는 방법은 지금까지 주로 전계방출 소자의 응용에 맞추어 이루어졌다. 이에 수직성장은 어느 정도 일반화된 공정이 되었고, 이를 CNT-FET로 이용하고자 하는 연구 또한 당연한 수순이라 할 수 있겠다. 수직성장한 CNT를 FET로 응용하기 위해서는 Drain 전극과 Source 전극의 배치, gate 전극 구조 등의 실현 가능성 있는 설계가 이루어져야만 가능할 것이고, 이에 대한 연구가 이루어지고 있다.

#### 5. 필요한 breakthroughs

SWNT 또는 적은 접수의 MWNT는 직경과 chirality에 따라서 다양한 밴드갭( $E_g$ )을 갖는 반도체 특성이나 금속 특성을 갖게 할 수도 있으므로 다이오드 또는 트랜지스터로 쉽게 응용할 수 있다. 현재까지 연구된 바에 의하면 CNT의 직경은 촉매의 크기를 조절함으로써 제어할 수 있다고 알려져 있다. CNT의 직경은 촉매의 크기에 비례하며 촉매의 크기가 충분히 작으면 SWNT를 만들 수 있다고 알려져 있다. 특히 최근에는 다양한 액상촉매를 개발하여 다양한 직경의 SWNT 합성이 가능해졌다. 하지만 지금까지 이러한 촉매를 패턴화하여 그 위에 SWNT를 수평 성장시키는 기술은 확보되지 못한 상태이다. 또한 CNT의 물성을 크게 좌우한다고 알려져 있는 chirality를 조절할 수 있는 방법은 아직까지 제시된 바가 없다.

트랜지스터용 CNT를 합성 할 때 성장 방향제어가 중요하다. gate에 의한 전기장의 효과를 최대화하기 위해서는 channel이 gate에 최대한 가까워야 하며 따라서 촉매의 두께가 최대한 얇아져야 한다. 또한 gate와 나노튜브 channel사이의 진공상태일 경우 나노튜브 channel에 미치는 국소화나 산란의 발생이 적으므로 바닥과의 단차가 있도록 고안하는 것이 필요하다. 또한 사

이에 누설전류가 생기지 않아야 한다. 나노튜브가 gate 전기장에 따라서 쉴 수도 있고 tunneling에 의한 누설전류가 생길 수 있으므로 gate위에 얇은 절연막이 필요할 수도 있다. 방향이 제어되기 위하여 전기장이나 자기장에 의한 vectorial growth 방법이 사용된다. 전기장을 이용한 경우 값이 너무 크고 소자에 무리가 갈 수 있으므로 자기장을 이용하는 것이 유리할 것이다.

CNT와 촉매금속 (또는 전극금속)간의 완벽한 ohmic contact을 만드는 것도 중요하다. 앞 절에서 설명하였듯이 높은 접촉저항은 CNT 자체의 전송특성을 측정하는 것을 방해할 뿐만 아니라 트랜지스터와 같은 전자소자로 응용시, 게이트를 통한 제어를 어렵게 하는 등의 문제를 일으킬 수 있다. CNT는 구조 및 적경에 따라 다양한 WF(work function)을 가지므로 촉매금속의 WF를 고려하여 설계하는 것이 매우 중요하다. 이러한 근본적인 문제뿐만 아니라 공정상의 문제도 반드시 해결해야 한다. 촉매금속 및 전극금속의 표면산화 및 오염, CNT와 촉매금속간의 unsound contact, CNT의 성장 기구에 따라 변하는 CNT 팁에 존재하는 촉매금속 및 비정질 카본의 존재 등에 의해 나타나는 여러 문제들도 제어할 수 있어야 한다.

탄소 나노튜브를 이용하여 트랜지스터를 제작할 경우 CVD를 이용한 합성 공정 이전에 금속 배선 및 촉매패턴이 형성되어 있어야 한다. 기존의 반도체 공정에서 금속 배선이 존재할 경우 그 후 공정은 400 °C 이하의 공정만이 허용된다. 탄소 나노튜브 트랜지스터를 사용하여 메모리로 응용할 경우 일단은 탄소 나노튜브가 웨이퍼의 표면에 존재하여야 하므로 그 이전에 금속 배선이 형성되어 있다. 기존의 금속 배선을 사용할 경우 400 °C의 온도가 매우 중요하다. 현재 탄소 나노튜브를 이용하여 수평성장을 하는 온도가 일반 thermal CVD의 경우 800 °C 이상의 공정온도를 가지며 rapid thermal CVD의 경우 600 °C까지 온도를 낮출 수 있다. 탄소 나노튜브의 실제로 성장하는 시간은 매우 낮으므로 램프방식의 thermal 방식을 이용하면 금속 배선에 미치는 영향을 최소화할 수 있을 것이다. 또한 저온에서 합성하면 반응하기에는 자체의 열에너지가 충분하지 않으므로 defect가 많은 두꺼운 탄소 나노튜브가 형성되는 경향이 있다. 따라서 온도를 낮추면서 반응에 충분한 에너지를 공급해 줄 수 있는 PECVD를 이용한 합성 방법이나 lamp를 이용하여 rapid thermal 합성 등에 대한 연구가 필요하다.

또한 새로운 촉매에 대한 연구가 필요하다. 좀더 재현성 있고 반경이 작은 반도체 탄소 나노튜브를 성장시켜 줄 수 있는 다양한 촉매의 연구가 시도되어야 한다. 다공성 촉매를 이용한 SWNT에 대한 연구가 많이 이루어졌다. 다공성 촉매는 수평 성장 및 수직성장의 합성이 매우 잘되며 재현성이 매우 크다. 하지만 트랜지스터의 제작에 다공성 촉매를 이용하는 것은 아직은 어려워 보인다. 촉매가 집적화된 전자소자에 사용되기 위해서는 우선 대면적 증착이 가능하여야 하며 금속성이어야 한다. 또한 미세패턴 제작이 가능해야 한다.

구조적으로 탄소 나노튜브는 반경이 매우 작으나 탄소 나노튜브가 성장하기 위한 촉매패턴을 작게 하기는 매우 힘들다. 금속 패턴 및 capacitor 등을 기존의 반도체 공정을 이용하여 제작할 경우 촉매 패턴의 크기 또한 수십 나노이하이어야 한다. 실제로 사진공정의 해상도는 점점 더 증가하므로 앞으로 십년내에 사진공정은 50nm이하가 가능할 것으로 예상되며 대량생산에 적합한 stepper 방식이 될 것이다. 기존의 MOSFET 공정이 이온 주입과 short channel 효과를 제거하기 위하여 노력하고 있으며 20 ~ 30 nm 크기의 nano-CMOS가 가능할 것으로 보인다. 하지만 MOSFET 공정으로 이것을 이루어내기에는 매우 큰 노력과 공정 가격이 기하급수적으로 증가할 것으로 예상된다. 따라서 이온주입 방식을 이용한 기존의 MOSFET 공정을 대체할 수 있는 트랜지스터의 channel로서 만약 탄소 나노튜브가 재현성 있게 합성된다면 가격 면에서 충분한 우위를 가질 것이다. 이러한 가정 하에, 합성 시 가져야 하는 조건은 우선 수십 nm 크기의 촉매에서 탄소 나노튜브가 한개 이상 재현성 있게 성장하여야 한다. 이때 생성되는 탄소 나노튜브는 수 나노이하의 크기가 바람직 할 것이다. IBM에서 발표된 바 있는 건설적 파괴의 방법을 사용하면 원하는 정도의 전도성을 가지는 탄소 나노튜브만을 취할 수 있다. Field Effect Transistor를 위한 탄소 나노튜브의 길이는 이론적으로 50 Å까지 줄이는 것도 가능하다고 보고되었다.[10]

따라서 탄소 나노튜브를 이용하면 이론적으로는 고집적화가 가능하나 실험과는 다른 양상을 보인다. 우선 실험적으로 상온에서 측정된 gain이 소자에 응용되기에는 작다. Stanford 대학의 H. Dai가 최대 3의 gain을 측정하였으나 소자로 응용되기 위해서는 10 이상의 gain이 필요하다. 이것은 구조의 변경과 적절한 doping으로 개선될 수 있을 것이다. 따라서 나노 크기의 구조의 제작과 doping에 대한 연구가 필요하다.

탄소 나노튜브는 의도적으로 doping하지 않은 경우는 p-type이 관측된다. 이것은 금속 전극과 상호작용, 합성이나 공정 중에 생긴 결합이나 불순물, 또는 대기중의 산소와의 상호작용 등의 다양한 해석이 제기되었다. p-type만으로 소자를 제작할 경우 잡음이 많고 외부의 DC 전압인가에 대해 일정 전류가 흘러 전력소모가 많다. 탄소 나노튜브가 자체적으로 전력소모가 적으므로 발열이 많지 않지만 소자로 사용되기 위해서는 n-type과 결합해서 사용하는 것이 바람직하다. 이것은 적절한 패턴과 마스크를 사용함으로써 가능할 수 있을 것이다. 탄소 나노튜브를 재현성 있게 성장하고 건설적 파괴를 통해 전체적으로 균일한 channel을 제작하였다고 하더라도 기존소자에 비해 많은 결함을 가질 것이다. Hewlett Packard에서 이중배선과 결합을 우회하는 architecture를 제안하였다. 이것을 이용하면 일정부분의 소자결함과 배선결함 하에서도 사용할 수 있다는 것을 보여주었다. 따라서 이러한 구조를 이용하여 탄소 나노튜브 채널의 결합에 좀더 관대한 구조를 고안해 낼 수 있을 것이다.



## 6. 맺음말

이상까지 그동안 국내외에서 이루어지고 있는 탄소나노튜브 트랜지스터 연구와 트랜지스터 구현 방법과 bottleneck들, 그리고 제시된 대안들에 대해 알아보았다.

탄소나노튜브 트랜지스터 연구를 다음과 같은 맥락에서 다시 짚어보자. 나노기술에는 크게 두 가지 접근 방식이 있다. 하나는 top-down approach이며, 기존 소자의 개념, 기술, 방법론에서 출발하여 그 크기를 나노영역으로 가져가는 기술이다. 단전자 트랜지스터(SET), 단전자 메모리, 자기RAM(MRAM), nano-CMOS가 대표적인 기술이다. 이 분야의 로드맵으로 볼 때, 당연히 연구해야 하는 기술이다. 그러나, 이러한 top-down 기술은 산업적 당위성이라는 장점의 다른 얼굴로 갈수록 부가가치가 감소할 것이라는 어두운 면도 가지고 있다.

반면, 분자 조작 등의 기술에 근거한 bottom-up 기술은 당장의 수익성이 의심스러우며, 결함을 견딜 수 있는 새로운 설계 기술 등이 필요하다는 난점을 가지고 있으나, 성공할 경우 큰 부가가치 창출이 기대된다는 점에서 고무적이다.

탄소나노튜브를 이용한 트랜지스터 연구는 이 두 가지 관점에서 재조명되어야 할 것이다.

## 참고 문헌

- [1] '2001 Silicon Nanoelectronics Work shop', June 10~11, 2001, Kyoto, Japan. [www.intel.com/research/silicon/micron.htm](http://www.intel.com/research/silicon/micron.htm)
- [2] S. J. Trans, A. R. M. Verschueren and C. Dekker, 'Individual single-wall carbon nanotubes as quantum wires', Nature(London), 393, 49, (1988).
- [3] R. Martel, T. Schmidt, H. R. Shea, T. Hertel and Ph. Avouris, 'Single- and multi-wall carbon nanotube field-effect transistors', Appl. Phys. Lett., 73, 2477, (1998).
- [4] J. Kong, C. Zhou, E. Yenilmez and H. Dai, 'Alkaline metal-dopedn-type semiconducting nanotubes as quantum dots', Appl. Phys. Lett., 77, 3977, (2000).
- [5] H. T. Soh, C. F. Quate, J. Kong and H. Dai, 'Integrated nanotube circuit: Controlled growth and ohmic contacting of single-walled carbon nanotubes', Appl. Phys. Lett., 75, 627, (1999).
- [6] 김동호, 이창우, 이윤희, 장윤택, 신진국, 이재은, 한영수, 윤상수, 김성태, "Temperature dependence of field effect transistor function of a direct bridged

carbon nanowire between ferromagnetic Ni electrodes", 2001년 봄 한국 물리 학회, 경희대학교, 한국, 2001. 04. 27-28

- [7] 이윤희, 김동호, 장윤택, 이창우, 주병권, 이재은, 한영수, 윤상수, 신진국, 김성태, "Selective-lateral-growth of carbon nanowire between ferromagnetic Ni electrodes and their application on field effect transistor", 2001년 봄 한국 물리 학회, 경희대학교, 한국, 2001. 04. 27-28
- [8] Z. F. Ren, Z. P. Huang, J. W. Xu and P. N. Provencio, Science, 282, 1105 (1998)
- [9] J. S. Suh and J. S. Lee Appl. Phys. Lett., 75, 2047 (1999)
- [10] Philip G., Michael S., Arnold and Phaedon Avouris, Science 292 706 (2001)

## 저 자 약 력

**성명 : 신진국**

### ❖학력

1991년 2월 서울대 무기재료학과(학사)  
1993년 2월 KAIST 재료공학과(석사)  
1998년 8월 KAIST 재료공학과(박사)

### ❖경력

1998년 9월-2000년 2월 KIST Post-doc.  
2000년 3월-현재 LG 전자기술원 나노테크그룹

### ❖주관심 분야

CNT 전자소자, Optical nanowire, nano-photonics

**성명 : 한영수**

### ❖학력

1994년 2월 연세대 금속학과(학사)  
1996년 2월 KAIST 재료공학과(석사)  
2000년 8월 KAIST 재료공학과(박사)

### ❖경력

2000년 8월-현재 LG 전자기술원 나노테크그룹

### ❖주관심 분야

Carbon계 물질 (Diamond, Li 전지음극재료, CNT), CNT 전자소자

**성명 : 정 민 재**

**❖ 학력**

1999년 2월 한양대 재료공학과(학사)

2001년 2월 한양대 재료공학과(석사)

**❖ 경력**

2000년 12월-현재 LG 전자기술원 나노테크그룹

**❖ 주관심 분야**

Carbon계 물질 (Diamond, DLC, CNT), CNT 전자소자

**성명 : 이 재 은**

**❖ 학력**

1995년 2월 연세대 물리학과(학사)

2000년 8월 연세대 물리학과(석사)

**❖ 경력**

2000년 7월-현재 LG 전자기술원 나노테크그룹

**❖ 주관심 분야**

CMR, nano-photonics, CNT 전자소자

**성명 : 김 성 태**

**❖ 학력**

1979년 2월 서울공대 금속공학과(학사)

1984년 5월 SIT 재료공학과(석사)

1987년 5월 SIT 재료공학과(박사)

**❖ 경력**

1990년 3월-현재 LG 전자기술원 상무이사

**❖ 주관심 분야**

flat panel display, nano-photonics

**성명 : 윤 상 수**

**❖ 학력**

1994년 2월 서울대 물리학과(학사)

1997년 2월 서울대 물리학과(석사)

2000년 8월 서울대 물리학사(박사)

**❖ 경력**

2000년 7월-현재 LG 전자기술원 나노테크그룹

**❖ 주관심 분야**

Granular Physics, CNT 전자소자, nano-photonics