

## TFT-LCD 기술동향



김 남 덕  
(삼성전자(주) AMLCD사업부)



홍 문 표  
(삼성전자(주) AMLCD사업부)

### 1. 서 론

1960년초의 액정 디스플레이(LCD: Liquid Crystal Display)의 발명 이후, 1970년대부터 일본 업체로부터 시계 및 계산기에 액정을 사용한 시작품 및 제품이 나오기 시작하였다. 이들 응용은 Segment표시로부터 도트(dot) 매트릭스(matrix)표시로 발전되어졌다. 한편, 박막트랜지스터(TFT: Thin Film Transistor)는 1961년 미국 RCA Lab.의 P.K. Weimer Group에 의해 발명되었고<sup>[1]</sup>, 1971년에 동일 연구실의 B.J. Lechner Group에서 다이오우드(diode) 및 박막트랜지스터 어드레스(address) 액정 방식을 처음 제안하였다.<sup>[2]</sup> TFT 액정소자의 최초의 시작품은 CdSe막을 사용해 1973년 Westinghouse Research Lab.의 T.P. Brody 연구그룹에서 발표되었다.<sup>[3]</sup> 박막트랜지스터중 비정질 실리콘(a-Si; amorphous silicon)박막을 사용한 트랜지스터는 1979년 영국의 Dundee대학의 P.G. LeComber Group에 의해 제작되어져 오늘날 수많은 제품에 비정질 실리콘막이 쓰이고 있다[4]. 1980년대 이후 본격적으로 제품에 사용된 비정질 실리콘막은 초기에 많은 사람들에게 익숙치 않았지만 지금은 태양전지, 팩스기 및 X선 촬영기에 쓰이는 이미지 센서, LCD제품, 복사기 및 레이저빔 프린터의 드럼 등에 많이 쓰여 지고 있다. 일본의 업체 분석에 의하면, 2000년 액정디스플레이 제품

생산액은 2.2조~2.4조엔에 이르고, 2005년에는 4.6조~5.8조엔 정도로 예측하고 있다.<sup>[5]</sup> DisplaySearch의 최근자료<sup>[6]</sup>에 의하면 10" 이상 LCD는 올해 노트북PC용은 2천4백4십만대, 2005년에는 5천8백8십만대를 예상하고 있다. 이중 거의 대부분이 비정질 실리콘을 사용한 TFT 액정 디스플레이라고 생각해 볼때 놀라지 않을 수 없다.

이와 같이 비정질 실리콘막의 매우 큰 장점으로는, 1)대면적 기판(예: 1m x 1.2m)에 얇은 다층의 막을 손쉽게 만들 수 있고, 2) 다양한 기판(예: 유리, 플라스틱, 철판)의 재질에 낮은 온도에서 증착이 용이하다. 3)막내에 합금이나 도핑을 통해 막 특성을 쉽게 조절할 수 있기 때문이다. 물론 4) 값이 싸게 박막을 제작할 수 있기 때문이다.

본고에서는 이와 같이 많이 쓰이고 있는 비정질 실리콘막에 대해 소개하고, TFT-LCD 향후 기술 동향에 대해 고찰해 보고자 한다.

### 2. 본 론

#### 2.1 비정질 실리콘

결정 고체(crystalline solid)가 주어진 온도 및 압력하에서 고유하게 정의된 기본 구조를 갖는 반면에, 비정질 고체(amorphous solid)란 주어진 온도, 압력하에서 열역학적 및

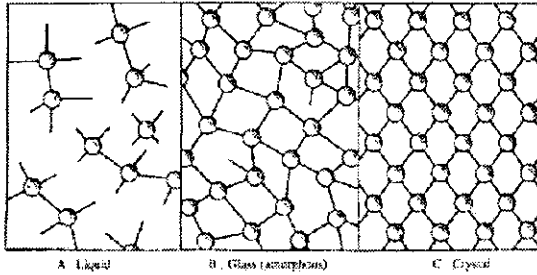


그림 1. 다양한 물질 상태의 2차원적 구조<sup>(7)</sup>  
(원모양은 원자, 선은 화학적 결합을 나타냄)

구조적으로 다양한 상태를 갖을 수 있다. 비정질 고체는 제작 과정에 따라 다양한 서로 다른 거시적 상태(macroscopic state)를 취할 수 있는 비 평형(non-equilibrium) 상태의 물질이라 할 수 있다. 비정질 고체는 그림 1과 같이 높은 수준의 구조적 무질서(disorder)를 갖고 있다.

비정질 실리콘막은 1960년대 후반 많은 연구들이 이루어졌는데, 주로 sputtering법이나 evaporation법에 의해 제작되어 왔다. 글로우 방전(Glow Discharge)법에 의해서는 1965년 H.F. Sterling씨에 의해 시도 되었고<sup>(8)</sup>, 1969년 R.C. Chittik씨 등에 의해 제작된 막의 비저항의 온도 의존성 등 전기 광학적 분석이 이루어졌다.<sup>(9)</sup> 1975년 영국의 Dundee대학 Spear 그룹은  $\text{SiH}_4$ 가스에  $\text{B}_2\text{H}_6$  또는  $\text{PH}_3$ 가스를 혼합해 결정 실리콘처럼 p형, n형의 도핑(doping)에 의한 전도도(conductivity)를 조절할 수 있었다.<sup>(10)</sup> 이들 연구그룹에 의해 지금의 비정질 실리콘 박막 트랜지스터의 개발이 이루어졌다.<sup>(4)</sup>

## 2.2 비정질 실리콘 박막 제조 방법

비정질 실리콘막을 제작하는 방법으로는 주로 Glow Discharge (plasma CVD) 방법<sup>(11)</sup>, reactive sputtering 방법<sup>(12)</sup>, thermal CVD 방법<sup>(13)</sup>, 그리고 photo CVD 방법<sup>(14)</sup> 등이 있다.

Plasma CVD 방법에 있어서는 수소나 아르곤에 희석된  $\text{SiH}_4$  가스를 글로우 방전 상태에서 분해됨으로써 만들어진다. 기판온도는 약 200~300℃에서 제작된다. 반응기(reactor)에는 capacitively coupled (diode) type과 inductively coupled (electrodeless) type이 있으며, 13.56MHz의 radiofrequency(RF) plasma가 주로 사용된다. 다른 방법으로는 2.45GHz에서 cyclotron resonance를 일으키는 ECR plasma 방법<sup>(15)</sup> 및  $\text{SiH}_4$  gas가 아르곤 또는 수소로부터 다른 위치에서 여기 시키는 remote plasma 방법<sup>(17)</sup> 등이 있다.

Reactive sputtering 방법으로는 결정 실리콘 target을 아르곤 및 수소의 sputtering 가스를 이용한다. 이 방법은 sputtering 가스를 통해 쉽게 비정질 실리콘막내의 수소 함유량을 조절이 용이하다.<sup>(12)</sup> 하지만 plasma CVD보다 plasma의 전자 온도가 여러 배 높기 때문에 모든 원자 및 분자들의

쉽게 여기 되어서므로 비정질 실리콘막내에 많은 불순물을 포함시킨다.

Thermal CVD 방법은  $\text{SiH}_4$  가스를 500~650℃에서 열적으로 분해 시키는 방법이다.<sup>(13)</sup> 온도가 더 높기(>680℃) 올라가면 폴리 실리콘이 된다. 이 방법은 간단해서 대량 생산에 적합하다 할 수 있다. 하지만 다른 방법에 비해 고온을 요하는 단점이 있다.

Photo CVD 방법은 glow discharge법과는 달리 photon 에너지를 사용하여  $\text{SiH}_4$  gas를 직접적으로 또는 간접적으로 여기 및 분해 시킴으로써 막을 만들 수 있어 비교적 낮은 온도(150~300℃)공정이 가능하고 또한 전자 충돌에 의한 plasma 여기와는 달리 이 방법에서는 radiation 파장에 따른 선택적 여기가 가능한 장점이 있고, laser의 조사 위치에 따라 선택적 면적에 막을 만들 수 있다.

## 2.3 비정질 실리콘(a-Si) 박막트랜지스터(TFT)

a-Si TFT는 그림 2와 같이 그 구조가 매우 간단하다. 그 구조에 따라서 제조공정이 달라지며, 각 구조의 특징이 다소 다르다. 하지만 그림 3<sup>(17)</sup>에 보는 바와 같이 기본적인 TFT의 On 상태(게이트 전압을 준 상태)와 Off상태의 전류비가  $10^8 \sim 10^9$  정도로 매우 크기 때문에 스위칭 소자로서 적합하다. 그림 3(b)는 게이트 전압이 없을 때와 양의 전압을 주었을 때의 에너지 다이어그램을 보여준다. 도핑가스 없이 증착된

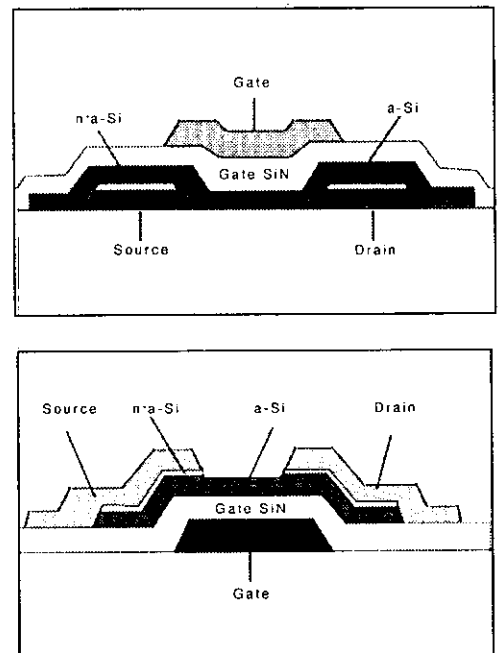


그림 2. 실용화 되고 있는 비정질 실리콘 박막 트랜지스터 구조

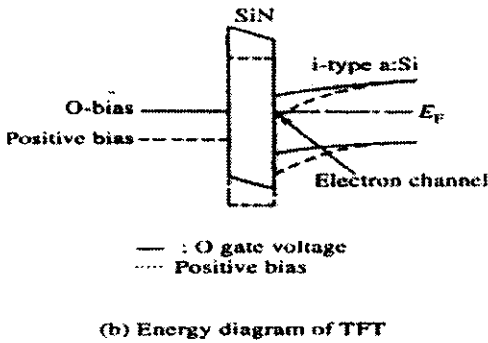
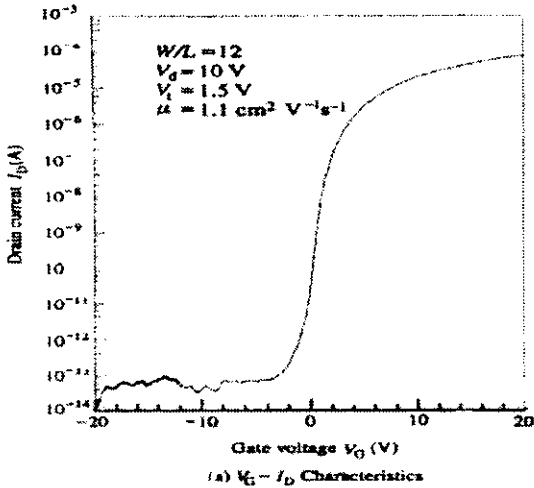


그림 3. (a) 게이트 전압-드레인 전류 특성  
(b) a-Si TFT의 에너지 다이어그램<sup>(17)</sup>

비정질 실리콘 막은 약한 n형이며 약 -5V이하의 게이트 전압에서  $10^{-13}$ 정도의 Off전류가 흐르며 이는 증착막의 비저항 특성에 의존한다. 10V 이상의 게이트 전압에서는 에너지 다이어그램에서 절연막과 실리콘막의 계면에 많은 전자들이 축적됨으로써 소스와 드레인 사이의 채널을 통해 많은 전류가 흐르게 된다. 전류는 TFT 채널의 길이와 폭, 채널내에서의 전자의 이동도, 절연막의 단위 면적당 정전용량, 전극에 걸리는 전압에 의존한다.

앞에서 설명하였듯이 공정온도가 300~350℃ 정도이하로 유리기판에 쉽게 제작 가능하다. TFT의 구조를 보면, 소스와 게이트가 한 평면상에 놓이는 coplanar형과 다른 평면상에 있는 stagger형의 두 종류가 있는데, 비정질 실리콘 TFT는 대부분이 staggered형이다. 또, staggered형 TFT는 게이트가 소스와 드레인의 밑에 놓인 역(inverted) staggered(bottom gate)형과 게이트가 소스와 드레인 보다 위에 있는 정상(normal) staggered(top gate)형으로 구별할 수 있다.

## 2.4 TFT-LCD 제품의 기술 개발 동향

비정질 실리콘(a-Si) TFT를 switching소자로 사용하여 active matrix addressing을 하는 TFT-LCD기술의 발전 방향은 TFT-LCD panel의 사용 영역의 변천에 따라 결정되어 저왔다. 초창기 전자시계나 게임기, 완구류등의 표시장치로 사용되던 LCD제품(주로 passive matrix방식의 TN or STN LCD)이 약 10년 전부터 notebook PC의 표시장치로 등장하면서 시장과 성능의 급진적인 발전이 이루어졌고, full color화의 진전으로 TFT-LCD panel이 본격적으로 채용되면서 notebook PC뿐만 아니라 중대형 desktop monitor로의 사용이 급격히 증가하여 현재와 같은 규모의 평면표시장치 시장을 형성하는데 견인차 역할을 담당하였고 기존 CRT를 능가하는 표시품질을 확보하는 기술개발이 이루어 졌다.

향후 TFT-LCD제품의 주요 응용영역이 notebook PC나 monitor 등의 PC application에서 벗어나 IMT-2000, PDA 등의 mobile device나 TV등의 non-PC application으로 확대 될 것으로 예상 되면서 이에 따른 기술개발이 강하게 요청되고 있다.

Memory 반도체의 기술개발 방향이 크게 '고속화', '고밀도화' 라고 한다면, TFT-LCD의 기술개발의 방향은 크게 '대형화', '고정세화', 그리고 '저가격화' 실현에 주력하고 있다.

그 외에, TV시장에서의 성공을 위하여 액정의 '고속응답 & 광시야각' 기술, CRT 이상의 휘도 및 색순도 확보를 위한 '고화질' 기술 등의 표시품질의 향상을 위한 지속적인 개발이 필요하다.

본고에서는, TFT-LCD제품의 대형화, 고정세화, 그리고 저가격화 구현에 필요한 각각의 요소기술 들을 TFT array panel의 구조, 재료, 및 공정의 관점에서 논의하고자 한다.

### 2.4.1 TFT-LCD panel의 대형화에 따른 공정단순화 기술

TFT-LCD의 대형화 및 고정세화 기술개발을 논할 때, 반드시 고려하여야 하는 사항이 표시면적이 커지고 고정세화 할수록, 반대로 제조원가는 증가하여 저가격화에 역행하게 되는 딜레마에 빠지게 된다는 점이다. 즉, panel이 대형화되고 고성능화 되면서도 전체 제조 원가는 최소한 같던지 작아지는 기술개발이 절대적으로 요청되고 있다. 이를 위하여 많은 TFT-LCD maker에서 panel을 대형화, 고성능화 하면서 제조수율을 올리고, 제조공정 단순화를 통한 생산성 향상을 위한 기술개발에 많은 노력을 기울이고 있으나 아직 이 같은 시장의 모순된 요구를 충분히 만족하는 결과를 얻지는 못하고 있는 상황이다.

본장에선 panel 대형화에 핵심기술인 배선의 저저항화 기술의 trend와 그에 따라 부수적으로 발생하는 공정의 복잡성을 해결하기 위한 공정단순화 기술을 소개하고자 한다.

a. 대형 panel의 저저항 배선을 위해 최적의 금속재료는 ?

TFT-LCD panel의 화면크기 및 resolution을 증가 시킬 때 결정적인 제한요인이 게이트 및 데이터 배선에서의 신호 지연 (signal delay)의 발생이다. 따라서 각 신호 배선의 RC delay 상수값을 최소화 시킬 수 있는 배선구조나 재료를 선택하여야 한다. 신호지연을 최소화 하는 가장 쉽고 근본적인 방법이 저저항 배선금속을 사용하는 것으로 현재 TFT-LCD의 배선재료로 많이 사용되는 크롬(Cr)이나 몰리브덴(Mo), 타이타늄(Ti), 탄탈륨(Ta) 등의 비저항이 높은 금속대신 알루미늄(Al) 합금이나 구리(Cu) 또는 은(Ag) 합금 등 비저항이 낮은 금속을 배선재료로 사용하려는 연구가 진행 중이며 특히 Al합금의 경우 이미 많은 LCD Maker에서 양산에 적용 중이나, Cu합금이나 Ag합금의 경우 박막의 접착력, etching등의 공정성, 내화학성, 금속배선후의 신뢰성 등의 여러가지 문제로 아직 양산에 본격적으로 도입되지 못하고 있는 실정이다.

따라서, 저저항 배선금속으로 Al합금이 현재로서 가장 현실성 있는 대안으로 생각 되고 있으며 Al합금을 배선금속으로 사용할 때 실현 가능한 TFT-LCD panel의 한계 size와 해상도에 대한 많은 연구가 진행되어 졌다.<sup>(18-20)</sup>

그림 4<sup>(18,19)</sup>는 Al 또는 Cu 금속을 게이트 배선 재료로 사용할 때 실현 가능한 Panel의 대각size와 resolution을 simulation한 결과이다. 그림에서 나타난 바와 같이 Al 게이트 금속배선의 경우 QXGA (2048X1536) resolution 이상의 대각 size 40"급 panel 제작이 가능하다.

그러나, Al을 TFT-LCD의 배선재료로 사용하는 경우 몇 가지 공정적인 문제가 발생되는데 특히 pure Al을 배선재료로 사용할 때 후속의 고온 (300~400 (C) PECVD process 동안 hillock이 발생하는 고유 결정구조상의 문제와 Al금속이 후속 process에 사용되는 각종 chemical에 쉽게 침식 및 부식이 되고, electro-potential이 다른 금속 (특히, Indium Tin Oxide (ITO), 또는 Indium Zinc Oxide(IZO)와 같은 투명

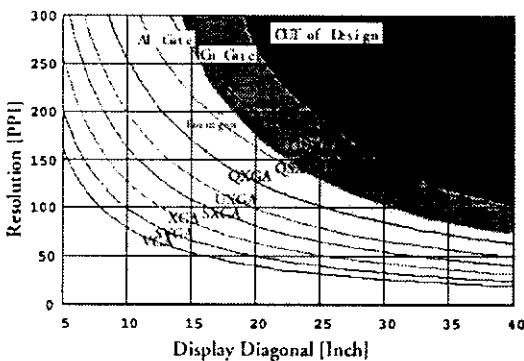


그림 4. a-Si TFT-LCD panel에서 각 금속별 한계 대각 size와 resolution

전도성 산화막)과 접촉 될 때 전해질 환경에서 electro-chemical corrosion 급격히 발생되며 contact저항이 큰 문제, 그리고 a-Si과 ohmic contact특성이 취약한 문제 등이 야기되어 Al을 저저항 배선재료로 사용하는데 많은 제약이 생긴다.

이 같은 Al 금속배선의 문제를 해결하기 위한 많은 연구가 진행 되고 있으며, 특히 hillock formation의 문제는 Al 합금을 통하여 해결 되어졌다. Aluminum-Neodymium (AlNd) 합금이 hillock-free한 Al합금으로 가장 많이 연구되어졌고 현재 많은 LCD maker에서 양산에 사용하고 있다.<sup>(21-22)</sup> 그러나, AlNd와 같은 Al합금을 사용하여도 Al 배선의 process chemical에 의한 침식 및 부식문제, 그리고 ITO등과 같은 투명 전도성 산화막(Transparent Conducting Oxide(TCO))과 접촉 시 발생하는 electro-chemical반응의 문제와 접촉저항 증가 문제는 쉽게 해결되지 않는다. 현재 이와 같은 공정상 그리고 신뢰성상의 문제를 극복하기 위해서 Al막과 ITO막 사이에 Cr<sup>(23)</sup>이나, Mo<sup>(24)</sup>, 또는 AlNd nitride<sup>(25)</sup>와 같은 물질로 buffer layer를 형성 하거나 Al 배선을 capping하는 추가적인 공정을 도입하고 있으나, 이와 같은 추가 공정이 TFT-LCD panel 제조원가를 상승시키는 요인으로 작용하고 있다.

따라서, TFT-LCD panel의 대형화에 대응하면서 추가적인 제조원가 상승요인을 제거하려면 저저항 배선재료인 Al 또는 Al 합금 단일막을 사용하고 photolithography 및 etching공정을 최소화 하여야 한다. 이를 위한 핵심 key공정이 Al막과 TCO막과의 직접접촉이 가능한 공정을 개발 하는 것이다.

b. Al막과 TCO막과의 직접접촉 기술

Al막과 TCO막을 직접접촉이 가능 하려면 다음과 같은 3가지 기본요구조건이 만족 되어져야 한다. 즉

- 1) TCO의 etching등과 같은 process동안 Al 배선막의 침식이 없어야 하고,
- 2) Al막과 TCO막을 직접접촉 되었을 때 electro-chemical reaction이 최대한 억제 되어야 하며,
- 3) Al막과 TCO막 사이의 접촉저항이 충분히 낮게 유지 되어야 한다.

1)과 2)의 요구사항은 Al합금이나 TCO재료의 electro-potential을 재료적으로 변경하여 해결이 가능하다. TCO재료 중 IZO가 대표적인 예이다.<sup>(26)</sup> 그러나, 3)의 요구조건은 Al막이나, TCO막의 재료적, 공정적 특성상 합금이나 TCO의 조성의 변경으로 매우 해결이 어렵다. Al막과 TCO막 사이의 접촉저항이 큰 근본원인이 산화력이 강한 Al표면이 TCO 증착까지의 공정동안 산화되거나, 산화물인 TCO 증착후 Al과 TCO 사이의 계면에 산화막이 진행성으로 형성되어 저항이 증가하기 때문이다. 이를 해결하기 위해선 Al표면의 산화막을 제거하고 후속공정에서 다시 산화막이 형성되지 않도록 Al막과 TCO막 사이에 buffer layer를 형성하여야 하나 앞서 언급한 방법

대로 Mo등의 다른금속을 설치하는 경우 공정이 추가 되므로 Al표면에 self-formed buffer를 추가공정 없이 형성 시켜야 한다. 이와 같은 목적을 달성하기 위해 당사에선 AlNd alloy와 IZO의 direct contact기술을 성공적으로 개발 하였다.<sup>[26]</sup>

일반적인 공정을 거치는 경우, 그림 5와 같은 200-string contact test pattern에서 AlNd-IZO 접촉저항이 약  $10^4 \Omega\text{-cm}^2$  로 높은 접촉저항 값이 측정되지만, direct contact을 위해 새롭게 개발된 thermal 및 chemical treatment를 도입하는 경우 약  $10^4 \Omega\text{-cm}^2$  로 약 100,000배 낮은 접촉저항 값의 확보가 가능 하였다.

Al표면에 형성된 Al의 자연 산화막을 제거하기 위해 보호막으로 사용되는 실리콘질화막 증착전 Al-Nd표면을 chemical 처리하는 경우 접촉저항을 약 10,000배에서 100,000배 향상시킬 수 있지만 장시간의 접촉저항 안정성 확보를 위해선 chemical 처리와 열처리를 병행 하여야 한다. 그림 6은 열처리 또는 chemical 처리 1가지만 실시 하였을 때와 열처리 와 chemical 처리를 동시에 실시 하였을 때의 접촉저항 결과를 보여주고 있다. 2가지 처리를 동시에 실시하는 경우 안정적이고 재현성 있는 낮은 접촉저항 특성을 확보 할 수 있었다.

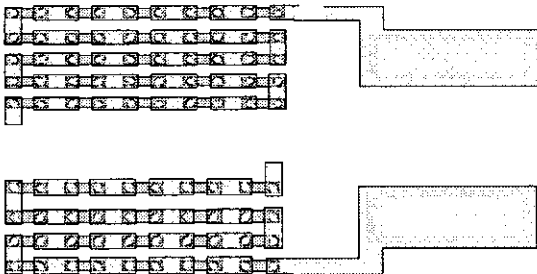


그림 5. 200-string contact test pattern 도식도

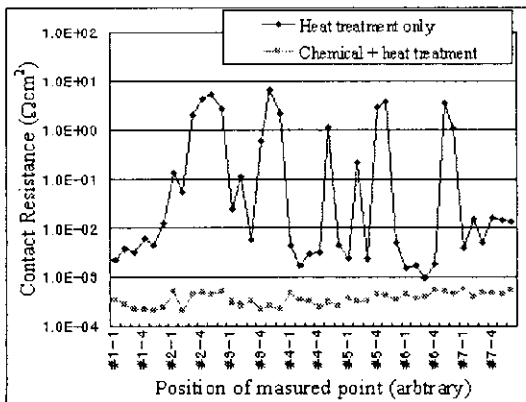


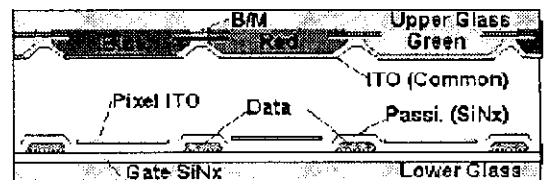
그림 6. 전처리 적용에 따른 AlNd-IZO 접촉저항 경향

## 2.4.2 TFT-LCD panel의 고 정세화 및 고 휘도화에 따른 공정단순화 기술

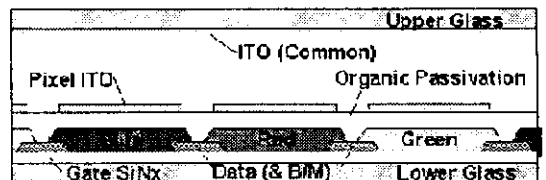
비정질 실리콘 (a-Si)을 이용한 TFT-LCD 기술이 발전함에 따라 UXGA (1200x1600)이상의 초 고정세, 30 inch이상의 대화면 display가 실현 되었으며, 가까운 장래에 고화질의 인쇄물 수준의 paper-like display와 CRT TV의 성능을 상회하는 매우 선명하고 밝은 LCD-TV가 상용화 될 것이다. 이같이 panel의 고정세화는 계속적으로 요구 되어지나 각 배선의 선폭, 배선간 간격, 광차단막의 폭과 같은 화소의 design rule은 고정 되어 있어 해상도가 증가 할수록 개구율이 감소하는 문제가 있다. Panel의 개구율이 감소하면 정비례하여 panel의 투과도가 감소하고 필요한 휘도를 확보하는데 어려움이 발생한다.

따라서, TFT-LCD의 개발에서 개구율의 혁신적인 향상은 매우 주요한 기술이다. 개구율을 향상 시키기 위해 유전율이 낮은 물질을 층간 절연막으로 사용하여 pixel전극과 data 배선을 overlap시키는 고 개구율 구조가 개발 되어져 일부 panel maker에서 사용하고 있지만, color filter기판과 TFT기판을 약 4~5 μm의 cell gap을 유지하면서 기계적으로 정렬 및 고착 시키는 고전적인 cell제조 방식을 채택하여 개구율의 혁신적인 개선에 한계가 따른다. 이와 같은 문제를 근본적으로 해결하기 위하여 그림 7(b)와 같이 color filter와 TFT array가 통합되어 있는 Color Filter on Array (COA) 구조가 개발되어 졌다.<sup>[27-30]</sup>

앞서 언급한 고개구율 구조와는 달리, COA구조에선 TFT기판 위에 직접 R, G, B color pattern을 설치하여 black matrix역할을 하는 배선부와의 정렬을 1 μm 이하의 오차를 갖



(a) Cross-Section View of Conventional TN Panel



(b) Cross-Section View of C/F on Array Panel

그림 7. 일반적인 TN mode LCD구조와 COA구조의 Process Architectures 비교

는 노광장비로 실시하고, 대항기판에는 투명전극과 cell외곽 및 TFT의 black matrix만 설치하여 고전적인 cell제조 방식에서 나타나는 상하판 정렬불량에 따른 개구율 감소를 극소화할 수 있다.

그러나, COA구조의 경우 개구율의 극대화 관점에서 많은 장점을 가지고 있는 반면, 전체 제조수율과 원가 측면에서 몇 가지 문제점이 예상된다. 즉, 상대적으로 고가이고 수율이 높은 TFT array제조 공정이 거의 완료된 후 상대적으로 저가이고 수율이 낮은 CF공정이 진행되어 전체적인 제조 효율성과 수율이 악화되는 문제를 극복 하여야 한다. 이를 해결하기 위해선 R, G, B color patterning이 완료된 후 defect를 사전 검출되면 R, G, B color pattern을 제거하고 reprocess를 하는 방법이 있을 수 있으나, 안료분산법으로 제조된 color resist를 spin coating하는 현재와 같은 방법으로는 원리적으로 어려워 새로운 CF제조 기술이 개발 되어져야 한다.

초 고정세 및 초 고휘도에 대한 시장의 요구에 대응하고, 앞서 지적된 COA구조의 문제점을 극복하기 위하여 새로운 color filter와 TFT array의 통합구조로서 그림 8과 같은 TFT Arrays on Color Filter (AOC)구조가 제안 되어졌다.<sup>[26]</sup>

COA구조와는 달리, color filter위에 TFT array를 제조하므로, 비교적 수율이 낮은 color filter를 제작 후 defect screening을 통해 사전에 불량요인을 제거하고, 이를 bare glass 대신 TFT array의 substrate로 사용 할 수 있어 이후 TFT array 제조수율이 기존과 동일하게 유지 된다면 추가적인 수율 저감을 원론적으로 해결 할 수 있다. 또한 pixel부의 black matrix (BM)뿐만 Cell 외곽부의 BM도 TFT쪽 기판에 모두 설치 할 수 있어 액정을 sealing하는 반대쪽 기판에 아무런 pattern없이 투명전극만 coating된 bare glass나 plastic 기판을 그대로 사용 가능하여 추가적인 공정단순화가 용이하고 각 배선간 기생용량에 의한 화질불량을 완화하는데 유리하다.

그러나, 유기물 base의 기판을 사용하여야 하는 AOC구조가 실현 되려면, 내열성과 plasma공정에 내성이 확보된 color filter가 개발 되어져야 하고, 병행하여 TFT특성 및 양산공정성의 열화가 없는 저온 TFT process가 개발 되어져야 한다. 당

사에선 새로운 CF재료와 250 °C 이하의 새로운 TFT process와 구조를 개발하여 15inch XGA급의 proto sample 확보에 성공 하였고<sup>[26]</sup>, 추가적인 공정단순화와 공정의 양산성 확보를 위한 추가 연구 및 유연한 plastic을 기본기판으로 사용하는 연구가 진행 중 이며, 이에 대한 결과가 올해 SID2001에 발표 될 예정이다.

### 3.결 론

1960년대 초부터 이어온 연구 개발을 토대로 TFT-LCD의 기술과 관련된 응용 제품들은 multimedia시대를 맞아 더욱 성장해 가고있다. 현재는 TFT-LCD 제품 응용의 주력이 notebook PC나 monitor 등의 PC application이었으나, 점차로 IMT-2000, PDA등의 mobile device나 LCD-TV등의 non-PC application으로 확대되고 있는 추세이며 따른 기술 개발이 활발히 진행되고 있다. 또한 한국, 일본, 대만의 LCD 업체들은 세계시장의 주도권을 확보와 시장 확대를 위해 설비 증설 및 생산성 향상 경쟁을 치열하게 전개하고 있다. 누구든 경쟁력 선점을 위해선 보다 싸게, 보다 좋은 성능의 제품을 만들어야 하며 이를 위해 새로운 재료 개발, 공정단순화 및 수율 향상 등 많은 노력을 쏟아 붓고있다.

비정질 실리콘을 이용한 TFT-LCD는 앞서 설명한 바와 같이, 여러 제조 방법을 통하여 용이하게 만들 수 있으나, 보다 좋은 특성을 얻기 위해 많은 연구 개발 활동이 지속적으로 시도되고 있으며, 제품관점에서는 고정세 및 대형화가 이루어지면서 새로운 시장을 창출 하고있으나 끊임없이 저가격화에 대한 압박에 직면 하고있다. 이 같은 모순된 요구에 대응하기 위한 기술의 일환으로 단순화된 공정으로 저저항 배선을 하기위한 기술과 고 해상도 및 고 휘도 제품을 위한 고 개구율 panel을 저가격으로 제조 할 수 있는 새로운 panel 구조를 소개 하였다. 본고에 언급된 기술들은 현재 진행되고 있는 각종 연구 개발 활동의 일부분에 지나지 않지만 더 많은 연구 결과들이 제품에 사용되어 보다 좋은 제품을 보다 싼 가격으로 multimedia 그리고 digital시대에 사는 많은 일반인들에게 공급하여 좀더 윤택한 삶의 조력자가 되었으면 한다.

### Reference

- (1) P.K. Weimer, "An Evaporated Thin Film Triode," IRE-AIEE Solid State Device Research Conference, June 1961./ "The TFT-A New Thin-Film Transistor," Proceedings of The IRE, pp.1462-1469, June 1962.
- (2) B.J. Lechner, F.J. Marlowe, E.O. Nester, and J. Tufts, "Liquid Crystal Matrix Displays," Pro-

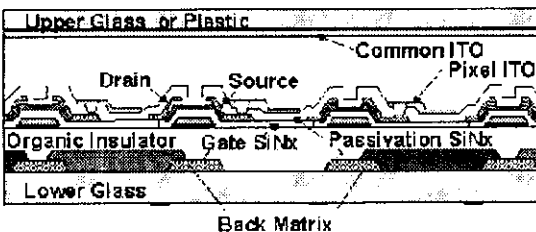


그림 8. Cross-Section View of Array on C/F Panel

ceedings of The IEEE, vol.59, no.11, pp.1566-1579, Nov. 1971.

[3] T.P. Brody, J.A. Asars, and G.D. Dixon, "A 6"x6" 20 Lines-Per-Inch Liquid Crystal Display panel," 1973 SID International Symposium Digest of Technical Papers, p.179, May 1973.

[4] P.G. LeComber, W.E. Spear, A.Ghaith, "Amorphous-Silicon Field-Effect Devices and Possible Application," Electronics Letters, vol.15, no.6, pp.179-181, Mar. 1979.

[5] Flat Panel Display 2001, p.46.

[6] DisplaySearch Monitor Q400, p.3, 2000

[7] K. Tanaka, et al., Amorphous Silicon, p.5, 1999.

[8] H.F. Sterling and R.C.G. Swann, Solid State Electron., vol.8, p.653, 1965.

[9] R.C. Chittik, J.M. Alexander and H.F. Sterling, J. Electrochem., vol.8, p.116, 1969.

[10] W.E. Spear and P.G. LeComber, Solid State Commun., vol. 17, p.1193, 1975.

[11] Hydrogenated Amorphous Silicon, Part A: Semiconductors and Semimetals, Vol.21, edited by J.I. Pankove, Academic press, NY, 1984.

[12] S. Iizima, H. Okushi, A. Matsuda, Y. Yamasaki, K. Nakagawa, M. Matsumara and K. Tanaka, J. Appl. Phys., vol.19, Suppl, p.521, 1980.

[13] Hydrogenated Amorphous Silicon, Part A: Semiconductors and Semimetals, Vol.21, edited by J.I. Pankove, Academic press, NY, p.109, 1984

[14] M. Konagai, MRS Symp. Proc., Vol. 70, p.257, 1986.

[15] S. Hine, et al., proceedings of the 13th Seminars on Properties and Applications of Amorphous materials, p.41, 1986.

[16] G. Lucovsky and D.V. Tsu, J. Non-Cryst. Solids, vol. 97/98, p. 265, 1987.

[17] T. Tsukada, Digest of the 49th Annual Device Research Conference Boulder, IA-3, 1991.

[18] E. Colgan et al., IBM J. Res Develop. Vol.42, Number 3/4, p.427

[19] W. Howard, Journal of SID, 3/3, p.127, 1995

[20] Kitahara, SID'00 Digest, p.1108, 2000

[21] C. W. Kim et al., SID' 96 Digest, p. 337, 1996

[22] T. Onishi et al., J. Vac. Sci. Tech. A 15(4), p.2339, 1997

[23] C.W. Kim et al., Euro Display'96, p. 591, 1996

[24] S. Seo et al., SID'98 Digest, p. 375, 1998

[25] N. Nakeguchi et al., AMLCD 2000 Digest, p.89, 2000

[26] M. P. Hong et al., IDMC 2000, p. 219, 2000

[27] M. Sakamoto et al., AM-LCD 1999 Digest, p.193, 1999

[28] M. Maruyama et al., EuroDisplay '99, Late-news Digest, p.77, 1999

[29] H. Hayama et al., SID'00 Digest, p.1112, 2000

[30] J.H. Song et al., SID'00 Digest, p.1018, 2000

## 저 자 약 력

**성명 : 김문덕**

**❖ 학력**

1984.2 한양대학교 전자공학과 졸업 (B.S.)  
 1986.2 한국과학기술원 전기 및 전자공학과 졸업 (M.S.)  
 1990.8 한국과학기술원 전기 및 전자공학과 졸업 (Ph.D.)

**❖ 경력**

1986.4-1995.8 삼성전자(주) AMLCD사업부 개발1팀  
 1995.9-1996.8 Visiting Scientist, Kent State Univ., USA  
 1996.9-현재 삼성전자(주) AMLCD사업부 개발2팀

**성명 : 홍문표**

**❖ 학력**

1987.2 한양대학교 원자력공학과 졸업 (B.S.)  
 1989.2 한양대학교 원자력공학과 졸업 (M.S.)  
 1995.5 University of Wisconsin-Madison, Engineering Physics 졸업 (Ph.D.)

**❖ 경력**

1995.5-1995.12 University of Wisconsin-Madison, Post Doc.  
 1995.12-현재 삼성전자(주) AMLCD사업부 연구팀  
 2000.3-현재 성균관대학교 전자공학과 겸임교수