

## 비정질 실리콘 박막 트랜지스터 액정디스플레이



**장 진**  
(경희대 물리학과 교수)



**원 성 환**  
(경희대 정보디스플레이학과 박사과정)

### 1. 서론

21세기에 들어서면서 노트북, PDA(Personal Digital Assistance), LCD(Liquid Crystal Display) 모니터, LCD TV 등 평판 디스플레이 시장은 급격히 성장하고 있다. 이러한 응용분야에 박막 트랜지스터(Thin Film Transistor :TFT) 액정디스플레이(TFT-LCD)가 가장 많이 이용된다. 액정을 이용한 디스플레이가 이렇게 발전할 수 있었던 것은 실리콘 박막 트랜지스터를 사용함으로써 가능하였다. 1961년 Weimer에 의해 제안된 박막 트랜지스터는 박막 논리 회로에 처음으로 응용되었으며, 컴퓨터 응용을 위한 플립-플롭, AND 게이트, NOR 게이트와 같은 회로 구성에 제안되었다.<sup>[1]</sup>

1966년에 액정디스플레이에서 스위치 소자로서 박막 트랜지스터의 적용이 제안되었으며, 수소화된 비정질 실리콘(a-Si:H) 박막 트랜지스터는 1979년에 처음으로 발표되었다. 1986년 처음으로 박막 트랜지스터 액정디스플레이가 3인치 액정TV에 적용되었다. 1990년까지 3~5인치급 소형 TV에 응용되었으며 최근에는 15.1, 17, 18, 20.1, 22인치급도 양산되고 있다.

이렇듯 박막 트랜지스터 액정디스플레이가 급격히 발전하게 된데에는 비정질 실리콘이 가지는 다음과 같은 장점 때문이다. 첫째, 대면적 증착이 용이하다. 둘째, 저온에서 증착이 가능하

다. 액정디스플레이는 일반적으로 유리를 기판으로 사용하므로 저온증착이 가능해야 한다. 셋째, 비정질 실리콘의 특성이 실리콘 질화막과 같은 절연 물질과 좋은 경계 성질을 유지한다. 넷째, 비정질 실리콘은 굽힘에 강한 물질이고, photolithography과정을 통해 미세한 패턴을 형성할 수 있다. 다섯째, 비정질 실리콘은 무독성이다. 이러한 특성 때문에 비정질 실리콘 박막 트랜지스터가 급격히 발전하였다. 그림 1은 박막 트랜지스터 액정디스플레이의 시장분석이다. 박막 트랜지스터 액정디스플레이의 시장은 계속해서 커질것으로 전망하고 있다.

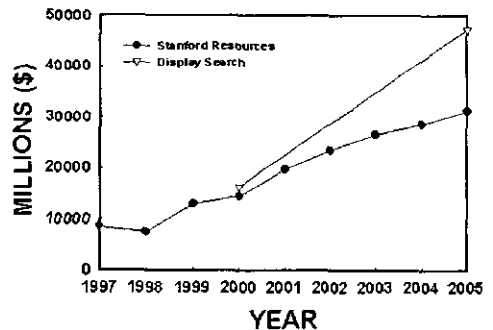


그림 1. 박막 트랜지스터 액정디스플레이 시장예측.(Display Search & Stanford Resources)

## 2. 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)

### 2.1 비정질 실리콘 박막 트랜지스터의 동작 원리

박막 트랜지스터는 일반적으로 소오스, 드레인, 그리고 게이트의 3개의 전극을 가지고 있으며, 액정디스플레이에서는 각 화소의 스위칭 소자로 사용된다. 그림 2는 역 스테거드 비정질 실리콘 박막 트랜지스터(inverted staggered a-Si:H TFT)의 단면을 개략적으로 나타낸 것이다. 기판위에 게이트 전극이 있고, 게이트 절연막으로서 실리콘 질화막이 사용된다. 그리고 채널이 형성되는 활성층인 비정질 실리콘이 있고, 그 위 양쪽에 소오스/드레인 전극이 있다. 이 소오스/드레인과 접촉을 좋게 하고 홀에 의한 전류를 방지하기 위하여 n<sup>+</sup> 실리콘 층이 있다.

박막 트랜지스터는 게이트 전압에 따라서 박막 트랜지스터의 on, off가 결정된다. 게이트 전압을 인가하면 게이트 절연막을 사이에 두고 전하가 양쪽에 모이게 되는데 이것은 capacitor의 경우와 유사하다. 게이트에 + 전압을 가하면 게이트 금속쪽에는 + 전하를 띠는 홀이 모이고 반대쪽의 비정질 실리콘에는 전자가 모이게 된다. 이렇게 모인 전자들은 소오스/드레인간 채널을 형성하게 해주고 전류를 흐를 수 있게 한다. 즉 게이트 전압이 문턱전압(threshold voltage, V<sub>TH</sub>)보다 클 경우, 채널 내에 mobile carrier가 유도되고 드레인에서 소오스로 전류가 흐르게 되는 것이다.<sup>[2]</sup>

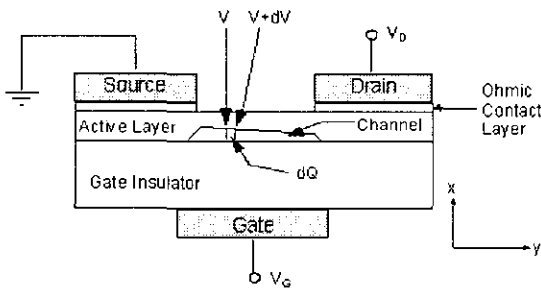


그림 2. 역 스테거드형 비정질 실리콘 박막 트랜지스터의 단면도

비정질 실리콘 박막 트랜지스터의 동작영역은 JFET (Junction Field Effect Transistor)에서와 마찬가지로 크게 선형 영역(linear region)과 포화 영역(saturation region)의 두 가지로 구분된다. 선형 영역은 드레인 전압이 작을 때는 드레인 소오스 사이의 특성이 기본적으로 오옴의 특성을 나타내며, 결과적으로 드레인 전류는 드레인 전압에 비례하게 된다. 한편 포화영역에서는 드레인 전류가 드레인 전압의 증가에 관계없이 일정한 값을 가지는 특성을 나타낸다. 이러한 영역은 높은 드레인 전압에서 나타난다.

드레인 전류(I<sub>D</sub>)는 JFET에서와 같이

$$I_D = C_{SiNx} \mu_n \frac{W}{L} [(V_G - V_{TH})V_D - \frac{1}{2}V_G^2] \quad \text{식 (1)}$$

을 얻을 수 있다.<sup>[5]</sup>

식 (1)에서 V<sub>D</sub>가 매우 작은 선형 영역 (V<sub>D</sub> ≪ fIV)에서는

$$I_D = C_{SiNx} \mu_n \frac{W}{L} (V_G - V_{TH})V_D \quad \text{식 (2)}$$

로 표시된다. 선형영역에서 박막 트랜지스터의 전계효과 이동도 μ<sub>n</sub>는 식(2)를 이용하여 구한다.

만약 드레인 전압이 커져서 드레인에서 게이트 전압이 중성화되게 되면 채널이 드레인쪽으로부터 사라지게 되고 (pinch off), 드레인 전류가 더 이상 증가하지 않는 결과가 나타나게 된다. 그러므로 앞에서 구한 선형영역에서의 드레인 전류가 더 이상 맞지 않게 된다. 이러한 상황은 Q<sub>i</sub>를 0으로 놓음으로써 다시 만족되어질 수 있고 결국 V = V<sub>G</sub> - V<sub>TH</sub> = V<sub>D</sub> 을 식(1)에 대입하면

$$I_D = \frac{C_{SiNx} f \hat{E} W}{2L} (V_G - V_{TH})^2 \quad \text{식 (3)}$$

이 된다. 식(3)을 이용하여 포화영역에서의 전계효과 이동도를 구할 수 있다. 비정질 실리콘 박막 트랜지스터의 전계효과 이동도는 관례상 식(3)을 이용하여 구한다.

박막 트랜지스터의 특성은 비정질 실리콘의 특성 (Density Of States, band mobility 등), 비정질 실리콘과 절연막 사이의 계면 특성, 비정질 실리콘과 금속과의 접촉, 소자의 geometry 등에 의해 영향을 받는다. 박막 트랜지스터의 각 특성에 영향을 주는 요소를 정리하면 표 1과 같다.

그림 3부터 4까지는 각각 비정질 실리콘 박막 트랜지스터의 전이(transfer)특성, 출력(output)특성을 나타낸다.

게이트 전압 스윙(swing) S은 드레인 전류 I<sub>D</sub>를 10배 증가시키는데 필요한 게이트 전압 V<sub>G</sub>으로 정의된다. 즉, 식 4로 정의된다.

$$S = \frac{dV_G}{d(\log I_D)} \quad \text{식 (4)}$$

그림 3의 전이특성에서 구한 게이트 전압 스윙은 0.27 V/dec.이다.

Transconductance g<sub>m</sub>를 이용하여 전계효과 이동도를 구하는 방법은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)나 다결정 실리콘 박막 트랜지스터에서 주로 사용하며, 정의는 식 5와 같다.

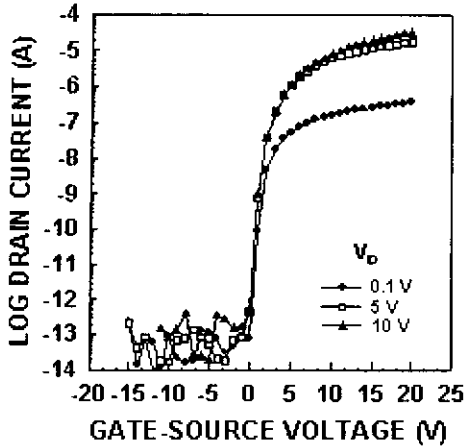


그림 3. 비정질 실리콘 박막트랜지스터의 전이(transfer)특성

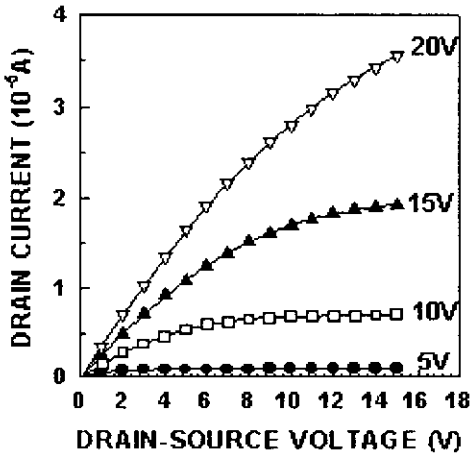


그림 4. 비정질 실리콘 박막트랜지스터의 출력(output)특성

표 1. 박막 트랜지스터의 특성과 그에 영향을 주는 요소

특 성	Factor
On current	<ul style="list-style-type: none"> <li>● W/L</li> <li>● Mobility</li> <li>● Interface</li> <li>● Ohmic contact</li> <li>● Gap states</li> <li>● Back surface (or interface)</li> </ul>
Off current	<ul style="list-style-type: none"> <li>● W/L</li> <li>● Fermi level (a-Si:H)</li> <li>● Interface</li> <li>● Back surface (or interface)</li> <li>● Ohmic contact</li> <li>● Band gap</li> </ul>
Mobility	<ul style="list-style-type: none"> <li>● Width of band tails</li> <li>● Interface states</li> </ul>
Gate voltage swing	<ul style="list-style-type: none"> <li>● Gap states (defect states)</li> <li>● Interface states</li> </ul>

$$g_m \equiv \left. \frac{\partial I_d}{\partial V_g} \right|_{I_d=CONST} = \frac{W}{L} C_{SiNx} \mu V_D \quad (V_D < V_{dsat}) \quad (5)$$

여기서  $V_{dsat}$ 는 saturation 전압이다.

## 2.2 비정질 실리콘 박막 트랜지스터의 구조

액정디스플레이에서 사용되는 박막 트랜지스터는 활성화층(active layer), 게이트 절연층, 소오스-드레인 전극과 게이트 전극의 구조에 따라 크게 4가지로 나눌 수 있다.(그림 5) 먼저 게이트 전극과 소오스-드레인 전극이 활성화층을 사이에 두고 있는 스테거드형(staggered type)과 게이트 전극과 소오스-드레인 전극이 활성화층의 한쪽 면에 같이 있는 코플라나형(coplanar type)으로 나눌 수 있다.

스테거드형 박막 트랜지스터는 소오스-드레인 전극이 기판

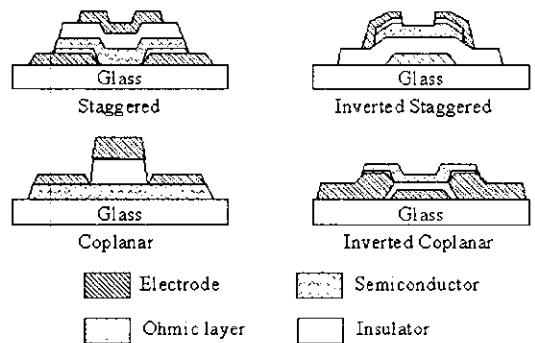


그림 5. 박막트랜지스터의 기본구조

위에 형성되고 활성화층, 절연층, 게이트 전극의 순으로 제작된다. 이 형태는 활성화층 위에 주로 플라즈마 공정에 의해 절연층을 제작하기 때문에 반도체층 표면에서의 결함이 발생할 수 있는 단점이 있다. 코플라나형 박막 트랜지스터는 활성화층 위에 소오스-드레인 전극, 절연층, 게이트 전극의 순으로 제작한다. 코플라나형은 게이트와 소오스-드레인 사이의 전기 용량이 작다는 장점이 있다.<sup>(7)</sup>

또 다른 구조는 위의 스테거드형과 코플라나형의 제작순서를 역으로 한 역 스테거드형(inverted staggered type)과 역 코플라나형(inverted coplanar type)이다. 역 스테거드형은 비정질 실리콘 박막 트랜지스터에서 가장 많이 사용되고 있다. 역 스테거드형은 back channel etched(BCE) 구조와 etch stopper(ES) 구조로 나눌 수 있다.

### 2.2.1 역 스테거드 구조

현재 사용되고 있는 비정질 실리콘 박막 트랜지스터의 구조

는 대부분 역 스테퍼드형이다. 이러한 역 스테퍼드 구조에는 크게 BCE방식(그림 6)과 ES방식(그림 7)이 있다. BCE방식은 공정수가 적고 간단하다는 장점은 있으나  $n^+$  층을 식각시에 실리콘층을 over-etching을 해야되기 때문에 두께 제어 어렵고 이로 인해 비정질 실리콘의 두께가 두꺼워야 한다는 단점이 있다. ES방식은  $n^+$  층 식각이 용이하고 비정질 실리콘의 두께를 얇게 할 수 있다는 장점은 있으나 BCE방식에 비해 공정수가 많으며 back channel의 density of state가 증가하는 단점이 있다.

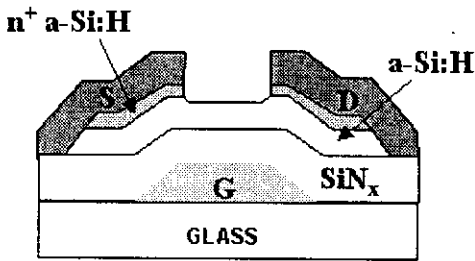


그림 6. BCE방식을 이용한 역 스테퍼드 구조의 비정질 실리콘 박막 트랜지스터 단면도

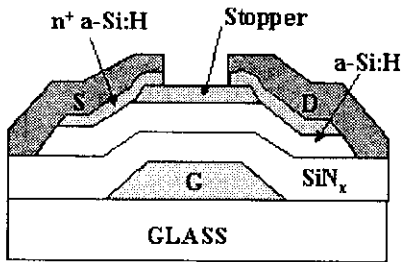


그림 7. ES방식을 이용한 역 스테퍼드 구조의 비정질 실리콘 박막 트랜지스터 단면도

### 3. 비정질 실리콘 박막 트랜지스터 액정디스플레이

#### 3.1 박막 트랜지스터 액정디스플레이의 구조

그림 8의 컬러 박막 트랜지스터 액정디스플레이의 구조를 보면, 백라이트에서 나온 빛이 반사 및 분산 장치에 의해 액정 패널 쪽으로 입사된다. 액정 패널은 두개의 유리판 사이에 비틀림네마틱(TN)액정이 약 5( $\mu$ m)두께에 채워져 있으며, 빛이 입사된 쪽의 유리판 위에 박막 트랜지스터 및 화소 ITO와 액정 배향층(폴리이미드), 그리고 common ITO전극이 코팅되어 있다. 그리고 두 장의 유리판 밖에는 편광판이 부착되어 있다.

컬러화상은 R(적색), G(녹색), B(청색) 세 종류의 컬러필터를 조합하여 얻어진다. 세개의 화소가 모여서 한 개의 컬러 화소를 이루며, 박막 트랜지스터는 세 화소에 각각 연결되어 있기 때문에 XGA(1024×768)화면 구성의 경우, 계산 결과 3x786,432개의 박막 트랜지스터가 필요하다.

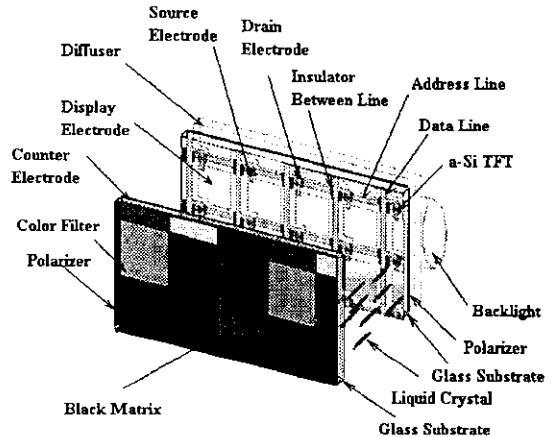


그림 8. 박막 트랜지스터 액정디스플레이 구조

#### 3.2 박막 트랜지스터 액정디스플레이 마스크(mask) 저감연구

최근에는 좋은 특성의 박막 트랜지스터 액정디스플레이 제품을 얻었기 때문에 저가격화와 생산 수율의 향상에 많은 연구 개발이 이루어지고 있다. 가장 중요한 점은 공정수를 줄이는 것이고, 공정의 단순화를 위하여 박막 트랜지스터 array 제작에 필요한 마스크 수를 줄이는 것은 필수적이다. 최근 5년 사이, 기업들은 ITO를 가장 위에 올리는 TOP ITO방식, 새로운 게이트 금속과 패턴 연구 등을 개발하여 4 마스크 공정까지 줄일 수 있었다. 그림 9는 마스크 감소의 역사를 나타내고 있다.

현재 대부분의 기업에서 양산 라인에 5 마스크 공정을 적용하고 있으며, 4 마스크를 공정을 양산에 일부 적용하고 있다.<sup>(3)</sup>

#### 3.3 대화면 박막 트랜지스터 액정디스플레이

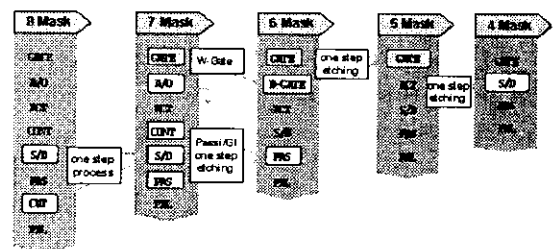


그림 9. 박막 트랜지스터 액정디스플레이 마스크 감소 역사

### 3.3.1 저 RC array

박막 트랜지스터 액정디스플레이는 CRT와 견줄 만한 화질과 소비전력이 적고, 얇고 가벼워서 휴대성이 높다는 장점 때문에 차세대 디스플레이로 확고한 위치를 차지하고 있다. 최근 박막 트랜지스터 액정디스플레이는 노트북 모니터만이 아니라 데스크탑용 모니터와 TV로 그 시장을 넓혀가고 있다. 대면적과 고화질이 박막 트랜지스터 액정디스플레이의 필수 요건이 되고 있다. 그림 10은 박막 트랜지스터 액정디스플레이의 크기 변화도이다. 크기가 점점 커짐에 따라 액정의 주입과 유지, 빠른 응답속도가 필수이며, 박막 트랜지스터는 고 이동을 실현해야한다. 이와 함께 대면적화 되면서 부각되고 있는 RC 지연도 해결해야 하는 문제이다.

17인치 XGA 액정 디스플레이 경우 gate line은 약 350m, data line은 약 1km 정도가 사용된다. 저항이 작은 물질을 사용하는 것이 얼마나 크게 작용을 하는가는 명확한 일이다. RC 지연을 해결하기 위해서는 현재 많이 사용하고 있는 Cr이나 Mo보다 낮은 저항을 가지고 있는 금속이 필요로 하게 되었다. 금속의 연구는 90년대에 들어와서 활발히 연구되어지고 있으며, 이미 저 저항 금속인 Al, Cu, Al-alloy등은 상당한 연구결과에 도달해 있다. 표2는 각 금속에 대한 특성을 나타내고 있다. 순수한 Al으로 40인치 크기의 박막 트랜지스터 액정 디스플레이 제작이 가능하기 때문에 Al을 gate 및 data line으로 사용하기 위한 연구 개발이 진행되고 있다.

또한 TFT-array에서 생기는 capacitance를 줄여하는데, 이에 따라 BCB(Benzocyclobuten)와 같은 저 유전물질을 게이트 절연막 또는 라인간 cross over되는 부분에 사용하는 등 방법이 연구되고 있다.(그림 11)

표 2. 대화면 TFT-LCD용 저저항 금속

금속	비저항 ( $\mu\Omega\text{cm}$ )	녹는점 ( $^{\circ}\text{C}$ )	CTE ( $\text{ppm}/^{\circ}\text{C}$ )	공정 적용시 문제점
Cu	2.7	1083	16.5	밀착성, dry etch 불가, 내산성
Al	3.1	660	23.6	내산성, surface morphology
Mo	11.5	2610	4.9	내산성
Cr	21.0	1875	6.2	후막화시 박리, taper etch 곤란
$\alpha\text{Ta}$	25	2996	6.5	저저항을 위해 TaN/Ta 구조 필요
$\beta\text{Ta}$	173.2	2996	8.4	고저항
Ti	86.5	1668	4.6	고저항
W	18.1	3410	13.3	막박리
Ni	50	1453		밀착성, DC sputter불가
ITO	200			증착조건 의존성

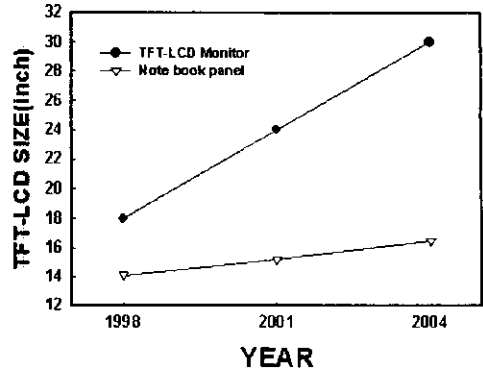


그림 10. 단일기판을 이용한 TFT-LCD 크기변화

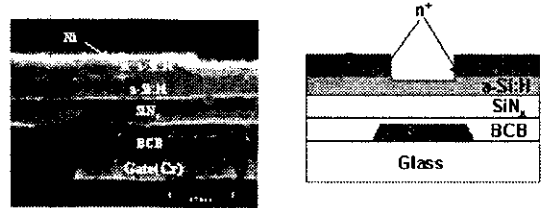


그림 11. BCB를 이용한 게이트 평탄화 방법

### 3.3.2 Tiled 방법

현재 박막 트랜지스터 액정디스플레이는 노트북 시장을 석권했으며, 현재 데스크탑용의 모니터, TV용으로의 채용이 본격적으로 진행중이다. 특히 TV 경우에는 30인치 이상의 대면적 적용이 필수적이다. Tiled 방법이란 박막 트랜지스터 액정디스플레이를 대면적화하는 방법중 하나로서 여러장의 패널을 붙여서 전체 크기를 확장하는 방법이다. 그림 12는 패널 3장을 1x3으로 붙여서 제작한 그림이다.

패널을 붙이는데에는 크게 두가지로 구분할 수 있는데 그림 13과 같이 화소를 기준으로 수평하게 붙이는 것과 수직으로 붙이는 방법이 있다. 붙이는 방법과 tiling하는 방법에 따라 개

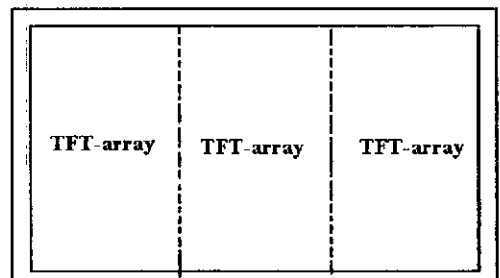


그림 12. 박막트랜지스터 액정디스플레이의 1x3 tiled 개념도

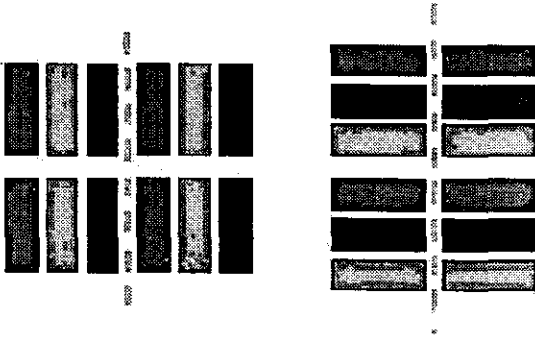


그림 13. 패널을 붙이는 방법:수평으로 붙임(좌측) 수직으로 붙임(우측)

구울이 달라지므로 박막 트랜지스터의 레이아웃의 설계시 유의해야 한다.

### 3.4 플라스틱 기판 박막 트랜지스터 액정디스플레이

현재 박막 트랜지스터 액정 디스플레이에는 기판으로 유리를 사용하고 있다. 유리는 무게가 플라스틱 보다 무겁다. 또한 깨어질 수 있다. 플라스틱위에 박막 트랜지스터 액정디스플레이를 형성할 수 있다면 많은 장점을 가지게 되는데 첫째, 무게가 가벼워지고, 둘째, 휘어질 수 있으며, 셋째, 깨어지지 않는다. 위와 같은 장점은 박막 트랜지스터 액정디스플레이가 더욱 많은 응용분야과 새로운 시장을 형성 할 수 있게 한다.(그림 14)

그러나 플라스틱을 기판으로 사용하려면 고려해야 할 사항이 몇 가지 있다. 첫째 박막 증착시 기판의 온도를 좀더 낮추어야 한다. 일반적인 PECVD(Plasma Enhanced Chemical Vapor Deposition)에서 비정질 실리콘을 증착할 때 기판의



그림 14. 휘어지는 플라스틱 기판위의 비정질 실리콘 박막 트랜지스터 어레이

온도는 약 250~300(C정도이다. 이 온도는 플라스틱 기판에 적용하기에는 너무 높다. 표 3을 보면 현재 사용할 수 있는 PES의 경우 200(C가 한계 온도이다. 그러나 PES는 노란색을 띄고 있어 실제 TFT-LCD에 적용하기에는 곤란하다. 따라서 공정온도를 150(C이하로 낮추어야 된다. 둘째, 플라스틱과 다른 박막들 사이에 열팽창 계수의 차이가 심하게 나타난다. 기판과 박막간에 열팽창 계수의 차가 심하게 나면 증착 후, 크랙이나 박막 박리현상이 생길 수 있다. 그리고 셋째, 패턴을 형성하거나 세정 공정중에 산이나 에천트에 기판이 손상될 수 있다. 기판자체가 쉬게 다른 용액 들과 반응하므로 공정중에 기판이 손상을 입을 수 있다. 그림 15는 180(C에서 제작된 박막 트랜지스터의 특성이다. 1.0 V의 문턱전압, 0.49 cm<sup>2</sup>/V의 전계효과 이동도, 그리고 0.7 V/dec의 subthreshold slope를 나타내고 있다.

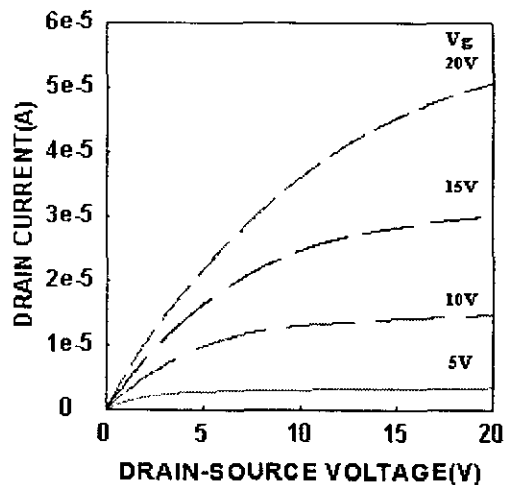
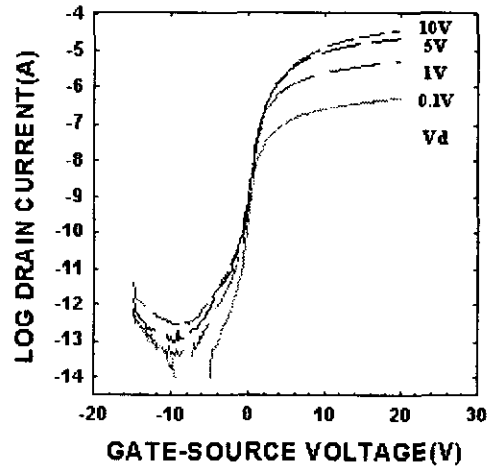


그림 15. 180(C에서 제작된 박막 트랜지스터 특성

표 3. 플라스틱 기판의 공정온도

Polymers	Maximum Processing Temperature
Polyethersulphone(PES)	200(C)
Polyacrylate(PAR)	< 150(C)
Polycarbonate(PC)	
Polyethylenephthalate(PEN)	
Polyethyleneterephthalate(PET)	

위와 같은 문제들 때문에 플라스틱을 기판으로 사용하는 것은 쉽지 않은데 이것을 해결하기 위해 초기에 플라스틱위에 그림 16와 같이 buffer 층을 올린후 공정을 시작한다. Buffer 층으로는 보통 실리콘 질화막과 실리콘 산화막을 사용한다. 플라스틱 기판 위에 buffer층은 기판과 그 위에 증착된 박막간 열팽창 계수의 차를 줄여 증착후 박막이 일어나거나 크랙이 생기는 것을 막아줄 뿐만 아니라 LCD 제작 후에 gas barrier의 역할을 한다.

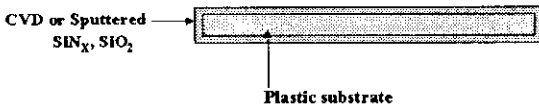


그림 16. 플라스틱 기판위에 buffer층을 올린 형태

#### 4. 결 론

현재 비정질 실리콘 박막 트랜지스터를 이용한 액정디스플레이는 보상필름을 이용하거나, IPS(in plane switch), VA(vertical arrigned)기술을 이용하여 광시야각 개발에 성공하였다. 그리하여 CRT시장을 LCD가 대체할 수 있는 기반을 세웠으며, response time, hold-type image 개선 등 디스플레이의 특성 향상을 위해 노력하고 있다.<sup>[4]</sup>

2005년에는 박막 트랜지스터 액정디스플레이 시장이 480억\$로 커질 것으로 예상되고 있다. 동영상구현도 자유로울 것이다. 이에 따라 비정질 실리콘 박막 트랜지스터는 좀더 고정세화되고, 패널의 크기가 커짐에 따라 금속등 새로운 물질에 대한 연구가 계속될 것이다. 공정을 좀더 단순화하여 2007년에는 저가격화를 실현, 패널 1인치에 약 10\$정도로 낮아질 것이다. 또한 박막 트랜지스터의 응용분야가 휴대용 이미지 센서, X-ray 영상감지소자 등으로 넓어질 것이다.

#### Reference

- [1] Toshihisa Tsukada, "TFT/LCD", Gordon and Breach Publishers, Chapter 3 (1996).
- [2] Kaneko. Y. Toyabe and Tsukada, Jpn. J. Appl. Phys. 31, 3506(1992).
- [3] C. W. Kim, Y. B. Park, H. S. Kong, D. G. Kim, S. J. Kang, J. W. Jang, and S. S. Kim, SID'00, 1006 (2000).
- [4] I. J. Chung, I. B. Kang, IDMC'00, 155 (2000).
- [5] Andrew C. Tickle, "TFT", Jolun Wiley & Sons, Chapter 4 (1996).
- [6] David E. Mentley, IDMC'00, 165 (2000).
- [7] S. K. Kim, Y. J. Choi, W. K. Kwak, K. S. Cho, J. Jang, IEEE Electron Device Lett. 20, 33 (1999)

#### 저 자 약 력

성명 : 장 진

◆약력

- 1977. 2 서울대 물리학과 학사
- 1979. 2 한국과학기술원 물리학과 석사
- 1982. 8 한국과학기술원 이학박사
- 1982. 8 ~ 현재 경희대 교수
- 1993. 1 ~ 현재 AMLOD국제 Workshop 및 SID 프로그램 위원회 위원

성명 : 원 성 환

◆약력

- 1999. 2 세종대 물리학과 학사
- 2001. 2 경희대 정보디스플레이 학과 석사
- ~ 현재 경희대 정보디스플레이학과 박사과정 재학중