

TFT/LCD 제조 기술



이 충 훈
(원광대 반도체학과 교수)

【개요】

급속히 발전하고 있는 정보화 시대에 다량의 정보를 전달하기 위하여 필수적인 비디오 영상뿐만 아니라 그래픽, 문자 숫자 및 각종 데이터를 표시하는 전자디스플레이의 요구가 급증하고 있다. 디스플레이는 가정용 TV, Notebook-PC, 과학용 계측기, 산업용 제어장치의 각종 Panel 및 교통, 항공, 우주, 군사분야에 이르기까지 광범위한 분야에서 응용되고 있고, 최근 사실감과 현장감은 물론 인간의 감정까지도 생생하게 전달할 수 있는 3차원 입체 영상 TV 까지도 등장하는 등 거듭되는 신기술 시대를 맞이하고 있다. 이러한 가운데 두드러지는 현상은 종래의 CRT(Cathode Ray Tube)에 비해 무게가 가볍고 부피가 적으면서도 해상도가 뛰어날 뿐만 아니라 화면 크기가 수 m에 이르는 대화면 까지도 제공할 수 있는 고품위의 새로운 표시장치 개발에 대한 요구가 급증하고 있다. 2000년 3분기 기준으로 15 inch TFT/LCD Monitor가 470 US dollar로 거래될 정도로 가격이 하락하여 수요의 폭발적 성장을 기대할 시점에 도달해 있다. 1980년도 초부터 CRT의 단점을 보완하면서 위의 요건을 만족시킬 수 있는 꿈의 표시장치로서 평판표시장치가 개발되었고, 현재 천연색 표시가 가능한 액정표시장치(LCD, Liquid Crystal Display) 및 플라즈마 표시장치(PDP, Plasma Display Panel)등이 출시되었으며, 특히

계측기 및 산업용 등으로 전계발출표시장치(FED, Field Emission Display) 및 전계발광표시장치(ELD, Electro-Luminescent Display) 등이 출시되어 사용되고 있다.

본 논고에서는 평판 표시 장치인 액정 표시 장치(TFT/LCD)의 기본 원리를 간단히 정리하고 최근의 제조 공정을 발달 순서대로 개발 동향이나 분야에 대하여 살펴보고자 한다.

1. Hydrogenated Amorphous Si TFT (Thin-Film-Transistor)-LCD

1. 서론

비정질 실리콘은 많은 분야에 있어서 응용되고 있으며, 잠재력을 갖고 있는 물질이다. 화석 연료에 의한 환경 파괴 및 에너지 고갈에 따른 대체 에너지의 일환으로 비정질 실리콘을 이용한 태양전지는 이미 상업화가 되고 있다. 또 CRT를 이용하는 디스플레이의 대체기술로서 평판 디스플레이의 하나인 비정질 실리콘 TFT-LCD도 큰 시장을 형성해 나가고 있다. 본 논고에서는 TFT-LCD의 구조 및 동작원리를 알아본다.⁽¹⁾

먼저 비정질 실리콘에 대하여 살펴보기에 앞서, 반도체 기술의 모체가 되고 있는 소위 단결정 실리콘(c-Si)에 대하여

간단히 살펴보자. 단결정 실리콘은 다이아몬드 구조를 하고 있어서 전자로 채워진 가전자대와 전자가 이동할 수 있는 전도대 사이에 에너지 갭이 존재하는데 이 갭이 1eV 정도로 반도체 성질을 보여준다. 단결정 실리콘은 에너지 밴드 갭 사이에 운반자의 흐름을 방해하는 트랩 상태가 매우 적고, 전자 및 정공(hole)의 이동도도 매우 빠르다. 특히 단결정을 구성하고 있는 실리콘은 4가 원소인데, 여기에 3가 원소인 붕소(Boron)나 5가 원소인 인(Phosphor) 등의 불순물을 주입하여 Doping 하면 p-type 및 n-type의 소자를 결합한 회로 형성이 용이하다. 그러나, 단결정 실리콘은 기판 제작과 Device 제작이 고온 공정에서 진행되기 때문에 기판 크기에 많은 제약이 따른다. 단결정 실리콘은 외곽 전자가 모두 이웃 실리콘과 공유 결합을 하고 있는 다이아몬드 구조로 구성되어 있지만, 비정질 실리콘은 이웃 원자와 결합을 하지 못하고 남은 미결합(dangling bond) 상태로 존재하는 실리콘 원자가 상당수 존재한다. 따라서 비정질 실리콘은 결정의 주기성이 결여되어 장거리 질서가 없고, 단거리 질서만 유지하게 된다. 비정질 실리콘의 미결합 상태는 결합 에너지와 반결합 에너지 사이를 점유하므로, 에너지 밴드 갭 내에 많은 국재 상태(localized states)가 존재한다. 비정질 실리콘은 에너지 밴드 갭 내의 국재 상태 밀도로 인하여 반도체로서의 큰 관심의 대상이 되지 못하였다. 그러나, Dundee 대학교의 Spear와 LeComber 그리고 Ovshinsky가 글로우 방전을 통하여 미결합 상태에 수소나 불소를 결합시킨 비정질 실리콘을 형성 시킴으로써 금지대 상태 밀도를 크게 줄일 수 있었으며, 이로 인하여 비정질 실리콘에 도핑이 가능하게 되었다. 이때부터 비정질 실리콘은 p-n 접합이나 전체 효과 트랜지스터(Field Effect Transistor)등의 소자를 제작할 수 있게 되었다. TFT 구조는 1935년에 영국의 O. Heil이 TFT의 구조 특허를 취득하고, 1961년에 박막 트랜지스터의 기본 개념이 나온 이래, 1970년대에 기본적인 연구가 진행되었다. 1971년에 Lechner가 매트릭스 디스플레이의 각 화소를 독립적으로 스위칭 하면 100:1 혹은 그 이상의 고대비 비를 얻을 수 있을 것이라고 제안하여 AMLCD의 기본 개념을 발표하고, 1971년에 최초의 AMLCD가 Brody등에 의해서 발표되었으나, 이때의 박막 트랜지스터는 CdSe TFT였다. 1972년에 Spear와 LeComber가 글로우 방전 방법으로 수소화된 비정질 실리콘을 만든 후에 1979년에 LeComber에 의해 비정질 실리콘 TFT가 개발되었다. 또한, 그는 TFT의 AMLCD용 화소 스위치로의 적용을 제안하였다. 첫째로 태양의 대부분의 가시광선 영역에서 광흡수계수(optical absorption coefficient : $>10^5 \text{cm}^{-1}$)가 높아, 박막 두께가 1000~5000 Å에서도 광흡수가 모두 일어난다. 둘째로, 비정질 실리콘의 광학적 밴드 갭은 약 1.7eV로 태양 에너지의 변환 효율이 높다.^[3]

비정질 실리콘이 상업적으로 큰 각광을 받고 있는 데는 많은 장점을 갖고 있기 때문이다. 그 이유는 비정질 실리콘 박막 자체가 비정질 상태이기 때문에 유리와 같은 값싼 재질을 이용할 수 있고, 금속이나 절연막 위에도 사일렌(SiH₄) 가스를 사용하는 PE-CVD(Plasma Enhanced Chemical Vapor Deposition)로 쉽게 증착할 수 있기 때문에 제조 원가가 매우 낮다. 또한 비정질 실리콘은 250℃ 정도의 저온으로 증착하기 때문에, 대면적 기판 위에 박막 증착이 가능하며, 프린트 헤드, 복사기용 드럼, 태양전지, 그리고 대화면의 평판 디스플레이, X-ray 검출기 등에 응용이 가능하다.

2. 비정질 실리콘 박막 트랜지스터 (a-Si:H Thin Film Transistor)

비정질 실리콘 박막을 운반자의 채널로 사용하여 TFT소자를 제작할 수 있다. 그림 1은 Bottom 게이트형의 n-type TFT 구조와 전이 특성을 나타낸다. 비정질 실리콘 TFT의 제작은 금속게이트 위에 절연막(SiN_x)과 진성비정질실리콘(a-Si:H) 박막을 형성하고 난 뒤, 채널을 보호하기 위하여 다시 절연막(SiN_x)을 증착하고, 마스크 공정을 사용하여 패터를 형성한다. 그 뒤 Ohmic 접합을 위하여 n⁺ 박막과 금속을 차례로 증착하고 Source와 Drain 전극을 형성하면 Bottom 게이트형의 TFT가 완성된다. 비정질 실리콘 TFT는 고갈 모드에서 동작하는 단결정 실리콘과는 다르게 축적 모드에서 동작한다. 즉 양의 게이트 전압을 인가하면 절연막과 비정질 실리콘

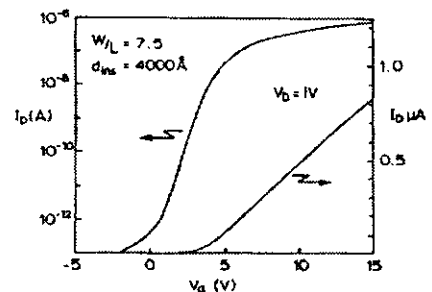
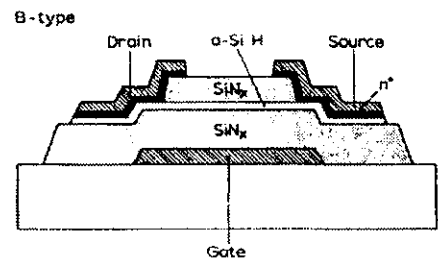


그림 1. Bottom 게이트형의 비정질 실리콘 TFT 구조 및 전이(Transfer) 특성

큰 경계면에 다수 운반자(전자)가 축적되고 이 전자들이 드레인 전압에 의하여 드레인 쪽으로 이동함으로써 큰 전류가 흐른다. 그러나, 음의 게이트 전압에 대하여서는 정공(hole)이 형성되어 채널과 n+ 사이에는 역방향의 p-n 접합이 형성되어 전자의 흐름이 차단되어 전류가 흐르지 못한다. 비정질 실리콘 TFT는 단결정실리콘에 비하여 밴드 갭 내의 국제 상태 밀도가 커서 문턱 전압은 높고, 이동도는 단결정 실리콘에 비하여 1/1000정도 낮다. 그러나 ON/OFF 전류 비는 10^6 배로 높아 스위칭 소자로는 매우 우수한 특성을 보여줌으로 LCD의 화소를 스위칭 하는 소자로 사용되고 있다.

3. 디스플레이(Display)에의 응용

기존의 CRT(Cathode-ray tube)를 사용한 TV, 모니터와 같은 디스플레이는 부피가 커서 공간을 많이 차지하고 휴대용으로는 거의 사용이 불가능하였다. 그러나, 평판 디스플레이의 하나인 LCD(Liquid Crystal Display)는 소비 전력이 작고, 부피가 작아서 게임기, Note-book PC와 같은 휴대용으로는 물론 PC용 모니터와 같은 사무용 디스플레이, TV와 같은 가정용 디스플레이를 대체해 나가고 있다. LCD에서 비정질 실리콘은 화소를 제어하는 핵심 스위칭 소자로 응용된다.

그림 2는 LCD의 구조와 동작 원리이다. 투명 전극 선이 형성된 두 장의 유리기판 사이에 액정(결정성을 지닌 액체)을 상하가 서로 90° 나 270° 비틀리도록 배향시킨다. 여기에 두 장의 편광판을 상하 기판에 액정의 배향 방향과 일치하게 서로 수직이 되도록 부착을 시키고 한쪽 면에 광원(Back-light)을 부착하여 완성시킨다. LCD의 구조는 액정의 유전 이방성과 복굴절을 이용하여 광을 제어한다. 즉 광원에서 출발한 광은 후면 편광판에 의하여 선편광 된 뒤, 액정의 비틀린 방향을 따라서 진행한다. 액정을 통과한 광은 다시 전면 편광판을 통과하게 된다. 그러나 상하 판의 두 전극에 전압을 인가하면 액정은 유전성 이방성에 의하여 액정 분자가 기판에 대하여 수직으로 일어서게 되는데, 이때 빛은 액정 분자를 따라서 비틀리지 않고 직진하게 된다. 이러한 경우 액정을 통과한 광이 전면 편광판에 의하여 완전히 차단되어 광은 차단된다. LCD는 이러한 방법으로 광을 제어하여 영상을 구현한다.

LCD는 구동 방식에 따라서 단순 행렬 방식(Simple Matrix type)과 능동행렬 방식(Active Matrix type) 방식이 있다. 단순 행렬 방식은 위에서 설명한 것과 같이 전극을 상하 기판이 서로 수직으로 배열하여 LCD를 구동시킨다. 단순 행렬 방식의 LCD는 신호 전압이 이웃 화소에도 영향을 주게 되어 전극 선 수가 증가할수록 명암 대비를 나타내는 Contrast가 급격하게 낮아져서 화질이 떨어진다.

능동 행렬 방식의 LCD는 한쪽 기판에 수직으로 전극 선이 배치되도록 하고, 전극이 교차하는 곳(화소)에 TFT와 같은

능동 소자(Active Device)를 배치시킨다. 이 능동 소자를 통하여 화소를 Control 함으로써 화소간의 크로스 톡(Crosstalk)을 제거할 수 있어 화질이 우수하다. 이러한 능동 소자의 재료로서는 비정질 실리콘을 이용한 TFT가 활용되고 있다. 이상으로 비정질 실리콘을 이용한 LCD-TFT의 동작 원리 및 구조를 간단히 알아보았다. 그러면, 이러한 동작 원리 및 구조를 실현하기 위한 전체적인 모양 및 제조 공정을 상세히 기술한다.

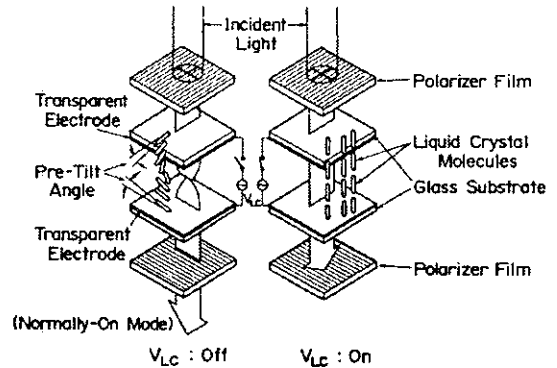


그림 2. LCD의 구조와 동작 원리

4. TFT/LCD 의 구조

그림 3에 기본적인 TFT/LCD의 구조를 보여주고 있다. 액정은 두 장의 유리 기판 즉, TFT 기판과 컬러 필터 기판으로 둘러 싸여 있다. 컬러 필터 기판은 흔히 공통 전극 기판이라고 부른다. 이 기판 위의 투명 공통 전극은 ITO(Indium Tin Oxide)로 만들어지고 컬러 필터의 위쪽에 증착되어 있다. 좋은 디스플레이를 얻기 위하여 액정의 셀갭(두 유리 기판 사이의 간격)은 특정한 값(예를 들어 $5\mu\text{m}$)으로 정확히 조정되어야 한다. 이 갭은 디스플레이 영역 전반에 대하여 균일하여야 하며 매 공정시 반복 재현성이 있어야 한다. 그래서 투명한 플라스틱 구슬과 같은 spacer가 유리기판의 표면에 위치해 있다. 이 액정셀들은 내부 액정분자들의 방향자(방향)가 공통 전극 기판과 TFT 기판 사이에서 90° 틀어져 있는 twisted nematic 타입이다. 그림 3은 교차 편광판 시스템을 나타내는데 첫 번째 편광판은 back light를 편광시키는 역할을 하며 나머지 하나는 검광판의 역할을 한다. 이 구조에서 셀에 전압이 인가되지 않은 상태에서는 빛이 검광판을 통과하여 지나가지만 액정분자들이 수직으로 정렬되기에 충분한 전압이 인가되면 빛은 차단된다. 액정은 유리 기판 표면에 고정되어 있어 그 분자들은 적절한 방향을 향하고 있다. 일정한 고정 방향을 갖도록 하기 위하여 유리기판을 폴리이미드막과 같은 유기 박막으로 코팅한 뒤 이 박막의 표면을 특정 방향을 따라 직물 천으

로 문지른다. 액정 분자는 유리기판의 표면에 대하여 약간의 기울기를 갖는다. 이 기울기를 pretilt 각이라고 하며 TFT/LCD의 전기적 광학적 특성을 결정짓는데 매우 중요한 요소로 작용한다.

TFT 기판은 TFT array와 TFT 패널을 구동시키기 위한 LSI들이 부착되는 외부 터미널 array 로 구성돼 있다. 이 구동 LSI들은 본래 수직 수평 버스 라인에 대한 주사선 발생기이다. 이 LSI 들은 TAB(Tape-Automated-Bonding) connector에 의해서 유리 기판에 직접 부착되며, 이들은 패널의 각 화소에 video signal을 제공해 주는데, 이것은 video signal 프로세서와 콘트롤러를 통해 패널에 전달되는 신호이다. 그림 4는 TFT/LCD 모듈과 콘트롤러에 대한 모식도이다.

Backlight로는 직접 조명이나 간접조명 시스템을 가질 수 있는데, 직접 조명에서는 하나 또는 그 이상의 형광램프가 Rear polarizer 바로 밑에 위치하게 되며, 간접 조명에서는 바

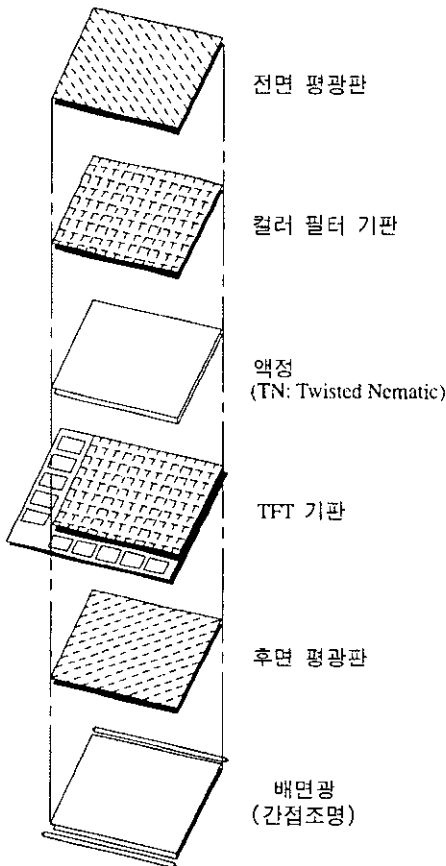


그림 3. TFT/LCD의 구성도. TFT와 color-filter 기판은 평행한 두 개의 얇은 판으로서 그 사이에 액정 층이 삽입되는 구조를 갖는다. Normally-White 디스플레이인 교차 편광판 시스템(crossed-polarizer system)을 나타내었다.

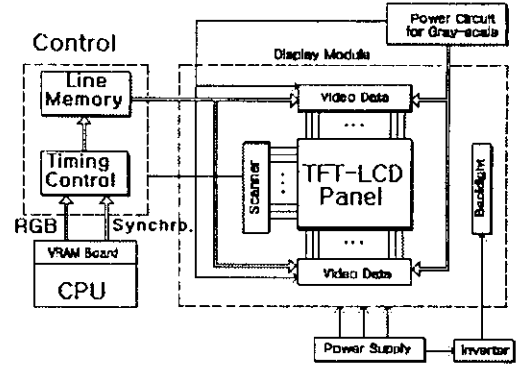


그림 4. 디스플레이 시스템의 모식도. 콘트롤러, 전원 그리고 여러 회로들이 조합되어 디스플레이를 구동하게 된다.

로 옆에 위치한 램프로부터 조사되는 빛을 guide하는 light-guide를 사용하게 된다. backlight 조명은 디스플레이 모듈을 통과하면서 점점 약해진다. 컬러 필터와 편광판의 최대 투과도는 각각 1/2과 1/3이므로 결과적으로 1/6의 효율을 갖는 것이다. 화소의 개구율은 이 값을 더욱 줄여들게 만든다. 가령 개구율이 50%라고 할 때 효율은 약8%가 된다. 그러나 이것은 단지 전체 시스템의 투과 한계에 지나지 않으며 실제적으로 전체 효율은 약 3-6%에 지나지 않는다. Backlight로는 일반적으로 삼파장형(three-wave-type)의 조명이 쓰이고 있다.

그림 5는 TFT/LCD의 개략도를 나타낸 것이다. 두 개의 busline 즉, 수평 gate busline과 수직 data busline이 있으며 TFT는 이 두 개의 busline의 교차 부에 위치하여 액정셀에 인가되는 전압을 turn on 시키거나 turn off시키는 역할을 한다. 이 셀은 등가회로상의 capacitance로 나타내어지며 충전 신호를 효과적으로 유지 시켜주는 역할을 하는 storage

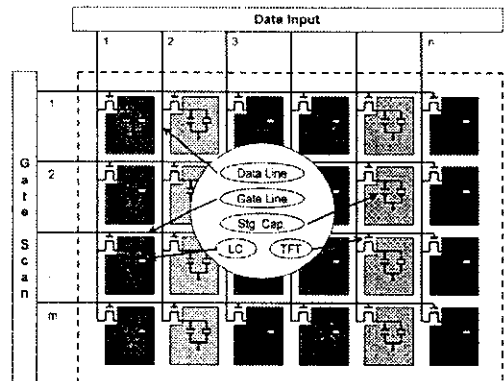


그림 5. TFT/LCD의 개략도. 이 특정한 구조는 컴퓨터 터미널 디스플레이에 쓰이고 있으며 각 화소는 사각형의 형태로 설계되고 3개의 RGB subpixel(혹은 dot)로 구성돼 있다.

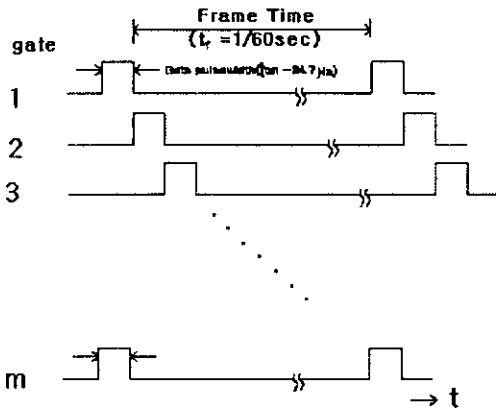


그림 6. TFT/LCD의 timing chart.패널은 초당 60-70 프레임의 주기로 refresh된다. 초당 480개의 gate busline에 60 프레임이면 gate select time 또는 gate pulse 폭은 34.7 μ sec가 된다. 화소전극은 이 주기동안 신호전압으로서 완전히 충전되어야 하며, 다음 충전 순서가 올 때까지 반드시 이 신호전압을 유지하고 있어야 한다.

capacitor 또는 부가 capacitor(C_{st} 또는 C_{add})가 이것에 병렬로 연결되어 있다. 이 capacitor에 대해서는 다음절에 자세히 설명하기로 한다. Color filter는 작은 조각의 R, G, 그리고 B의 형태로 구성되며 이들이 한 화소를 구성하는 것이다. 디스플레이는 한 번에 한 line이 구동된다. 즉, gate가 turn-on돼있는 시간 동안 video signal들이 data buffer를 통해 동시에 data busline으로 전송되는 것이다. 한(예를 들어 i 번째)gate busline에 인가된 gate 전압 펄스는 이 busline에 연결돼 있는 TFT들의 gate를 열게 된다. 그러면 이 gate busline에 있는 각 dot의 화소 전극에 신호 전압이 인가된다.

TFT/LCD의 신호 주사에 대한 timing 도표가 그림 6에 나타나 있다. i 번째 gateline에 있는 TFT들을 turn on시키는 주기인 t_{ON} 은 다음과 같은 식으로 주어지며 여기서 m은 gate-line의

$$t_{ON} = (mf_F)^{-1} \quad (1)$$

수이고 f_F 는 프레임의 주파수이다. 만일 프레임 주파수가 60Hz이고 480개의 gate bus-line이 있다면, t_{ON} 은 34.7sec가 될 것이다. 이러한 시간주기 동안 capacitance(액정 셀과 storage capacitor)는 완전히 충전되어야 한다. 이 충전 주기 후에 i 번째 gate-line의 액정 셀들은 data line으로부터 cut off되고 i+1 번째 gate-line에 연결되어 있는 셀들이 충전된다. 이러한 셀의 cut off는 완벽히 이뤄져야 한다. 왜냐하면 다음 충전 단계에 이르기까지는 충전된 전압을 그대로 유지하고 있어야 하기 때문이다. 만일 어떠한 이유로든지 TFT의 off 전류가 증가하게 된다면, 충전되었던 신호전압은 점차 방전되어

cross talk을 유발할 것이며 화질을 떨어뜨릴 것이다. 사실상 cross talk의 가장 흔한 이유는 강력한 backlight에 의해 유발되는 photo-current에 의하여 누설 전류가 증가하기 때문이다.

그림 7은 TFT/LCD 화소의 단면도를 나타낸 것이다. TFT와 storage capacitor, 그리고 금속 busline들은 TFT 유리 기판에 제작되며 color-filter, black matrix, 그리고 공통 전극은 color-filter 기판에 제작된다. 이들 기판의 표면은 polyimide resin 막으로 코팅돼 있으며 액정 분자를 배향시키기 위해 직물 전으로 문질러진다. 액정은 TFT 기판과 color-filter 기판의 사이에 주입된다. TFT는 bottom-gate 구조를 가지며, 흔히 inverted-staggered electrode 구조라 한다. a-Si:H TFT는 빛에 매우 민감하며 backlight로부터의 강력한 조명은 gate 전극에 의해서 반드시 차단되어야 한다. 따라서, a-Si:H 부분(island)이 그림 7에서 보는바와 같이 gate 전극 영역 내에 위치하는 것이 중요하다. color-filter 기판의 위쪽 표면으로부터 입사되는 빛은 black matrix(BM)에 의해 차단된다. 또한 이 black matrix는 busline과 화소 전극 사이 간격을 덮는다.

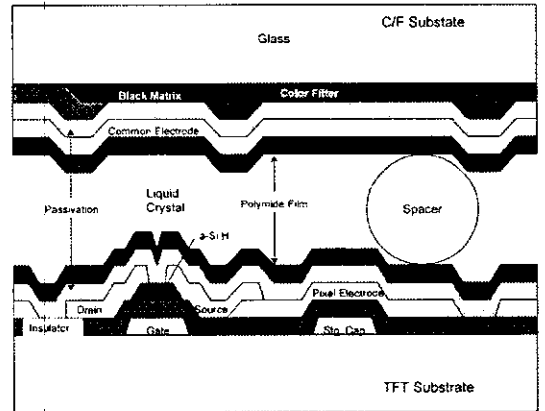


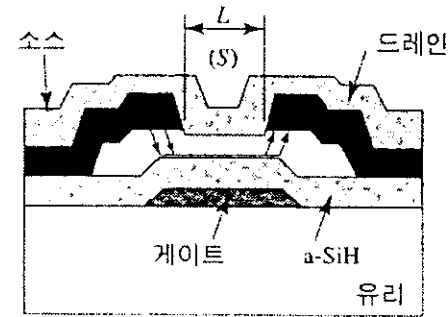
그림 7. TFT/LCD 화소의 단면 구조. polyimide 막은 액정분자들이 알맞은 방향으로 배열되도록 문질러진다. Spacer의 액정의 셀 gap을 의미하며 ~5 μ m 정도의 크기를 갖는다.

5. TFT/LCD의 제조

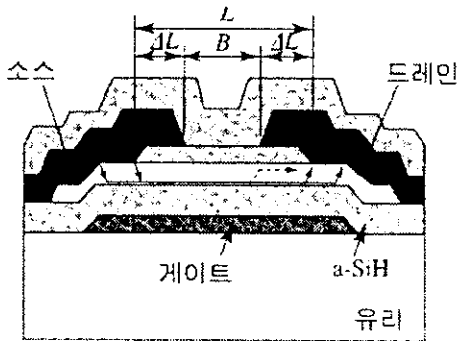
TFT 공정은 다양한 요구들을 만족하여야 한다. 왜냐하면, 박막, 저온, 대면적, 미세 패턴 등의 공정이기 때문이다. 셀 갭(액정의 두께)은 대략 5 μ m 정도이다. 두꺼운 막 공정은 이러한 작은 갭과는 양립할 수 없다. 그래서, TFT 공정은 박막 공정이어야 한다. 저온에 대한 요구는 투명한 유리 기판이기 때문이고, 미세 패턴은 고품질에 대한 것이다. TFT/LCD의 공

정은 제조 단가를 낮추기 위해 많은 연구 및 개발이 이루어졌고, 특히 7mask에서 5mask로의 변화는 제조 단가의 획기적인 저감과 대면적 생산의 issue와 맞물려 현재 한국이 세계의 market share의 거의 절반에 육박할 수 있는 밑거름이 된다.

TFT의 모양은 제조 공정에 따라 크게 두 가지로 구분되며 이중 inverted stagger 형의 대표적인 모양은 다시 두가지의 모양으로 구분된다. 그림8(a)모양이 소위 BCE(Back Channel Etched)형이고, (b)의 모양이 CHP(Channel Passivated)형이다.



(a) BCE



(b) CHP

그림 8. inverted staggered electrode a-Si:H TFT의 단면구조
(a) back-channel etched,
(b) channel-passivated 구조

7 mask의 공정 흐름의 개략도를 그림 9에 보여주고 있으며 이 공정은 기본적으로 TFT 제조와 같다. 그러나, 추가적으로 다음의 부분들이 만들어져야 한다. 게이트, 데이터 버스라인, 저장 축전기, 투명 화소 전극 등이다. 투명 화소 전극은 Indium-Tin-Oxide (ITO)의 타겟을 스퍼터링하여 패터닝한다. 진공 Chamber 안에서 mTorr의 압력 하에서 Ar기체로 스퍼터링한다. 그 뒤 ITO막은 질산과 염산의 수용액에서 패터닝된다. ITO막은 박막 공정으로 진행되고 가시광 스펙트럼에서 빛에

대한 90%이상의 투과율을 가지고 있으며, 저항은 $10^{-4} \Omega \text{ cm}$ 이다.

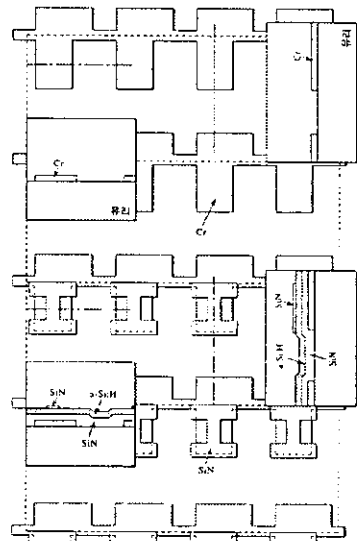
Channel passivated형의 TFT array 기판 제조 process flow를 기술하면,

- (1) gate 배선 금속 증착
- (2) gate 배선 photo-lithography
- (3) SiNx/a-Si/SiNx 증착
- (4) channel passivated 막 photo-lithography
- (5) N+ 형 a-Si 증착
- (6) a-Si island photo-lithography
- (7) ITO 막 증착
- (8) 화소 전극 photo-lithography
- (9) Via-hole photo-lithography
- (10) 신호선 전극 증착
- (11) 신호선 전극 photo-lithography
- (12) SiNx 증착
- (13) 보호막 photo-lithography

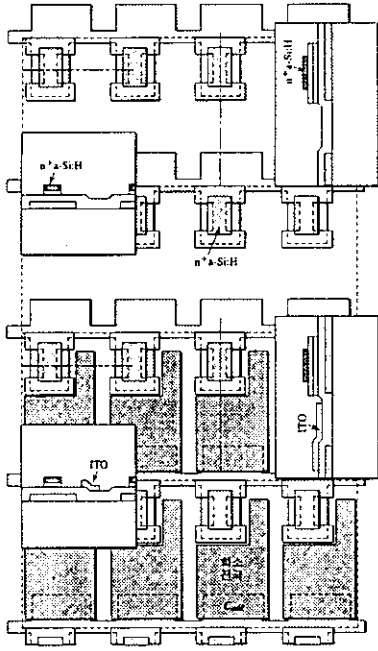
이다.

그림10에 5개 마스크 단계를 보여주는데 이는 다음과 같다.

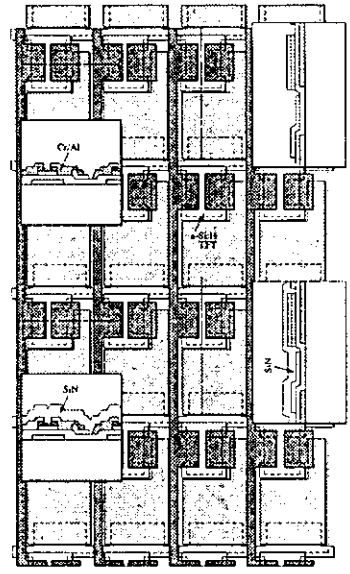
- (1) TFT의 게이트 전극과 게이트 버스라인,
- (2) a-Si:H island,
- (3) 화소 전극
- (4) 소스와 드레인 전극과 데이터 버스라인
- (5) passivation 증착 및 식각



(a)



(b)



(c)

그림 9. CHP(Channel passivated) TFT의 제조 공정 흐름도

마지막으로 패시베이션층을 증착, 식각한다. 따라서, Back-channel-etched TFT 공정에서의 표준 마스크 개수는 5개이다. 위의 channel passivated TFT의 공정은 기본적으로 7mask를 구사하고, BCE 공정은 5mask를 사용한다. 일반적

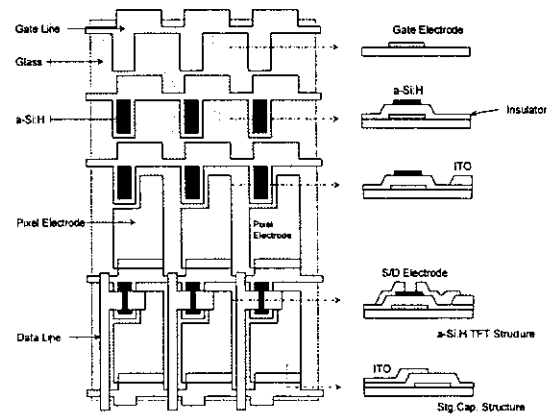


그림 10. TFT 패널을 제조시 포함되는 공정 단계의 개략도. 각 단계는 전사 사진 마우크 단계와 대응된다. 마지막 패시베이션 공정은 빠져있지만, 5개의 마스크 단계가 필요하다.

으로 mask의 사용 횟수는 다르지만 아래에 기술하는 공정의 방법은 유사하다.

무 alkali glass기판을 먼저 세정하고, 계속해서 gate patterning형성으로 start한다. 통상, patterning에는 Si 반도체 기술에서 일반적으로 쓰이고 있는 photo-lithography법 (PEP: photo engraving process 라고도 한다)을 쓴다.

5.1 photo-lithography법(PEP)

photo-lithography법으로는, 금속막 혹은 절연막 등의 patterning막이 형성될 기판을 (a)세정하고, (b) photo-resist를 spin coater를 써서 기판 상에 도포, pre-bake한다. 다음에, (c)노광 공정에서는 photo mask를 통해서 UV 광을 조사 하는 방법으로 photo-resist를 감광시키고, (d)현상, post-bake하는 것으로 photo-mask pattern을 resist pattern에 전사한다. 계속해서 (e)습식(wet) 또는 건식(dry) etching법으로써 resist로 피복되어 있지 않은 부분을 제거한다. (f)마지막으로 resist를 제거 하는 것으로 원하는 pattern이 얻어진다. photoresist에는, mask와 동일한 pattern이 얻어지는 positive형 resist를 쓰는 경우가 많지만, process에 따라서는, negative형 resist를 쓰는 경우도 있다. 이 세정, 증착, photo-lithography에 달하는 일련의 공정을, 통상 5~7회 되풀이하는 것으로 array기판이 완성되어, 최종 검사를 지나서 다음 cell 공정을 진행한다. 아래에 이것들의 개개의 공정을 자세히 설명한다.

5.2 세정 공정

세정 공정에는, 습식(wet) 및 건식(dry)이 있다. TFT array process로서는, 그림 11에 보이는 것 같은 각종의 세

정방법이 채용되어 있다. 특히 기판표면에 부착한 particle(미립자의 오염물질)은, array 기판의 제조 가공의 경우에 직접 영향을 주기 때문에, 어떻게 효과적으로 세정 제거할지가 중요하다. 외부에서 물리적인 힘을 가하여 세정제거하는 대표적인 방법은, brush-scrubbing 세정으로, nylon brush 또는 아크릴 등의 연성 brush를 회전시켜, 거기에 기판을 통과시켜 세정한다. 이 때, chemical을 이용하여 화학적 세정을 겸용하는 경우가 많다. 초음파 세정은, 공동화(cavitation) 작용을 이용하여 particle 제거를 한다. 용액 속에서 20~50 kHz 대의 음파를 발생시키면 그 음파주기에 의해서, 음의 압력 시에는 공동이 생기고, 양의 압력 시에 이 공동이 찌그러뜨려진다. 이 때에 발생하는 충격을 이용하여, 부착 particle의 이탈, 용액 중에의 분산을 하는 방법이다. 더욱 주파수를 높게 한 1 MHz 전후의 극초음파 세정은, 진동 가속도를 이용하는 것으로 기판 표면의 damage의 저감을 꾀하고 있다.^[4] 한편, photoresist등의 유기계 오염에 대하여는, UV/O₃세정 또는 O₂ plasma 세정 등이 유효하다. 세정 후의 기판은, dry 공기에 의한 air knife, spin dry, IPA vapor등에 의해 건조시킨다.

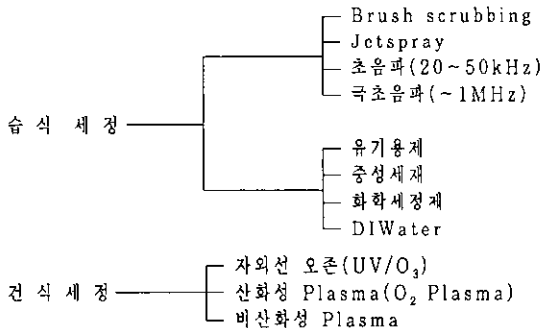


그림 11. TFT Array 제조 process 용 각종 세정 방법

5.3 박막형성공정

a-Si 형 TFT의 제조는, a-Si층, 절연막 및 금속막 등 여러 종류의 얇은 막의 형성이 필요하다. 이들은 주로 plasma CVD(chemical vapour deposition)법^[5], sputter법 또는 양극 산화법^[11]등으로 형성된다. 얇은 막의 종류와 증착 방법, 및 사용되는 원료 gas 또는 target 재료를 표 1에 보인다.

5.3.1 plasma CVD 법- a-Si 막 · SiN_x 막형성

plasma CVD 법은, 방전 plasma를 이용한 화학적 기상성장법의 하나이다. 원료 gas가 plasma 내의 고 energy 전자와 충돌 하는 것에 의해 분해, 해리하여, radical, ion이 생성되어, 이들이 공간을 확산하여 기판표면에 도달하고, 표면반응

표 1. 각종 박막의 증착 방법과 재료 가스, target 재료

증착 방법	박막	원료가스, target
plasma CVD법	a-Si	SiH ₄ +H ₂
	n ⁺ 형 a-Si	SiH ₄ +PH ₃
	SiN _x	SiH ₄ +NH ₃
	SiO _x	SiH ₄ +N ₂ O
sputter법	Al	Al(Ar)
	Ta	Ta(Ar)
	Cr	Cr(Ar)
	MoTa	MoTa(Ar)
	ITO	ITO(Ar+O ₂)
양극 산화법	Ta ₂ O ₃	양극산화액
	Al ₂ O ₃	(주석산, 에틸렌그리플)

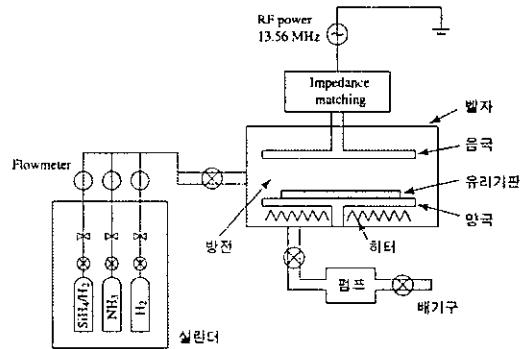


그림 12. 평행 평판형 plasma CVD 증착 장비의 구성

에 의해 막 형성이 행하여진다. 열 energy만을 이용한 열 CVD 법과 비교하여, 저온화를 꾀할 수 있는 특징이 있다. 그림 12에, 평행 평판형 plasma CVD 장치의 구성을 보인다. mass flow controller로 유량 제어된 원료 gas는, RF 전극을 겸한 shower head로부터 방전 공간에 균일하게 공급된다. a-Si나 SiN_x의 증착으로서는, glass기판이 anode측에 부착되는 것이 많다. 고주파전원에는 13.56 MHz가 쓰이지만, 더욱 주파수를 높게 하는 것으로 sheath 두께를 얇게 하여 증착 속도를 크게 하는 시도도 행하여지고 있다.

5.3.2 sputter법-금속막?ITO 막 형성

금속막 및 ITO 막의 형성에는 sputter법이 쓰인다. 이것은 PVD(physical vapour deposition), 요컨대 물리적 기상성장 방법이고 CVD와 구별된다. 그림 13에, DC magnetron sputter 장치의 구성을 보인다. target 표면에 Ar ion 입자를 가속하여 조사하여, 이 ion이 target 재료표면의 원자와 운동량을 교환하는 것으로 원자가 target로부터 떨어져, 기판에 막이 성장한다. target 표면 가까이에서의 plasma 밀도를 높

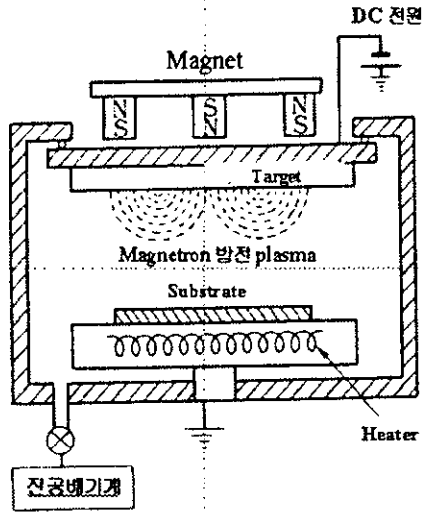


그림 13. DC magnetron sputter 장치의 구성

이기 위해서, target의 이면에 자석을 배치한 이 magnetron sputter방식이 일반적으로 쓰이고 있다.

5.4 pattern · etching 공정

pattern의 가공은 dry etching, 또는 wet etching으로 한다. 이 때 사용하는 gas 또는 용액 대표적인 것을 표 2에 보인다. 평행 평판형의 dry etching장치로는, 기판을 anode측에 둔 PE(plasma etching) mode와, cathode coupling 배치로 한 RIE(reactive ion etching) mode가 있다. PE mode는 전기적으로 중성인 radical에 의한 etching이 행하여지기 때문에, 등방성 etching로 damage도 적다. RIE mode는 반응성 ion에 의한 etching이고, 수직방향에 강한 이방성이 있는 etching이다. 이외에, 마이크로파로 radical을 생성하여, 이 radical을 기판위로 수송하여 화학반응을 이용하여 etching을 하는 CDE(chemical dry etching) 법도 쓰이고 있다. 특히 RIE는 다층막을 연속하여 etching하는 경우, PE, CDE는 선택 etching 또는 pattern 끝 부의 taper형상제어에 쓰인다.

5.5 검사공정

위의 공정을 지나서 완성한 array기판은, 공정 도중 또는 최종공정에서 몇 번인가의 검사가 행하여져, 그 품질이 관리된다. 그 하나는 광학적 결함검사방법으로 pattern형상검사이고, 또 하나는 전기적 결함검사방법이다. 후자는, 단지 배선의 단락이나 단선을 검출하는 도통 검사, TFT를 동작시켜 화소에 규정의 전압이 행하여지는 가를 admittance측정으로부터 평가하는 검사⁶⁾, 혹은 저장된 전하량을 직접 측정하는 array

표 2. dry etching, wet etching에서 쓰이는 가스와 혼합 용액

막막	Dry Etching(가스)	Wet Etching(용액)
a-Si	CF ₄ +O ₂ SF ₆ +HCl	HF+HNO ₃
SiN _x	CF ₄ +O ₂	HF+NH ₄ F
Al	Cl ₂ +BCl ₃	H ₃ PO ₄ +HNO ₃ +CH ₃ COOH
Ta	CF ₄ +O ₂ SF ₆ +O ₂	HF+HNO ₃
ITO	HI CH ₄ +H ₂	HCl+HNO ₃ FeCl ₃ +HCl

tester검사⁷⁾ 등이 있다. 이것들의 수법으로 검출한 결함의 몇 가지는, laser를 쓴 금속 막의 국소증착기술이나, laser 절단 등의 repair 기술에 의해 수리된다.

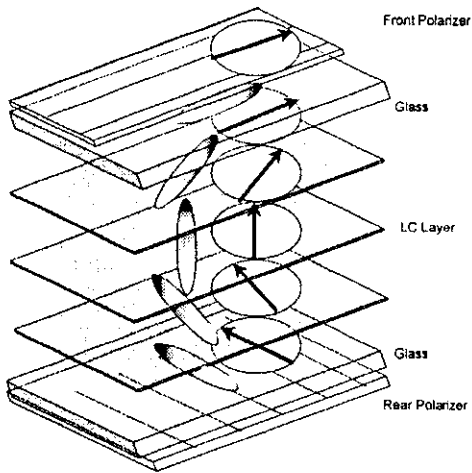
6. 액정의 동작

1971년도에 발표된 트위스티드 네마틱(Twisted Nematic) 액정(Liquid Crystal) 셀(cell)의 전기 광학적 효과는 요즘 능동 매트릭스(Active Matrix)액정 디스플레이에서 널리 이용되고 있다. 네마틱 액정 층(5 μm)은 전도성 물질이 입혀진 두 개의 유리 기판사이에 놓여 있다. 액정 분자나 방향자의 배향 방향을 양쪽 면 위의 유리 기판 표면(평평하거나 수평한 배향)에 거의 평행하게 배향시키고, 그림 14(a)에 개략적으로 나타난 것처럼 각각의 기판 위에 이 방향은 다른 기판에 대해 90°로 비틀어져 있다. 그래서 이 방향은 아래, 위 유리 기판사이에서 연속적으로 90°비틀어진다.

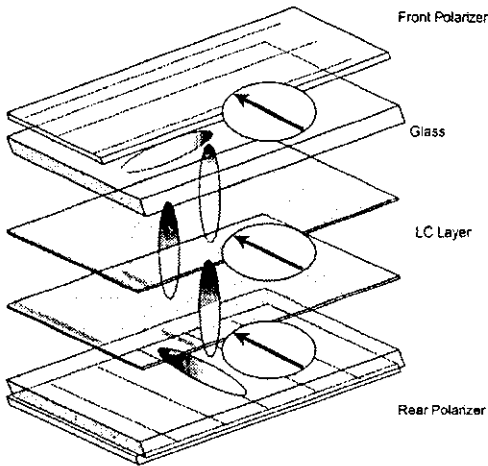
각 면 위에 액정의 수평 배향은 천을 가지고 적당한 방향으로 폴리이미드막 표면을 러빙(Rubbing) 해서 만든다.

그림 14(a)에서 TN 셀의 분자 배향. 전계가 없을 경우, 상하 유리기판 사이에서 분자 배열은 90°의 각도로 회전한다. 선편광된 빛은 셀을 통하여 투과될 때 90°회전한다.

그림 14(b)에서 충분히 높은 전계가 셀에 인가되었을 때, 분자는 유리에 직각으로 배열(수직 배열)되고 편광된 빛의 회전은 없다. 그래서 빛은 상판 편광판에 의해 차단이 되고 셀을 통해 나오지 않게 된다. 90°의 비틀림 각과 5μm의 셀 두께를 가지고 있는 폴레스테릭의 등가 피치는 20μm이다. 이 길이는 빛의 파장보다 더 크기 때문에 유리 기판에 수직하게 움직이고 있는 선편광된 빛의 편광면은 액정의 축에 대해 회전한다. 방향자의 90° 비틀림은 선편광된 빛의 90° 회전을 가져온다. 그러므로, 각각의 편광판이 수직으로 놓여있는 NW(Normally White) 모드에서는 전압이 인가되지 않았을 때도 셀을 통하여 빛이 투과된다. 셀에 인가된 전압은 방향자의 방향을 변화시킨다. 인가된 전압이 문턱 전압보다 낮으면 변화가 생기



(a)



(b)

그림 14.

지 않지만 문턱 전압에서 분자의 방향이 전계에 따라 배열을 시작하면서 유리 기판에 대해 수직하게 배열되기 시작한다. 문턱 전압보다 훨씬 높은 전압에서는 유리 표면에 인접한 영역을 제외하고는 완전히 전계에 대해 평행하게 된다(수직 배향). 그림 14(b)에서 보듯이, 이 상태에서는 TN 셀이 광학적으로 불활성 상태가 되고 선 편광된 빛은 아무런 회전 없이 셀을 통과하게 된다. 이 때, 빛의 편광은 출력측 편광판에 수직하게 되고 결과적으로 아무런 빛이 투과를 못한다.

7. 결 론

이상으로 TFT/LCD의 기초 이론과 제조 공정을 간단히 알아보았다. 위에서 언급한대로 TFT/LCD panel의 가격하락과

더불어 TFT/LCD monitor의 시장 보급이 2001년을 기점으로 본격화될 전망이다. 또한, IMT2000을 겨냥한 중소형 크기의 TFT/LCD 수요가 급격하게 증가할 것으로 예상된다. 그러나, 시장에서의 공급과 수요의 balance 등에 의한 panel의 가격하락과 신흥 제조국의 도전, 특히 대만의 추격과 중국의 신설 라인 건설 등, TFT/LCD의 제조 관련 여러 상황이 어려운 국면으로 될 가능성이 있다. 차후의 제조 경비를 줄이고 고품질의 panel을 제조하기 위한 기술의 구사, 또한 대형화를 위한 광 시야각 기술, 동작 속도를 개선하기 위한 액정의 기술, LCD panel을 이용하는 응용 분야의 개발 등 앞으로 TFT/LCD 제조의 주도국으로 자리 잡기 위한 여러 분야의 연구 개발 및 투자가 필요한 시점이라 하겠다.

참 고 문 헌

- [1] TFT/LCD, T. Tsukada, 이충훈역, 북스힐
- [2] 액정 Display 기술, 일본어, Matumoto shoichi, 산업 도서주식회사
- [3] Carlson, D.E. and C.R. Wronski, "Amorphous Silicon Solar Cells", Appl. Phys. Lett. 28(11) 671-673(1976)
- [4] W. Kern: RCA Review, 46, 81(1985)
- [5] P.G. Le Comber, W. E. Spear, and A. Ghaith, Electron Lett., 15, 179(1979)
- [6] H.P. Hall and P.R. Pilotte, SID'91 Symposium Digest, p. 682(1991)
- [7] R.L. Wisnief, L. Jenkins, and R.P. Troutman, SID'90 Symposium Digest, p.190(1990)

저 자 약 력

성명 : 이 충 훈

❖ 약 력

서울대학교 자연과학대학 물리학과(학사)
 한국과학기술원(KAIST) 물리학과(석사, 박사)
 원광대학교 물리 및 반도체학부 교수
 현대전자 기술고문
 현대 전자 TFT/LCD 연구소 소장역임
 현대전자 Display 선형연구소 소장역임