

FOG용 개량형 디지털 serrodyne 신호처리

예윤해† · 문영백

경희대학교 전자정보학부 전자전공

Ⓣ 449-701 경기도 용인시 기흥읍 서천리 1

(2000년 9월 26일 받음, 2001년 1월 18일 수정본 받음)

폐회로구성의 FOG를 위한 새로운 디지털 신호처리를 설계하고 이를 구현하였다. 이 신호처리는 현재의 디지털 Serrodyne (DS) 신호처리가 갖고 있는 문제를 해결할 수 있도록 새로이 설계된 변조파형을 이용하는 알고리즘을 ASIC으로 구현함으로써 만들어졌다. 이 신호처리를 길이가 210미터이고 광원의 파장이 830 nm인 FOG에 적용하였을 경우 달성가능한 이론적 감도는 $2.6 \text{ deg/hr}/\sqrt{\text{Hz}}$ 으로 계산되었으며, 실험결과 $3.3 \text{ deg/hr}/\sqrt{\text{Hz}}$ 를 얻었다. 또한 신호처리의 드리프트는 FOG의 광학계가 가진 Shupe효과보다는 적은 것을 확인하였다.

Keywords : SM.030, SM.020.

I. 서 론

고성능의 Fiber Optic Gyroscope(FOG)가 가져야할 기본요건으로 안정도와 정확도를 들 수 있다. 중급이상의 FOG는 단순히 회전을 측정하기보다 회전의 적분량으로서의 회전각도를 정확하게 측정해야 하며, 따라서 고성능 FOG는 회전을 '0' 근처에서만뿐만 아니라 전 측정범위에 걸쳐 분해능과 정확도를 유지해야 한다. 이를 위해서는 안정성이 우수한 FOG와 신호처리를 필요로 하며, 이를 위해서는 폐회로 FOG를 사용하는 것이 일반적이다. 폐회로 FOG를 위한 대표적인 신호처리 방식으로는 serrodyne 신호처리가 있으며, 아날로그 방식과 디지털 방식이 있으나 회로구성과 성능 상에서의 장점으로 digital serrodyne(DS)방식이 일반적으로 사용되고 있다. Serrodyne 신호처리방식에서는 회전에 의해 발생된 Sagnac 위상차를 상쇄시키기 위해 비가역적 위상편이를 인가하며, 이를 위해 집적광학위상변조기(Integrated Optics Phase Modulator: IOPM)나 주파수 편이기와 같은 광대역 위상변조소자를 사용해야 한다. 광대역 위상변조소자의 경우 광섬유와의 접속손실 및 소자 자체의 손실로 광효율이 낮고, 비싸며 부품의 수급이 용이하지 않다는 등의 단점에도 불구하고 이 방식의 FOG가 갖는 우수한 안정성 때문에 중급이상의 FOG를 구현하는데 일반적으로 사용되고 있다.

그러나 DS신호처리방식의 경우 FOG가 정지상태에 있거나 회전속도가 느릴 경우 드리프트를 제어하기 위한 신호가 발생하지 않을 수 있으며, 드리프트 제어신호와 회전을 측정신호가 서로 영향을 줄 수 있기 때문에 측정오차가 발생할 수 있다. 또한 제어회로의 특성상 dead zone이 존재하는 문제점이 있다. 따라서 본 논문에서는 DS신호처리가 갖는 문제점을 비교적 간단히 해결할 수 있는 새로운 신호처리 방식인 Modified DS(MDS)신호처리를 제안하고, 이를 구현하여 실험한 결과를

제시하였다.

II. 개량형 디지털 신호처리

2.1. DS 신호처리

DS 신호처리^[1]에서는 비가역적인 위상차를 얻기 위하여 ' $f_p \tau = 1$ '의 조건을 만족하는 펄스폭 τ 를 가진 그림 1(a)의 phase ramp를 사용하며, phase step의 높이 ϕ_s 는 그림 1(b)에서 보인 바와 같이 $\Delta\phi_{NR}(t) = \phi(t) - \phi(t - \tau)$ 의 크기가 회전에 의한 비가역적 위상편이량($\Delta\phi_R$)과 같도록 제어된다. Phase step의 높이를 제어신호를 얻기 위해서는 그림 1(c)의 dynamic

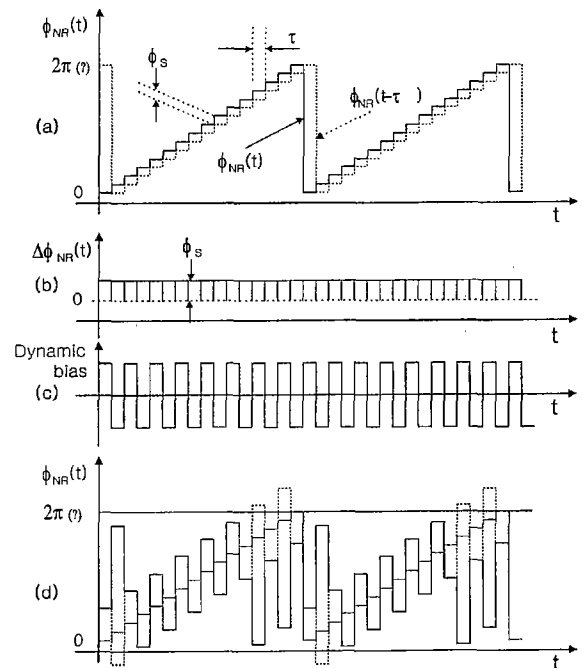


그림 1. DS 파형.

†E-mail: yhyh@nms.kyunghee.ac.kr

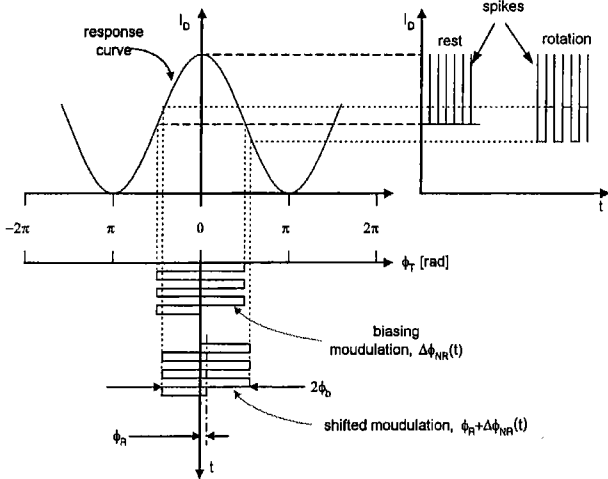


그림 2. 구형파 위상변조시의 간섭계 출력파형.

bias를 phase ramp에 추가하며, phase ramp에 dynamic bias가 추가된 DS 파형을 그림 1(d)에 보였다. 그림 1(d)에서 파선으로 그린 파형은 phase ramp에 단순히 dynamic bias를 더한 파형이며, 실선은 정현함수의 2π 주기성을 고려하여 파선의 파형에서 2π 를 초과하는 경우 2π 를 뺀 값으로 DS 파형이다. 그림 1(d)의 DS 파형이 IOPM에 인가되고 ' $\phi_s = \Delta\phi_R$ '의 조건이 만족되지 않은 경우 간섭계의 출력은 그림 2에서와 같이 spikes가 포함된 구형파가 된다. 따라서 serrodyne 신호처리는 그림 1(d)의 serrodyne파형을 IOPM에 인가되되 간섭계의 출력이 구형파 대신 spikes를 가진 직류신호가 발생되도록 serrodyne파의 step을 제어하는 회로이다.

2.2. DS 신호처리 방식의 문제점

그림 3은 (주)도남시스템에서 제작된 센서루프의 길이 210 m, 광원 파장 830 nm인 FOG (DN-FOG)^[2]의 DN-FOG의 광학계를 보인 것으로 개회로와 폐회로 FOG로 동시에 사용될 수 있도록 구성되어 있으며, 여기서 Fiber Phase Modulator (FPM)은 광섬유 위상변조기를 보인 것이나 여기에는 신호를 인가하지 않았으며, 빛이 원형고리로 그려진 센싱루프를 한바퀴 도는데 걸리는 시간, τ 는 1.05 μ s이다. 그림 3과 같은 구성의 광학계를 고성능 FOG시스템으로 구현하고자 할 때 일반적으로 가장 널리 사용되는 신호처리 방식인 DS 신호처리의 원리는 앞에서 소개된 바와 같다. 그러나 이 신호처리가 안정성을 갖기 위해서는 그림 1에서 phase ramp의 피크간 전압을 2π 로 제어하여야 한다. 즉 DS 신호처리에는 2개의 제어루프가 존재하여야 하며, 이 중 하나는 phase step의 높이를 제어하기 위한 것이고, 나머지는 phase ramp의 높이를 제어하기 위한 것이다. 그림 4는 phase step이 ϕ_s 이고 펄스폭이 τ 인 DS 파형과 DS 파형이 FOG내부의 IOPM에 인가되었을 때 Sagnac 간섭계에 유도되는 위상변조량 $\Delta\phi(t)$ 를 자세히 그린 것이다. Phase ramp의 step이 ϕ_s 일 때 $\Delta\phi(t)$ 는 직류값 π_s 에 진폭이 π 인 구형파를 더한 것과 같으며, step제어 루프는 π_s 가 회전에 의해 Sagnac 루프에서 발생된 비가역적 위상차 $\Delta\phi_R$ 를 상쇄할 수 있도록 동작한다. Phase ramp의 진폭 제어

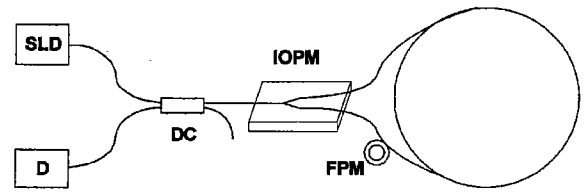


그림 3. DN-FOG의 구성도. SLD: Superluminescent Diode, D: Detector, DC: Directional Coupler, IOPM: Integrated Optic Phase Modulator, FPM: Fiber Phase Modulator.

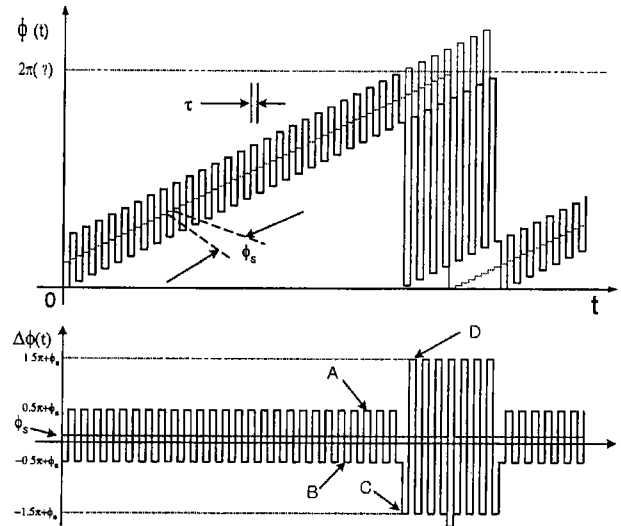


그림 4. DS 파형의 상세도.

를 위해서는 phase ramp에서 파선으로 그린 파형이 있는 부분을 이용하며, 이는 진폭제어가 이루어진 경우 'D'시점에서의 간섭계의 출력은 'B'시점에서의 간섭계의 출력과 같으나 phase ramp의 진폭이 2π 보다 작거나 큰 경우에는 'B'시점에서의 간섭계의 출력보다 크거나 작게 되는 점을 이용한다.

DS 신호처리를 실제 구현함에 있어서 문헌상으로 알려진 위의 신호처리 이론만으로는 많은 문제가 있으며, 이들 문제 중 중요한 것 몇 가지만 다음에 요약 정리하였다.

a. FOG가 정지상태에 있거나 회전속도가 느릴 경우 phase step의 높이가 '0' 또는 '0'에 가까운 값으로 유지되기 때문에 phase ramp의 높이를 제어하기 위한 신호가 발생하지 않을 수 있으며, 발생주기 또한 회전을 따라 변한다. 제어신호의 발생주기가 느릴 경우 다음 제어 때까지의 기간동안 phase ramp의 높이에 오차가 발생할 수 있으며, 이는 곧 회전을 측정 오차로 나타나게 된다. 따라서 주어진 DN-FOG의 경우 phase ramp의 높이를 디지털 제어하고, 제어출력을 IOPM 인가신호로 변환하기 위해 사용되는 디지털-아날로그변환기 (Digital-to-Analog Converter: DAC)의 비트수가 12 비트이고, DAC출력의 phase ramp의 높이에 대한 영향을 5%로 제한한 경우 최대 153.5 μ rad (37 deg/hr)의 측정오차가 발생할 수 있으며, 드리프트를 야기하는 요인이 온도변화만일 경우를 가정했을 때 온도에 따른 신호처리 출력은 그림 5와 같은 오차가 발생할 수 있다. 이러한 문제를 해결하기 위하여 FOG업체에서는 FOG에 별도의 온도센서를 부착한 다음 calibration 과

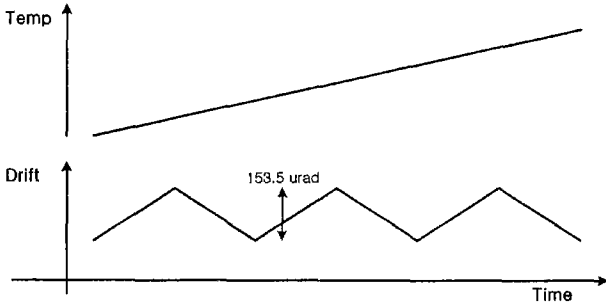


그림 5. 기존 방식을 적용했을 때 DS 신호처리기의 드리프트.

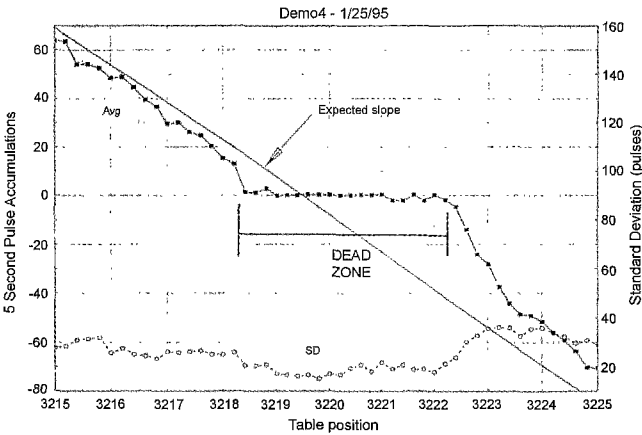


그림 6. DS 신호처리기의 dead zone의 예.^[3]

정에서 온도에 따른 오차를 측정하고, 이를 별도로 보상하는 방법을 사용하는 것으로 알려져 있다.

b. 두 개의 제어루프를 제어하기 위한 신호가 상호 관련되어 있다. 따라서 phase ramp 높이의 오차는 회전을 측정값의 오차를 야기시킬 수 있다.

c. 제어회로의 특성상 dead zone이 발생한다.^[3] (그림 6참조)

2.3. 개량형 DS 신호처리

앞에서 요약된 3가지 문제는 중급이상의 FOG 시스템을 구현하기 위하여 신호처리에서 반드시 해결이 되어야하는 문제로서 FOG기술 선진국에서도 최근에서야 해결한 것으로 알려져 있다.^[3]

본 논문에서는 앞에서 제시된 문제들을 해결하기 위한 phase ramp의 설계연구를 통하여 그림 7의 파형을 설계하였다. 그림 7의 MDS 파형을 위상변조기에 인가할 경우 간섭계의 출력은 그림 8과 같이 되며, 이 그림으로부터 phase step 루프가 lock되지 않은 경우 '(A-B)+(C-D)'의 값은 피드백 량의 정도에 따라 양 또는 음의 값을 갖게 되며, lock된 경우에는 '0'으로 유지된다. 또한 phase ramp의 크기가 '2π'보다 크거나 작은 경우에는 '(A-C)+(B-D)'의 값이 음 또는 양의 값을 갖게 되며, phase ramp의 크기가 '2π'인 경우에는 '0'으로 유지된다.

그림 7의 파형을 위상변조기 구동신호로 사용할 경우에는 phase ramp의 진폭을 제어하기 위한 신호가 FOG가 정지해

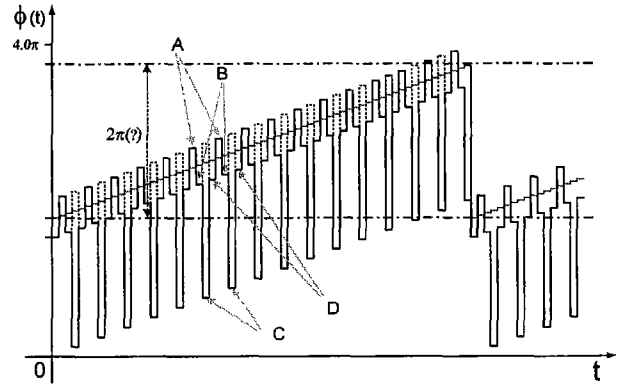


그림 7. 고안된 MDS 파형.

있는 동안에도 발생되며, 두 개의 피드백 신호가 완전히 분리되므로 제어가 용이하고 이에 의한 오차발생 요인 또한 제거된다. DS 신호처리기에서 발생하는 dead zone의 문제는 피드백 량의 양자화 및 루프이득이 유한하기 때문에 발생하는 문제로서 이를 해결하기 위해서는 제어루프가 lock된 경우의 간섭계 출력에 포함된 오차신호를 이용함으로써 해결 가능하나 아직은 시도되지 않았다.

III. MDS 신호처리기 설계

3.1. 회로구성

위에서 기술한 알고리즘을 채용한 MDS 신호처리용 FOG 시스템의 광학부 구성은 그림 3과 같으며, 자세한 내용은 참고문헌 [2]에 자세히 기술되어있다. MDS 신호처리기는 광원의 제어를 위한 광원구동부, 광검출기에서의 광신호입력을 증폭한 다음 디지털 데이터로 변환하는 아날로그-디지털 변환기(ADC), MDS신호처리용 디지털 회로에서 발생된 2종의 제어신호를 아날로그 값으로 변환하기 위한 2개의 DAC 등의 아날로그 회로와 MDS신호처리용 디지털 회로로 구성된다.

우수한 성능의 MDS 신호처리기를 위한 전제조건으로는 그림 8의 출력파형으로 그려진 것과 같이 잡음이 최소화되고 왜곡이 없는 깨끗한 출력파형을 얻을 수 있어야 한다. 이를 위해서는 IOPM 구동 신호가 그림 7과 같이 rising time과 falling time이 '0'이고 펄스의 모양이 완전해야함을 의미한다. 따라서 DAC의 transition time은 무시될 수 있을 정도로 작아야 하고, 광검출기의 전류출력에서 ADC까지 회로의 대역폭이 무한해야 하며, 동시에 이들 회로에서 발생하는 잡음과 이들 회로 외부로부터의 잡음, 특히 디지털 회로로부터의 잡음 유입이 차단되어야 함을 의미한다. 그러나 DAC의 유한한 transition time, 증폭기의 유한한 대역폭, 그림 8의 출력파형에서 보이는 FOG고유의 spikes, 그리고 특히 디지털 회로로부터 유입되는 잡음은 ADC 입력신호에 영향을 미쳐 A-D의 상대적인 레벨을 유지할 수 없게 함으로서 안정적인 신호처리기를 구현하는 것을 어렵게 한다. 또한 이들 요건의 불완전한 충족은 MDS 신호처리기의 성능을 크게 저하시키게 된다.

그림 8에 가까운 MDS 출력을 얻기 위해 실제로 사용된 소

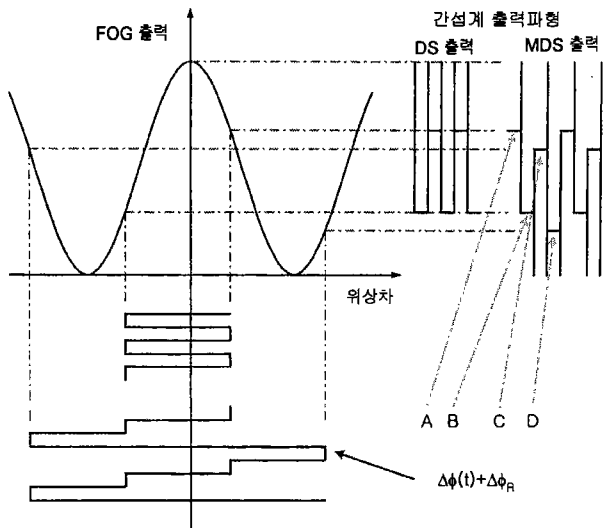


그림 8. MDS파형 인가 시 FOG의 출력.

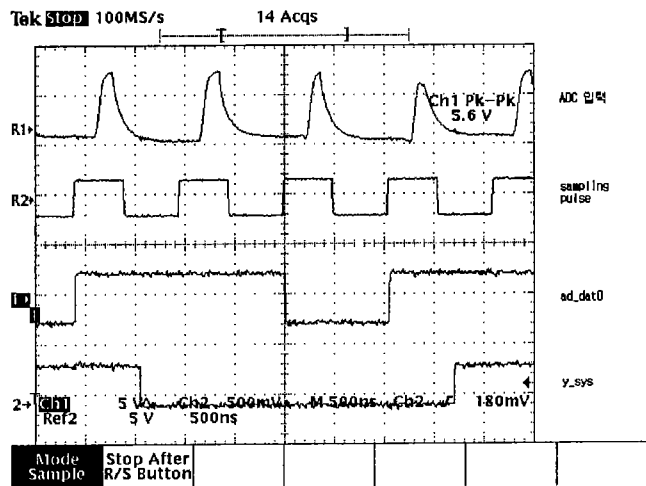


그림 9. MDS 파형. (a) simulation, (b) 측정파형.

자와 회로를 이용한 simulation을 통하여 회로를 설계하여 그림 9의 MDS 파형을 얻었다. 여기서 맨 위 파형이 MDS 신호로서 8개의 파형을 평균하여 얻은 것이다.

그림 10은 MDS 신호처리를 위한 모든 디지털 회로를 모은 Field Programmable Gate Array(FPGA)의 블록 구성을 보인 것으로 lock state checker는 그림 8의 출력파형을 이용하여 phase step케환루프의 lock상태를 감시하기 위한 부분이며, ramp step controller와 digital ramp generator, dynamic bias adder는 그림 7의 MDS 파형을 발생시키는 부분이다. 그리고 modulation depth controller는 phase ramp의 진폭을 제어하기 위한 부분으로 이를 위한 제어신호는 알고리즘에 의해 항상 발생되도록 설계되어 있다. 회전을 데이터인 ramp step은 digital integrator에서 averaging후 data mux와 마이크로 콘트롤러 또는 PC 인터페이스를 통하여 회전을 정보를 출력한다. 그림 11에서 ASIC은 Altera사의 FLEX10K40 1개를 이용하여 구현되었다.

그림 11은 MDS IC를 채용한 신호처리기의 개략도를 보인

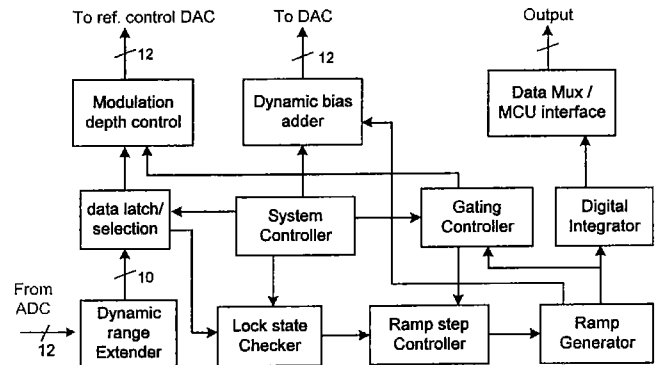


그림 10. MDS IC의 블록 구성도.

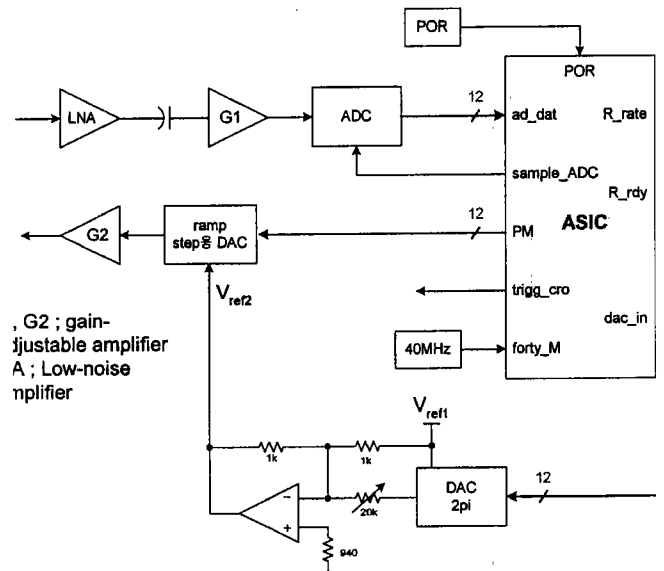


그림 11. MDS IC를 채용한 신호처리기의 개략도.

것으로 광원 구동부는 제외되어 있다.

그림 12~그림 14에서는 MDS 신호처리용 ASIC을 이용하여 만들어진 MDS파형을 보인 것으로 FOG의 회전방향과 회전속도에 따른 MDS파형의 변화를 볼 수 있다. 그림 12는 IOPM에 인가된 MDS파형으로 회로의 불완전에 따른 overshoot와 잡음이 추가된 것을 볼 수 있으며, 그림 13과 그림 14는 FOG를 시계방향 또는 반시계 방향으로 임의의 회전율로 회전시킬 때의 MDS파형의 변화를 보인 것으로 ramp step이 회전에 따라 변화하고 있으며, 따라서 신호처리기가 동작하는 것을 확인할 수 있다.

3.2. MDS의 이론적 성능

실험에 사용된 DN-FOG의 경우 주기 τ 는 1.05 us이며, 신호처리기 구성에 사용된 ADC와 DAC는 12 bits를 사용하였다. 그림 8의 A-D 4개의 샘플데이터를 1개조로 사용하여 phase ramp의 step 높이와 진폭을 제어하였다. 현재의 신호처리용 회로의 설계에서는 1개조의 샘플데이터를 이용하여 측정된 회전을 정보를 이용하여 새로운 ramp step π_s 를 발생시키고, 이를 이용하여 그림 7의 MDS파형을 update한다. Update된 MDS

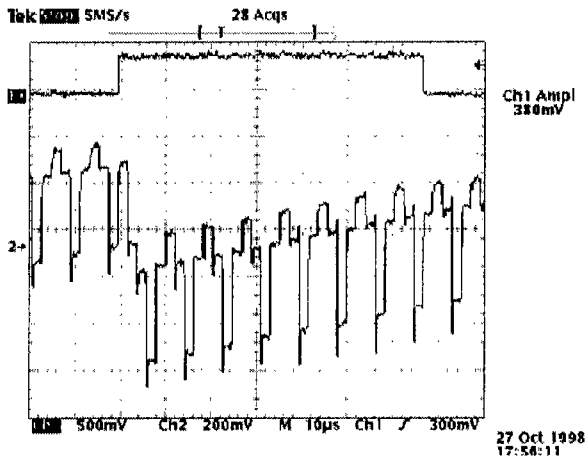


그림 12. MDS 파형발생기의 출력.

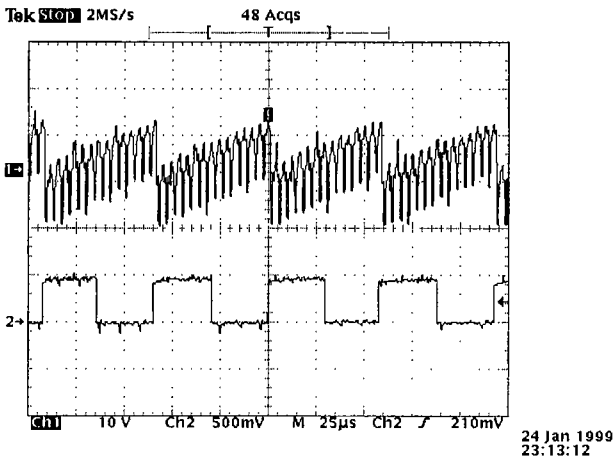


그림 13. 시계방향 고속 회전시 MDS 파형.

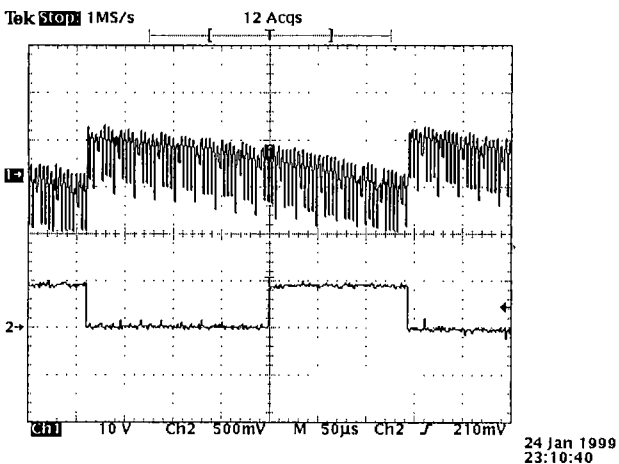


그림 14. 반시계방향 지속회전시 MDS 파형.

파형이 IOPM에 인가된 후 광학계와 회로를 거쳐 ramp-step controller로 입력되기까지는 6개 주기의 지연이 발생하며, 시스템 동기신호가 그림 8의 A~D 4개당 1개씩 발생하므로 시스템의 동기를 목적으로 2개 주기의 동안의 데이터를 잃게 된다. 따라서 현재의 디지털 신호처리는 $12.6 \mu s (=1.05 \mu s * 12)$

마다 1개의 피드백 신호가 제공되며, 이를 이용하여 12 bits의 DAC 입력이 변하게 된다.

신호처리기의 분해능은 다음 식에 따라 $10.88 \mu rad / \sqrt{Hz}$ 으로 계산되며, DN-FOG에서 이는 $2.6 \text{ deg/hr} / \sqrt{Hz}$ 에 해당한다.

$$\text{resolution} = \frac{4\pi}{2^{12} - 1} / \sqrt{1/12.6 \mu s} = 10.88 \mu rad / \sqrt{Hz}$$

진폭안정화의 경우 그림 8의 A와 C, 그리고 B와 D간의 차이를 이용하게 되며, 이를 적용함에 있어서 2가지 방법이 있다. 우선, 드리프트의 용어정의와 같이 서서히 변화는 량으로 가정하여 ramp의 진폭을 천천히 제어하는 기존의 DS 신호처리의 개념을 적용하는 경우 실현 가능한 회로변수로부터 그림 5에서와 같이 진폭제어의 한계가 $153.5 \mu rad$ 로 제한된다. FOG에서 드리프트의 주요한 원인은 IOPM의 온도 변화이므로 드리프트를 이를 보상하기 위해서 별도의 온도센서를 IOPM 주위에 부착하고, 온도에 따른 드리프트의 크기를 측정하여 다음 이를 FOG출력에서 제거해주어야 한다. 그러나 MDS신호처리기에서는 ramp진폭제어의 경우에서도 ramp step 제어의 개념을 그대로 적용함으로써 동일한 크기의 분해능, 즉 $10.88 \mu rad / \sqrt{Hz}$ 을 얻을 수 있다.

IV. 특성측정

MDS 신호처리 알고리즘을 ASIC으로 구현하고, 이를 DN-FOG와 결합하여 회전시험, 정지상태에서의 random walk 측정, 정지상태에서의 드리프트 측정을 행하고, 그 결과를 분석 정리하였다.

그림 15는 FOG를 rate table에 올려두고 회전율을 $0 \sim -200 \sim -400 \sim +200 \sim +400 \sim 0 \text{ deg/hr}$ 로 변화시키면서 측정된 신호처리기의 출력을 보인 것이다. 그림 16은 온도변화가 최소화된 상태에서 정지상태에 있는 FOG의 출력으로부터 MDS 신호처리기를 이용하여 회전율을 측정한 것으로서 FOG와 신호처리기가 이상적인 경우 "0"에서 고정값을 가져야 한다. 따라서 그림 16은 지구의 자전효과인 10 deg/hr (수원지역)을 포함하여 약 152 deg/hr 의 오프셋, 약간의 온도의존성, 그리고 $3.3 \text{ deg/hr} / \sqrt{Hz}$ 의 random walk를 보이고 있다. 여기서 오프셋은

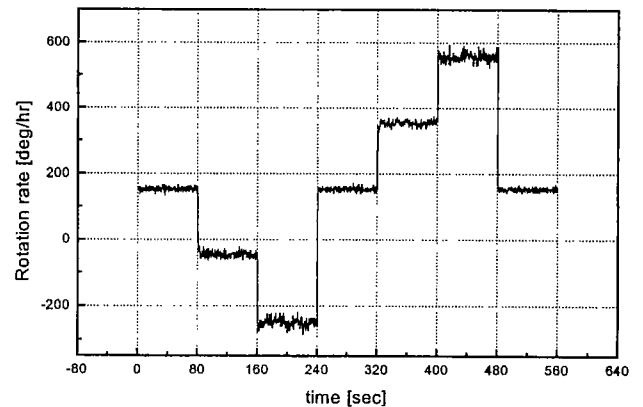


그림 15. 회전에 따른 MDS신호처리기의 출력.

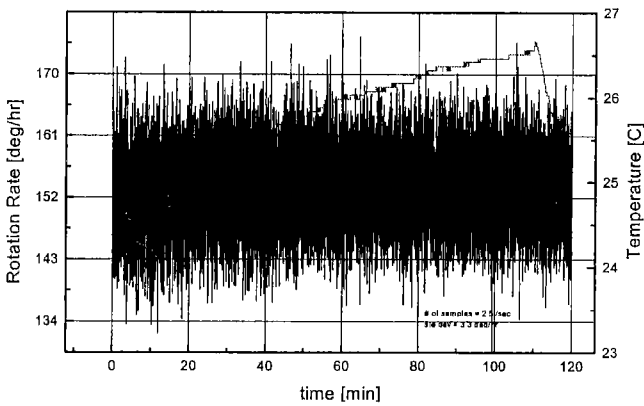


그림 16. MDS신호처리의 random walk.

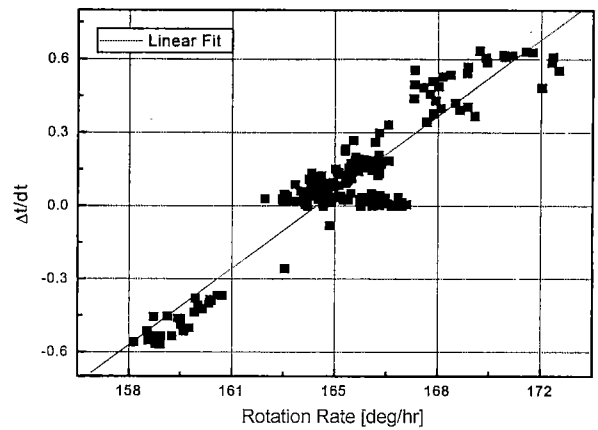


그림 19. 온도변화율과 신호처리 측정값의 관계.

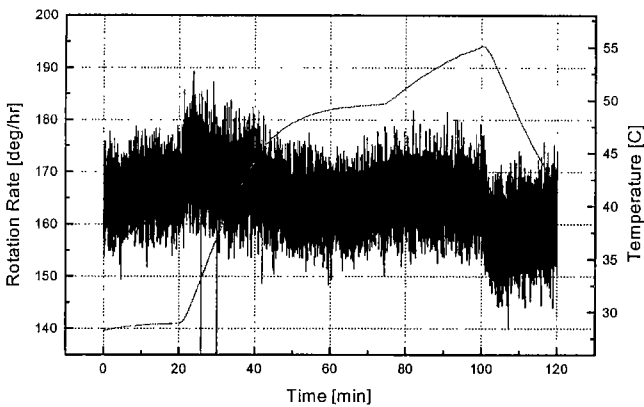


그림 17. 정지상태 FOG에서 온도에 따른 측정값의 드리프트.

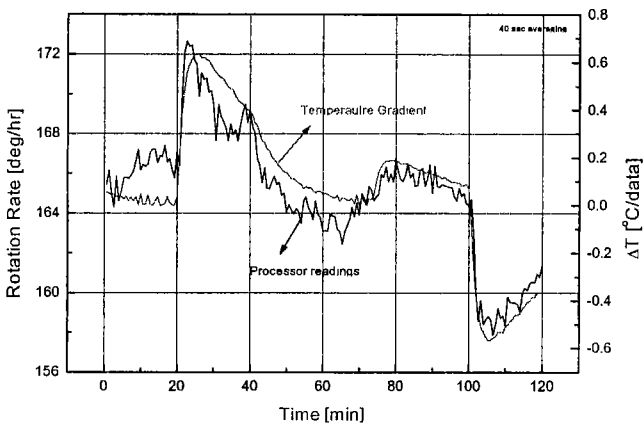


그림 18. 시간에 따른 온도변화율과 측정값의 드리프트.

FOG출력의 spikes와 증폭기의 유한한 대역폭에 의해 발생된 FOG출력파형의 왜곡에 의한 것으로 회로주변이 고정된 상황(제품화된 FOG의 경우)에서는 고정값으로 출력되므로 쉽게 보상이 가능하며, random walk는 이론적인 한계인 $2.6 \text{ deg/hr}/\sqrt{\text{Hz}}$ 에 근접하는 값으로 신호처리가 이상적인 성능으로 동작하고 있음을 보여준다.

그림 17은 정지상태에 있는 FOG의 한쪽에 팬을 부착한 다음 이것으로 열풍을 가하면서 온도를 28°C 가량 증가시키고,

냉각시킬 때는 시원한 공기를 강제로 주입함으로써 FOG에 강한 온도변화를 주었을 때 신호처리의 출력의 변화를 보인 것으로 측정온도범위에 걸쳐 9 deg/hr 의 드리프트를 보이고 있다. 그림 18은 그림 17의 데이터에서 FOG의 온도를 온도변화율로 바꾸어 그린 것으로 MDS처리 출력의 드리프트가 온도변화율에 비례함을 확인할 수 있다. 그림 19는 드리프트와 온도변화율과의 비례관계를 확인하기 위하여 그림 18의 데이터를 달리 그린 것으로 온도변화율과 드리프트가 비례하는 것으로 보아 드리프트의 원인이 Shupe 효과에 있음을 확인할 수 있다.

V. 결 론

폐회로 FOG용 신호처리장치로서 MDS 신호처리 알고리즘을 개발하고, 이를 하드웨어로 구현하여 그 성능을 확인하였다. 이 신호처리 방식은 기존의 디지털 serrodyne 방식이 갖는 문제점을 보완하는 독자적인 방식으로 현재 random walk $3.3 \text{ deg/hr}/\sqrt{\text{Hz}}$ 의 random walk와 Shupe 효과 이하의 드리프트를 갖는 신호처리를 이루었으며, 향후 신호처리용 회로 기판의 개선과 미 구현 기능의 보완을 통하여 완전한 고성능 FOG용 신호처리기로 사용될 수 있을 것으로 판단된다.

감사의 글

본 연구는 국방부 위촉 전자광학 특화연구센터의 연구비 지원으로 수행되었습니다.

참고문헌

- [1] H. Lefevre, *The Fiber-Optic Gyroscope* (Artech House, Boston, USA, 1993), Chapters 2, 8, 10.
- [2] Y. Yeh, D. I. Kim, and B. Y. Kim, "New digital closed-loop processor for a fiber-optic gyroscope," *IEEE Photon. Technol. Lett.*, vol. 11, no. 3, pp. 361-363, 1999.
- [3] R. A. Kovacs, "Fiber optic gyroscope with reduced nonlinearity at low angular rates," *AAS 1998*, paper 043.

Modified digital serrodyne processor for FOG

Yunhae Yeh[†] and Young Bag Moon

School of Electronics and Information, Electronics Major, Kyung Hee University, YongIn 449-701, KOREA

[†]*E-mail: yhyh@nms.kyunghee.ac.kr*

(Received September 26, 2000 ; Revised manuscript received January 18, 2000)

A new digital serrodyne (DS) signal processor for the close-loop fiber optic gyroscope was designed and implemented. It is based on a new algorithm that can solve the remaining problems of the existing digital serrodyne processing by utilizing a new modulation waveform. The algorithm was implemented in an FPGA and tested. Theoretical limit and experimental value of the random walk were measured to be 2.6 and 3.3 deg/hr/ $\sqrt{\text{Hz}}$, respectively. And drift of the processor is smaller than that by Shupe's effect.

Keywords : SM.030, SM.020.