

FED - 개요 및 연구동향

이 글에서는 최근 평판디스플레이로 활발히 연구되고 있는 FED(Field Emission Display)의 동작 원리, 개요 및 국내외 연구개발 동향에 대하여 소개하고자 한다. 이진호

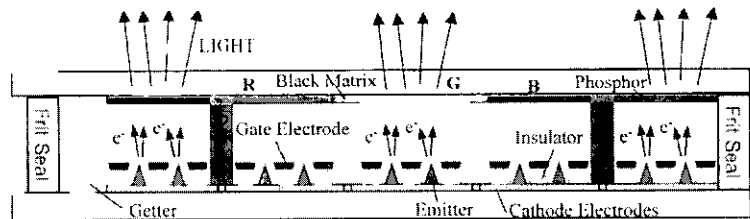
전계 방출 디스플레이(FED : Field Emission Display)는 금속 또는 반도체로 만들어진 극미세 구조의 전계 에미터(field emitter)에 전기장을 인가하여 진공 속으로 방출되는 전자를 형광체에 충돌시켜 화상을 표시하는 디스플레이 소자로서 원리적으로 브라운관(CRT)의 우수한 표시특성을 그대로 가지면서 경량 박형화가 가능하기 때문에 "Thin CRT"라고 불리기도 하며, 현재 평판 디스플레이 시장의 주종을 이루는 LCD를 대체할 수 있는 차세대 기술로 평가되어, 1990년대부터 미국을 비롯하여 프랑스, 일본 등 전세계적으로 급격한 연구가 이루어지고 있다. FED는 원리적으로 고휘도, 저소비전력, 빠른 응답속도, 광시야각, 고해상도, 우수한 칼라 표시, 넓은 사용온도 범위 등 CRT 및 평판 디스플레이의 장점을 모두 갖추고 있는 이상적인 디스플레이 소자로서 시장진입 초기에는 LCD가 약점을 갖고 있는 IMT-2000 단말기, PDA 단말기, 소형

컬러 TV, Hand-held PC 등 고휘도/저전력의 고품질 컬러 디스플레이를 중심으로 시장이 형성되기 시작하여, 점차 노트북/데스크톱 PC용 모니터로 활용될 전망이며, 2000년대 말경에는 HDTV와 같은 대형 스크린에도 사용될 수 있을 것으로 전망된다.

CRT는 가장 오랫동안 사용되고 있는 디스플레이로서 음극선 발광 원리에 의해 자체적으로 모든 색깔의 빛을 낼 수 있을 뿐만 아니라 빛의 질과 강도를 광범위하게 조절할 수 있고, 발생된 빛은 순도와 강도, 그리고 대조비를 유지한 채로 매우 넓은 시야각을 가지면서 전달되며, 제조 공정이 잘 확립되어 간단하며, 가격이 저렴하다는 장점들이 있다. 반면에,

부피가 크고 중량이 무겁고(스크린의 크기가 증가할수록 부피가 거의 세제곱으로 증가하며, 무게도 크게 증가함), 내파(implosion) 및 파괴 가능성이 높다는 문제점도 매우 심각하다.

FED는 CRT와 FPD의 특징을 공히 갖추고 있는 유일한 디스플레이라 볼 수 있다. CRT와의 부분적인 차이점을 살펴보면, CRT는 한 개(혹은 세 개)의 전자총으로 스크린을 편향/주사함으로써 화상을 형성하나, FED는 한 개의 픽셀 내에 수백 개에 이르는 전자 방출원이 있어 주사할 필요가 없고(FED의 양극 전압은 300 ~ 10,000 V이며, CRT의 경우 15~30 kV임), CRT는 열 음극 소자인 반면에 FED는 냉 음극



FED의 단면구조

• 이진호/한국전자통신연구원(ETRI) 회로소자기술연구소, FED 소자팀장/e-mail : leejinho@etri.re.kr

소자라는 점만 다르다. 동작원리는 다수의 에미터 팁으로 구성된 FEA(Field Emitter Array)는 초소형 전자총으로 동작하며, 게이트와 팁 간에 일정 전압(수십 V)이 인가되면, 전자들이 팁으로부터 양자역학적으로 터널링되어 방출된다. 방출된 전자들은 더욱 큰 아노드(anode) 전압(수백 V~수 kV)에 의해 형광체가 도포되어 있는 아노드쪽으로 가속되며, 전자들이 형광체에 충돌하게 되면 이 에너지에 의해 형광체 내의 특정 원소 내에 있는 전자들이 여기되었다가 떨어지면서 빛을 발생한다. 패널에서는 게이트 드라이버(driver)에 의해 선택되는 라인에 해당 캐소드(cathode)에 전압이 입력되어 한 줄씩 구동이 된다. 이러한 FED의 구조 및 동작 원리로부터 알 수 있듯이, 평판형으로 구성된 것을 제외하면, 마이크로 전자총을 사용하므로 CRT와 동작원리가 흡사하다.

이에 따라 FED는 빠른 응답속도, 고휘도, 저소비 전력, CRT같은 높은 색순도, 광시야각, 내한

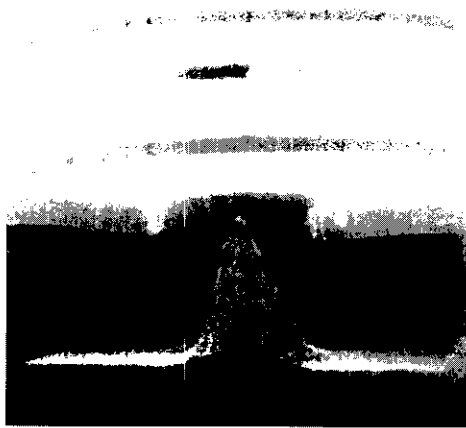
경성, 넓은 사용온도, 중소형, 대형 가능, 경박단소의 장점을 가진다.

FED를 구성하고 있는 주요기술 중 캐소드의 전계 방출은 진공 내에 있는 금속 표면에 0.5 V/\AA 이상의 전계가 인가될 경우, 금속 표면의 전위 장벽이 얇아지면서 금속 내의 전자들이 양자 역학적으로 터널링하여 진공 내로 방출되는데, 전자가 효과적으로 방출되기 위해 팁에 인가되는 전계가 최대가 되고, 방출원의 일함수가 최소가 되도록 설계하는 것이 중요하며, 이것은 각각 전자 방출원의 '구조'와 '재료'적인 특성에 관계한다. 에미터에 인가되는 전계를 증가시키는 방법으로는 방출부의 형상을 뾰족하게 형성하는 방법이 가장 효과적이며, 이것은 에미터 구조에 따라 달라지는 것으로 에미터 팁 끝의 반경에 반비례하며, 에미터 높이에 비례한다. 또한, 에미터의 일함수 등의 측면이 고려되어 지금까지 여러 가지 재료의 에미터가 개발되고 있다. 이러한 에미터를 FED에 응용하기 위하여서는 가격, 제조 방법, 방출전류, 구동전압, 신뢰도, 대면적화, 균일도 등의 변수가 종합적으로 고려되어야 한다. 전자방출원의 형태에 따라 크게 팁 형과 평면형으로 분류될 수 있으며, 팁 형의 경우에는 실리콘 팁과 금속 팁, 평면형의 경우에는 탄소 계열 박막(다이아몬드, DLC : Diamond Like Carbon, graphite 등), 표면전도에미터(Surface Conduction Emitter : SCE), MIM(Metal-Insulator Metal)이나

MISMetal-Insulator Semiconductor), CNT(Carbon-Nanotube) 등이 대표적이다. 또한 이러한 전계방출 에미터와 TFT를 접목하여 이른바 능동 구동형의 에미터 어레이(active-matrix emitter array)도 최근 많이 연구되고 있다.

팁형의 전자총 중 금속 팁의 경우, 팁의 재료로는 주로 폴리브덴을 사용하며, 높은 전류 밀도를 얻을 수 있고, 강도 및 안정성에서 우수한 특성을 지닌다. 현재 세계적으로 개발된 FED패널의 대부분은 금속 팁을 사용하며, FED가 상용화의 제1세대로 생각되며, 이러한 팁은 중소형의 패널에 우선 적용될 것이다. 그러나 이러한 방식으로는 패널의 크기를 20 인치급으로 증가시키는 데에 제약이 있다.

평면형 전자총 중 SCE는 두 쌍의 백금 전극에 PbO초미립자막을 잉크젯 방식으로 형성하고 통전함으로써 백금 전극간 중앙부의 PdO막에 10 nm 정도의 균열을 형성시키고, 그 균열 사이에서 전자가 방출되는 에미터로서 저가격화 및 대형화에 장점이 있으며, 표면전류에 비해 아노드로 날아가는 전자의 비율이 매우 낮은 단점이 있다. Canon 및 Toshiba가 SCE의 대형화할 수 있는 장점을 PDP의 1/5의 전력소모를 가지는 30~40 인치급 이상의 중 대형 디스플레이 시장 진입을 목표로 개발하고있다. MIM 구조의 에미터는 알루미늄 전극 위에 양극산화를 하여 5.5 nm의 얇은 절연막을 금속층 사이에 형성시키고 전자의 터널링에 의한



팁형 에미터 구조의 SEM 사진(ETRI)

전자방출을 이용하는 구조로, 절연층 내부에서의 전자를 발생시키기 때문에 외부 오염에 강한 장점이 있다. 또한, 평면 형에 속하는 탄소 계열 박막의 경우, 대면적화가 용이하며, 일함수가 낮고, 물리-화학적으로 안정하고, 열전도도가 큰 장점이 있어 많이 연구되고 있다. 그러나 방출 영역이 정확히 정의되지 않으며, 균일도가 크게 좋지 않고, 조절 전극인 게이트가 있는 3극 구조를 만들기 어렵다는 한계가 있다.

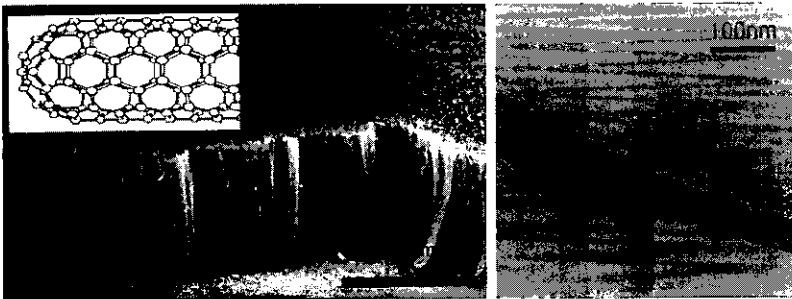
최근 연구 개발이 활발한 CNT(탄소 나노 튜브)의 경우 전계 방출 성능을 향상시킬 수 있는 두 인자, 즉 이상적인 구조와 낮은 일함수를 가지는 특징으로 인

CNT가 한 방향으로 잘 정렬된다는 장점과 선택적으로 성장된다는 측면에서 장점을 가진다.

현재 FED상용화의 문제점 중의 하나로 지적되고 있는 것은 전자 방출원의 열화(degradation) 현상이다. 소자의 손상 기구로서 방출원과 분위기 기체와의 화학적인 반응, 이온들에 의한 방출원의 역 스퍼터링, 팁 과열로 인한 손상, 방출원과 게이트 간의 아킹에 따른 의한 팁과 게이트의 파괴, 게이트 절연막의 전기적 항복(특히 시간 종속성 항복), 과전류 등으로 인한 양극의 손상(out-gassing 등) 등을 들 수 있으며, 에미터의 재료 및 구조에 따른 최적화가 필요하다. 에미터의 각 픽셀마다 구동 트랜지스터를 부착

데, 아노드에 인가되는 전압에 따라 크게 고전압 형광체와 저전압 형광체 개발로 분류되고 있다. 고전압 형광체의 경우, 3,000V 이상의 전압에서 동작하며, 형광체는 P-22 등 확립된 CRT용 형광체를 사용하여 고휘도를 얻을 수 있는데, 이것은 효율이 높고, 수명이 길고, 색 순도가 우수하며, 공급 업체들이 많다는 장점을 지니고 있다. 이러한 고전압 형광관을 아노드에 사용하는 경우, 고전압에 의한 아킹과 전기적 항복을 방지하기 위해 캐소드와 아노드 간에 일정거리가 요구되며(아노드에 5 kV의 전압이 인가될 때 1.2 mm 이상의 간격이 요구됨), 이로 인해 전자빔의 퍼짐을 방지하는 초점 조절 전극, 캐소드판과 아노드판을 지지하기 위해 큰 종횡비를 갖는 내부 지지 구조(스페이서)가 부가적으로 필요하게 되며, 또한 고전압하에서의 캐소드와 아노드의 신뢰성 확보가 상용화에 중요한 관건이 되고 있다.

한편, 저전압 형광체 FED는 1,000 V 이하의 아노드 전압에서 동작하며, 이로 인해 캐소드와 아노드 간의 간격이 300 μm 이내에 불과하여 전자선이 크게 퍼지지 않으므로 초점 조절용 전극이 불필요하고, 스페이서 재료로서 간단한 물질들(유리구나 프린트 등)을 사용할 수 있으며, 이에 따라 패널구조가 단순한 특징을 가진다. ZnS : Zn 형광체를 사용한 단색 FED를 Futaba와 Pixtech이 개발한 바 있으나, 낮은 전압과 높은 전류 밀도의 조건에서 형광체가 여기 발광하기 때문에 고



CNT 구조 schematic, 박막의 SEM 사진(군산대) 및 TEM 사진(광주과학기술원)

해 이를 이용한 FED개발이 가속화되고 있다. 이러한 CNT의 합성방법으로는 아크-방전(arc-discharge)과 화학적 증착법(CVD)이 있으며, 전자는 주로 single wall형태로 만들어지는데, silver paste와 용매 등을 섞어 screen printing방법으로 저가격으로 대형의 캐소드 기관을 제작할 수 있다. CVD에 의한 방법은

한 능동-구동 FEA는 스캔 및 데이터 구동전압을 15V 이하로 낮출 수 있어 구동회로의 가격 절감은 물론 소비전력을 크게 절감할 수 있고, 또한 FED의 특성(균일도, 신뢰성, 휘도) 및 제조 수율도 향상시킬 수 있는 장점을 가진다.

FED 아노드 기술의 경우 주로 형광체 개발에 역점을 주고 있는

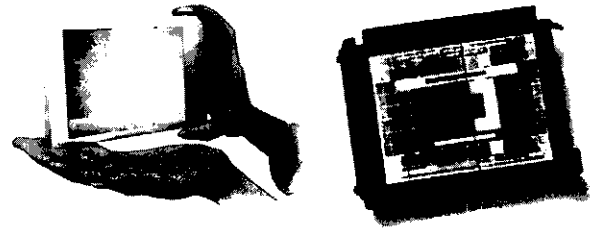
휘도를 얻기 위해서는 새로운 형광체 개발이 필수적이다. 저전압 형광체 재료 기술은 아직 완성되지 않은 상태이며, 고전압 형광체와 동일한 휘도를 얻기 위해서는 10배 이상의 전류가 필요하고, 성능, 효율, 수명 개선을 향한 노력이 필요하다. 형광체 재료합성(산화물계 등) 및 기존형광체(황화물계 등)의 표면개질 등으로 저전압에서 높은 효율의 아노드형광관을 만들기 위한 노력이 시도되고 있다.

FED는 기본적으로 진공 내에서의 전계 방출에 의해 동작하는 소자로서 패널 내부가 반드시 진공으로 유지되어야 한다. 잔류 가스가 미세홀의 내에 있을 때 방전의 원인이 되므로 최대한의 잔류 가스를 줄여주어야 하며, 이를 위해서는 우선 배기시 물질에서의 degassing을 확실히 시켜주어야 하고, degassing은 최소 400°C 이상의 온도에서 이루어져야 한다. 이와 더불어 getter를 사용하면 진공도를 향상시킬 수 있고, residual gas 효과도 줄일 수 있는데, FED의 작은 체적을 고려해 non-evaporable getter를 사용할 것으로 예상된다. FED의 패키징 공정이 가장 이상적으로 이루어지기 위해서는 충족되어야 할 여러 요건들이 있는데, 우선 진공도가 $10^{-6} \sim 10^{-8}$ Torr 범위 내에서 유지되어야 하고, 프린트로부터의 누설률이 디스플레이용 유리기관의 경우에 상당하여야 하며 (400°C에서 10^{-9} cc/sec, 20°C에서는 10^{-12} cc/sec 수준이어야 함), 프린트와 이를 통과하는 연

결 전극 간에 반응이 일어나지 않아야 한다. 실링 재료들이 이동하거나 소자를 오염시

키지 않아야 하고, 상부 및 하부 기관들과 친화성이 있어 응력을 발생시키지 않아야 한다. 가능한 저온 공정이 바람직하고, 캐소드판과 아노드판간의 정렬 및 유지가 가능하여야 하며, 패키징에 걸리는 시간이 짧아 생산성을 높일 수 있어야 한다. 아울러, 프린트 실링이 차지하는 영역이 가능한 적어 화면 영역을 최대한으로 높일 수 있어야 하며, 진공 패키징 후에 고전압에 견딜 수 있어야 한다. 현재는 tube-based 진공 패키징을 많이 사용하는데, 생산성 및 품질을 고려하면 궁극적으로는 진공 in-line 패키징 개발이 필요하다.

스페이서는 FED패널의 수십 μm ~ 수 mm에 이르는 진공 간격(vacuum gap)을 일정한 폭으로 유지하고, 외부의 대기 압력에 의하여 진공 상태에 있는 아노드 전면(face plate)과 캐소드 후면(base plate)이 붕괴되는 것을 방지하며, 소자 동작시 화소들간의 상호 간섭 현상인 crosstalk를 방지하는 역할을 한다. 이러한 스페이서들은 양극 기관 내 black-matrix 내에 위치하여 외부로부터 관찰되지 않아야 하며 50~100(m의 폭, 25 : 1 이상의 종횡비), 물리-화학적인 내구성이 있어야 하며, 가열 공정시 응

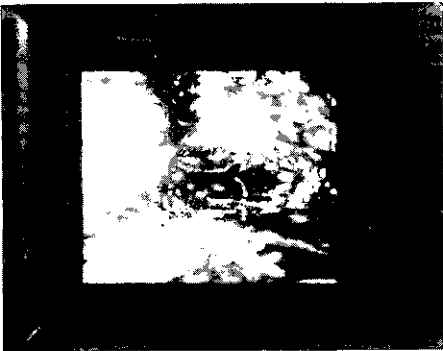


5.3 인치 FED 및 13.2 인치 FED (Candescant)

력에 의한 손상 방지를 위하여 상-하부 기관과의 열 팽창계수 등이 부합되어야 한다. 또한, outgassing, 형광체와의 반응성 등이 적어야 하고, 누설 전류가 적어야 하고, 음극-양극 간의 절연이 유지되는 범위 내에서 표면 전도성이 있어 전하 축적이 방지되어야 하며, 전기적 항복이 일어나지 않도록 2차 전자의 발생이 적어야 하며, 유리 프린트(glass frit), 폴리이미드(polyimide), 감광성 유리(photo sensitive glass), 유리 구조물(cross, pillar, rib, ball 등), 세라믹 구조물, 그리고 광 파이버(optical-fiber) 등이 사용되고 있다.

현재 FED의 생산을 목표로 하여 제품 개발에 주력하고 있는 회사들은 세계적으로 10여 개에 이르며, 나름대로 독창성 있는 구조들을 제시하고 있다. 미국과 일본에서 활발한 개발동향을 보이고 있으며, 미국의 Candescant, Motorola, PixTech, 일본의 Canon, Futaba, Matsushita 등이 제품화를 눈 앞에 두고 있다. 유럽에서는 에미터의 개발 및 형광체 재료개발에 치중하고 있다.

미국의 Candescant의 경우, "ThinCRT"로 일컬어지는 고전압 FED 모델을 개발 중이며, 최근에 이르기까지 4.4 인치, 5.3 인



4.5 인치급 탄소 나노 튜브 FED 및 5.2 인치급 금속 팁 FED(삼성)

치 13.2 인치(SVGA) 급 모듈을 순차적으로 발표하고 있다. Candescent는 ionbeam cluster 방법으로 0.12 μm 의 홀을 패턴화 하여 에미터를 제작하므로, column switching 전압을 10V 급으로 낮출 수 있어 가격 경쟁력이 높다고 할 수 있다. 또한, 전하 charging이 없이, 높이 1.25 mm/폭 55 μm 의 종횡비를 가지는 스페이서 기술을 확보하고 있다. Candescent사는 올해 2분기에 양산공장을 설립하는 것을 목표로 하고 있으며, 컬러 FED의 최초 생산자가 될 가능성이 높다. PixTech 사는 최근 미국 육군에 12.1 인치 FED(단색, 6 비트, 800 (600 화소)를 납품했다고 발표한 바 있으며, 12.1 인치, 1024 (768 화소의 컬러 FED도

개발중이다. 또한, PixTech 사는 MDT(Micron Display Technology)를 1999년 5월에 인수하였으며, 대만의 TFT-LCD 메이커인Unipac Optoelectronics Corp.로부터 2,000만 달러를 지원 받아 FED생산을 가속, 증강할 계획이다.

한편, 일본의 Canon은 FED의 일종으로, 후막 프린팅 및 잉크젯 공정을 모체로 한 저가격-대형 SED(Surface-conduction Electron Display)를 개발하였으며, 이를 토대로 Toshiba와의 협력 체제를 통해 30~40 인치급 이상의 중 대형 디스플레이 시장 진입을 목표로 하고 있다.

또한, Futaba는 고유의 VFD기술을 모체로 하여 FED기술 개발에 매진한 바 1999년 5월에 매우 우수한 성능을 갖는 7 인치급 컬러 FED패널을 개발하여 전시하였다. 아울러, Matsushita는 탄도 전자면 디스플레이라는 모델을 최근 개발한 바 있는데, 이는 다공질 폴리실리콘 박막으로부터의 전자 방출 현상을 이용한 것으로 간단한 구조, 낮은 소비 전력, 적은 투자 비용 등의 장점을 강조하고 있다. NEC 등에서는 에미터 어레이를 FED용으로뿐만 아니라 CRT의 전자총으로 열전자원 대신에 냉음극의 전계 에미터를 채택하는 연구를 최근 활발히 진행하고 있다.

국내의 경우, 삼성(종합기술원)에서는 탄소 나노 튜브를 이용한 15 인치 FED패널과 10.4

인치 금속 팁 FED패널을 발표하였다. 오리온전기에서는 5 인치급 칼라 FED패널을 제작한 바 있으며, 이 외에도 LG(전자, 디스플레이 연구소), 삼성SDI 등의 기업도 연구를 활발히 진행하고 있다. ETRI에서는 정보통신부의 지원으로 핵심기반기술을 확보하였고, 독자적인 능동구동형 에미터를 개발하여 차별성 있게 접근하고 있으며, KIST 등의 연구소, 그리고 서울대를 비롯한 여러 대학에서 FED패널 및 핵심 요소기술에 대한 연구 개발을 활발히 진행 중이다.

세계 FED시장은 2002년에 4억 달러(평판디스플레이 전체의 1.7%) 정도로 본격적인 시장 형성이 이루어지고, 2005년에는 25억 달러 이상의 시장이 형성되어 평판디스플레이 시장의 주요 디스플레이로 자리매김할 것으로 전망된다.

FED는 전자 방출원으로부터 형광체, 진공 패키징에 이르기까지 요소기술의 측면에서 아직 개발의 여지가 있고, 양산화를 위한 제품기술이 확정되지 않은 초기 개발 상태이다. 현재로서는 컬러 FED에 대하여 미국의 Candescent사가 가장 먼저 상용화가 예상되고 있으며, 소형을 시작으로 해서 차츰 그 범위를 넓혀 갈 것으로 예상된다. 또한, 처음부터 PDP와의 경쟁을 염두에 두고 중대형을 목표로 개발하는 곳도 있으며, 2000년대 말경에는 HDTV와 같은 대형 스크린에도 사용될 수 있을 것으로 전망된다.