

# HVDC 기술 동향

김찬기, 고봉언, 양병모, 이종민  
(전력연구원 송변전기술그룹 HVDC팀)

## 1. HVDC시스템의 필요성

세계각국에서는 국가간의 전력망을 연결하거나 전력 사용의 시차를 이용한 계통의 연계 그리고 1, 2차 변환기의 증설 없이 최종 단의 변압기의 용량만을 키워 DC계통을 연계하여 부하량을 늘리고 전체 계통에는 영향이 없이 전력 계통을 연결하는 DC전송에 관해서 많은 연구가 진행되고 있다. DC전송은 주상변압기를 대체하거나 태양광 전원을 계통에 연계하는 LVDC(Low Voltage DC)에서부터 대용량의 에너지를 전송하는 HVDC(High Voltage DC)까지 많이 이용되고 있으며 수요와 필요성은 앞으로도 늘어날 전망이다. DC전송은 모든 면에서 AC 전송보다 우수하다고 말할 수는 없으나 AC 전송에서 가지고 있는 단점을 보완할 수 있다는 면에서 큰 매력을 가지고 있다.

HVDC송전 방식은 아래와 같이 분류할 수 있으며:

- 1) Point to Point transmissions
- 2) Back-to-Back stations
- 3) Multi-terminal systems

또한 HVDC송전의 장점을 나열하면 다음과 같다.

- 1) 장거리 전력전송에 있어서는 AC 전송에 비하여 가격이 저렴하다.
- 2) AC 계통에 영향을 주지 않으며 대용량의 전력전송이 가능하다.
- 3) 주파수가 다른 계통과도 연계가 가능하다(일본에서 50Hz와 60Hz 계통의 연계).

- 4) 전력의 예비율을 낮출 수 있기 때문에 기존에 설치된 발전 용량을 줄일 수 있다
- 5) 계절적인 영향을 받는 수력과 화력발전소의 최적 설치비용의 하계 한다.
- 6) 개별적인 시스템의 일/월/년 부하 싸이클이 다르기 때문에 상호 연계 시스템 망의 최대 부하 값이 줄어든다.
- 7) 발전계획을 보다 크고 경제적으로 할 수 있다.
- 8) 만약 예비율이 변하지 않는다면 상호 연계 시스템의 신뢰성을 향상시킨다.
- 9) AC연계 시스템은 항상 전체 시스템의 임피던스의 감소를 유발하고 전류 용량을 증가시키나 DC 전송은 계통의 영향을 받지 않는다.
- 11) DC 계통은 주고 싶은 전력의 양과 받고 싶은 전력의 양을 조절할 수 있다.
- 12) 국가간, 지역간 전력의 수출/입이 가능하다.
- 13) 환경문제를 고려하여 외부에 발전소 Complex를 설치하여 전력을 도심에 끌어 올 수 있다.
- 14) HVDC Light는 유효전력과 무효전력의 발생이 자유롭다.
- 15) 추가적인 계통 네트 워크를 건설하지 않고 원하는 부하점에 전력 전송이 가능하다.

이상에서 논한 DC송전의 장점이외에도 HVDC 시스템은 전력을 송전하는데 있어 즉각적인 제어가 가능하기 때문에, HVDC 시스템을 AC 계통의 보조 제어기 형태로 사용할 경우에는 다음과 같은 장점이 있다.

- 1) 교류계통의 저주파진동의 억제
- 2) 과도 안정도의 개선
- 3) 계통 외란의 분리
- 4) 고립된 소규모 계통의 주파수제어
- 5) 무효전력 조정 및 Dynamic Voltage Support

## 2. HVDC 시스템의 구성 요소

HVDC 시스템과 연결된 주요 부분들은 그림 1에 양극형 시스템이 예로서 보여진다. 다른 구성들은 부분은 기본적으로 그림의 것들과 같다. 다음은 각 부분들의 단순한 예이다

### 2.1 컨버터

이것은 교류/직류와 직류/교류 변환을 수행하고 밸브 브리지와 탭 절환기가 있는 변압기로 구성되어 있다. 밸브 브리지는 6 펄스 혹은 12 펄스의 배열로 전압의 밸브와 연결되어 있다.

### 2.2 평활 리액터

평활 리액터는 각 컨버터 스테이션(station)마다 각각의 극이 직렬로 연결된 1.0H 의 고 인덕턴스를 가지며 이것의 역할은 다음과 같다.

- 직류 선로의 전압과 전류의 고조파를 줄인다.
- 인버터의 전류(轉流, commutation) 고장(failure)을 막는다.
- 경 부하시 전류의 비연속성을 막는다.
- 직류 송전의 단락 회로 동안 정류기의 전류의 파고 치를 제한한다.

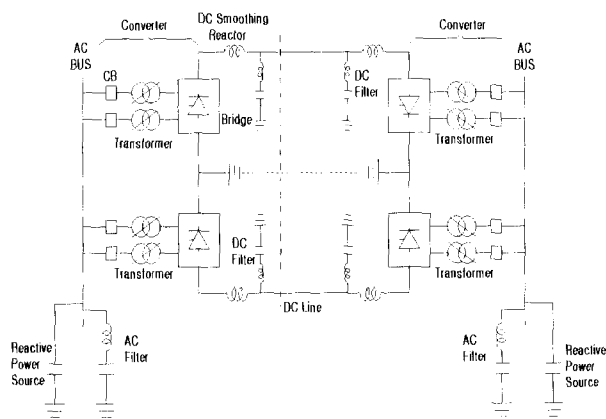


그림 1 양극 HVDC 시스템의 주요 구성요소의 구성도

### 2.3 고조파 필터

컨버터는 직류 측과 교류 측 양쪽의 전압과 전류의 고조파를 발생시킨다. 이러한 고조파들은 캐패시터와 가까운 발전기를 이상 과열시키고 통신 시스템의 혼신을 일으킨다. 따라서 필터는 직류 측과 교류 측 양쪽에 사용되어 진다.

### 2.4 무효 전력 공급원

DC 컨버터들이 본질적으로 무효 전력을 흡수한다. 정상 상태 운전 조건하에서, 실제 송전 전력의 약 50%가 무효 전력으로 소비되어 진다. 과도 상태 운전 조건하에서는 무효 전력의 소비가 더 높을 수가 있다. 무효 전력은 컨버터 근처에서 발생한다. 강한 교류 시스템(Strong AC system)에서는 분로(shunt) 캐패시터의 형태로 되어 있다. 직류 링크(link)와 교류 시스템의 요구되어진 위치에 따라 무효 전력의 발생은 동기 콘덴서들 혹은 정적 무효 보상기(동기 조상기-static var compensators)에서 생길 수 있다. AC 필터와 결합된 캐패시터는 필요로 하는 무효 전력을 만든다.

### 2.5 전극

대개의 직류 연결은 최소한의 짧은 시간동안 대지가 중성점 컨덕터로 사용된다. 대지와와의 접선은 전류 밀도와 표면 전압의 변화를 최소화할 수 있는 넓은 표면의 장소의 도체가 요구되어 진다. 이러한 도체는 전극으로 부른다. 초기에 논의된 바로는, 만약 대지를 통해 흐르는 전류를 제한하는 것이 필요하다면, 금속 귀환 컨덕터는 아마도 직류 선로의 부분으로 준비 되어야 할 것이다.

### 2.6 직류 선로

주로 가공 선로이거나 케이블이다. 수많은 컨덕터와 필요 공간을 제외하고는 교류 송전과 매우 유사하다.

### 2.7 교류 차단기

명백하게 고장이 변압기에 있거나 직류 링크(link)가 고장일 경우, 차단기는 교류 쪽에서 사용되어진다. 그것들은 명확한 직류 고장에는 사용되지 않는다. 왜냐하면 이러한 고장은 컨버터의 제어에 의해 신속하게 해결하기 때문이다.

## 3. HVDC 시스템의 제어기 설계

HVDC 시스템의 특성은 연계된 AC계통의 테브난 임피던스에 의해 결정된다. 만일 테브난 임피던스가 작으면, 교류계통의 전압 변동(과전압의 감소)은 매우 작고 정류실패도 거의 일으키지 않는다. 만일 이 임피던스가 크면, 고조파 공진이나 안정도 문제를 일으킬 수 있다. 이 임피던스와 관계된 AC계통의 강도는 단락비(SCR)로 표현되는데, 이것은 AC계

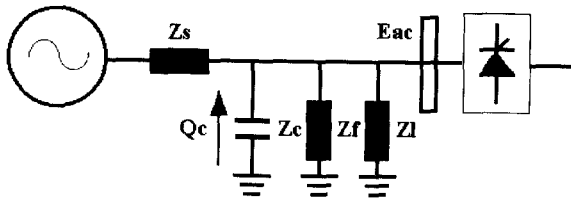
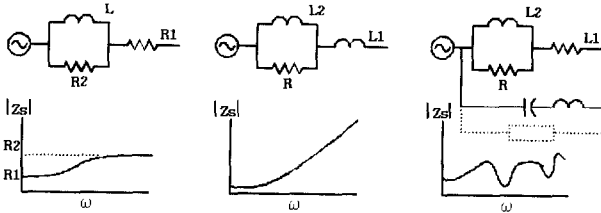
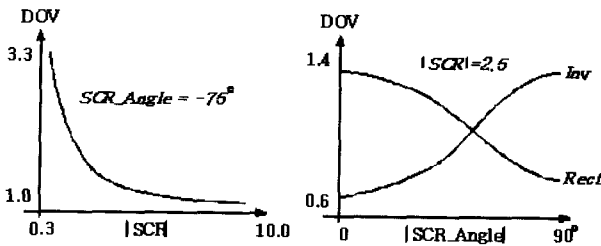


그림 2 컨버터와 AC 시스템



(a) 계통 상수에 따른 HVDC 시스템의 SCR



(b) SCR의 크기와 위상에 따른 계통의 과 전압

그림 3 HVDC 시스템의 SCR

통의 단락 MVA의 비율로서 정의된다. 단락 MVA는 식 (1)의 단락 레벨(SCL)로 주어진다.

$$SCL = \frac{E_{ac}^2}{Z_{ac}} \quad (1)$$

$$\begin{aligned} SCR &= \frac{\text{short Circuit Level, SCL(MVA)}}{\text{DC Power, } P_d(\text{MW})} \\ &= \frac{\text{MVA(SCL)}}{P_d} = \frac{E_{ac}^2}{P_d \cdot Z_{ac}} \\ &= \frac{1}{Z_{ac}} Z_{base} = \left( \frac{1}{Z_s} + \frac{1}{Z_l} \right) Z_{base} \end{aligned} \quad (2)$$

SCR은 상대적인 개념으로써 HVDC 시스템의 정격 DC 전력이 1/2로 줄어들면 SCR은 2배 증가된다고 볼 수 있다.

SCR은  $Z_{ac}$ 의 역수에 비례하는 complex number이다. 만일  $Z_{ac}$ 가 매우 높은 유도성분이면 SCR은 거의 imaginary이다. 그러므로 계통의 특성을 파악하고자 할 때 SCR의 위상은 무시되며 단지 그 크기만이 고려된다.

실제로 많은 경우에 계통의 단락비를 검토하는데 있어서 유효 단락비(ESCR)가 사용된다. 유효 단락비는 HVDC 시스템을 설치하는데 있어서 필수적으로 추가되어지는 병렬 콘덴서와 필터를 테브난 등가 임피던스에 포함시킨 것이다. 일반적으로 AC계통은 인덕턴스 성분으로 이루어져 있기 때문에 콘덴서를 이러한 계통에 추가하면 인덕턴스와 콘덴서가 상쇄되어 계통이 약화되는 것처럼 보인다. 유효 단락비(ESCR)는 다음과 같이 구해진다.

$$\begin{aligned} Q_c &= \frac{E_{ac}^2}{\frac{1}{\frac{1}{Z_f} + \frac{1}{Z_c}}} \\ ESCR &= \frac{SCL - Q}{P_d} \\ &= \frac{1}{Z_c} Z_{base} \\ &= \left( \frac{1}{Z_s} + \frac{1}{Z_l} + \frac{1}{Z_f} + \frac{1}{Z_c} \right) Z_{base} \end{aligned} \quad (3)$$

식 (3)에서 보듯이와 같이 ESCR은 교류 필터에 의한 무효 전력을 고려하므로, ESCR의 크기는 SCR보다 작아진다. HVDC 계통에 연결된 교류 계통의 인덕턴스(L)와 무효전력 소비를 보상하기 위한 콘덴서(C)을 식 (4) 및 식 (5)에서 계산하였으며, 식 (6)은 인덕턴스와 콘덴서 사이의 공진 주파수를 보여준다.

$$Q_c \cong 0.6P_d = \omega_0 E_{ac}^2 C, \quad C = \frac{0.6 \cdot P_d}{\omega_0 \cdot E_{ac}^2} \quad (4)$$

$$L = \frac{Z_{ac}}{\omega_0} = \frac{E_{ac}^2}{\omega_0 \cdot (SCR \cdot P_d)} \quad (5)$$

$$\omega_r = (\text{Resonant freq.}) = \frac{1}{\sqrt{LC}} = \omega_0 \sqrt{\frac{SCR}{0.6}} \quad (6)$$

$$\frac{\omega_r}{\omega_0} = \sqrt{\frac{SCR}{0.6}} \cong 2 \cdot \omega_0 (\text{If SCR is 2.5}) \quad (7)$$

식 (7)에서 보는 바와 같이, 만일 SCR이 2.5이면 교류 계통의 공진 주파수는 기본 주파수의 2배가 된다. 교류선로 고장에 의한 HVDC 계통의 고조파 불안정은 이러한 공진 주파수에 의해 일어난다.

#### 4. HVDC 시스템의 최대 송전 전력

HVDC 시스템은 장거리 교류송전선보다 저렴한 비용으로 장거리 대용량 전력전송을 할 수 있다. 또한, 대용량 HVDC 송전은 매우 긴 케이블을 통하여 연계시킬 수 있으며, 두 개의 교류계통이 동기화 되어 있지 않거나 동일주파수로 운전되는 국가간의 전력 연계에 사용될 수 있다. 또한, 두 교류계통을 연계하는 교류 송전선과 병렬로 HVDC 선로를 추가하여 송전능력을 향상시키기 위한 계통이 개발되었다. HVDC 변환기(정류기와 인버터)는 HVDC DC 전력의 60%에 해당하는 지상 무효전류를 교류계통으로부터 흡수한다. DC 전력의 변화는 컨버터의 지상 무효전류를 변화시키므로 교류전압의 변화를 유발한다. 강한 교류계통에서 이러한 교류전압의 변동은 계통 내에서 흡수할 수 있으나 약한 계통에서는 교류전압의 변동이 크며 컨버터의 안정도에 영향을 미칠 수 있다.

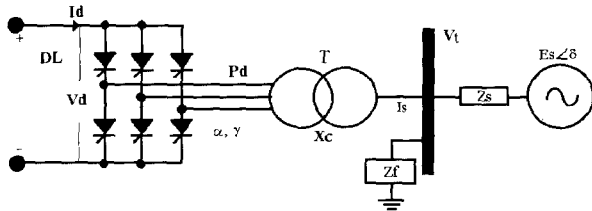


그림 4 HVDC 인버터 시스템의 기본 회로

그림 4는 HVDC 시스템의 기본 회로를 보여 주고 있으며 그림 4 모델에 근거한 HVDC 정상상태 모델링은 식 (8) ~ 식 (13)과 같다.

$$V_t = \frac{\sqrt{2}X_c I_d}{T(\cos \alpha + \cos r)} = 0 \quad (8)$$

$$\cos \phi - \left( \frac{\cos \alpha - \cos r}{2} \right) = 0 \quad (9)$$

$$V_d - \frac{3\sqrt{2}}{\pi} T V_t \cos r + \frac{3}{\pi} X_c I_d = 0 \quad (10)$$

$$V_t - \frac{R_s V_d I_d}{V_t} + R_s V_t G_f + \frac{X_s V_d I_d \tan \phi}{V_t} - X_s V_t B_f - E \cos \sigma = 0 \quad (11)$$

$$-\frac{X_s V_d I_d}{V_t} + X_s V_t G_f - \frac{R_s V_d I_d \tan \phi}{V_t} + R_s V_t B_f - E \sin \sigma = 0 \quad (12)$$

$$P_d - V_d I_d = 0 \quad (13)$$

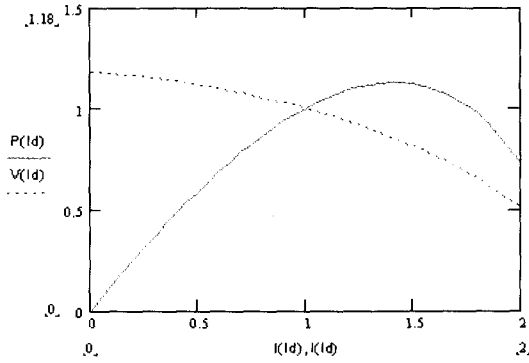
여기서,

$V_t$  = AC 부스바의 선간 전압,  $X_c$  = AC/DC용 변압기의 누설 인덕턴스,  $T$  = 변압기 턴 변환비,  $I_d$  = DC 전류,  $V_d$  = DC 전압,  $E_s$  = AC 전원의 스칼라 전압,  $\delta$  = AC 전원의 상차각,  $\alpha$  = 인버터 점화각,  $\gamma$  = 인버터 소호각,  $R_s$  = AC 계통의 데브난 저항,  $X_s$  = AC 계통의 데브난 인덕턴스,  $Z_f$  = AC 필터 임피던스 ( $G_f + jB_f$ )<sup>-1</sup>,  $\phi$  = 인버터 AC 전류의 역률각,  $P_d$  = DC 전송 전력

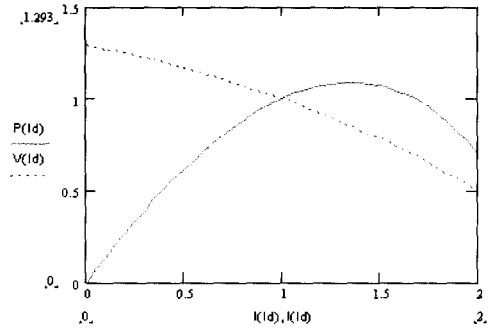
#### 4.1 MAP에 의한 HVDC 안정도 판별

그림 5 a)는 정상적인 CIGRE 모델의 파라미터를 MAP 방법으로 시뮬레이션 한 것이며 그림 5 b)는 AC 데브난 임피던스의 각도를 75도에서 90도로 변화 시킨 경우를 보여 주고 있다. AC 데브난 임피던스의 각도를 90도로 변화 시킨 경우는 AC 계통의 임피던스 성분이 리액티브 성분만 존재한다는 것을 의미하며 최대 송전전력은 큰 차이를 보이지 않으나 DC 전력의 갑작스런 전송 중단 시에 AC 계통의 전압은 1.18p.u에서 1.293p.u로 증가하는 것을 보여준다. 그림 5 c)는 정상적인 CIGRE 모델의 AC 계통 데브난 임피던스를 2.5에서 1.5로 줄인 경우를 보여주고 있는 것으로 DC 최대 전송전력이 1.2로 줄어드는 것을 보여주며 그림 5 d)는 AC 계통 데브난 임피던스를 5로 증가시킨 경우를 보여주는 것으로 DC 전력 전송의 중단 시에도 AC 계통의 전압 변동이 작은 것을 보여주고 있다.

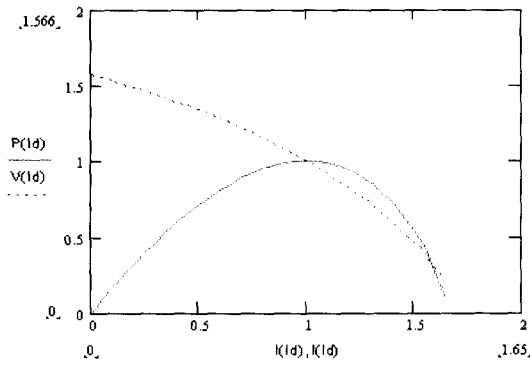
그림 6 a)는 인버터 측이  $\gamma_{min}$  제어를 가진 경우에 SCR에 대한  $\frac{d\sigma}{d\alpha}$  비율을 분석한 결과로써 SCR이 0.75인 경우에 HVDC 시스템이 가장 불안한 상태를 보여주고 있으며 SCR이 0.9를 지나면서 HVDC 시스템이 안정도를 회복하는 것을 보여주고 있다. 또한 그림 6 b)는 임피던스 각을 90도로 변환시킨 상태에서 SCR에 대한  $\frac{d\sigma}{d\alpha}$  비율을 분석한 결과로써 그림 6 a)와 비교해서 안정도가 향상됨을 알 수 있다. 이러한 결과는 일반적으로 AC 시스템에 저항 성분이 많으면 HVDC 시



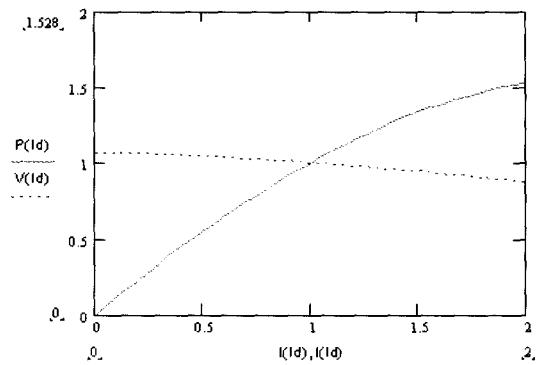
a) (SCR = 2.5, Angle = 75)



b) (SCR = 2.5, Angle = 90)

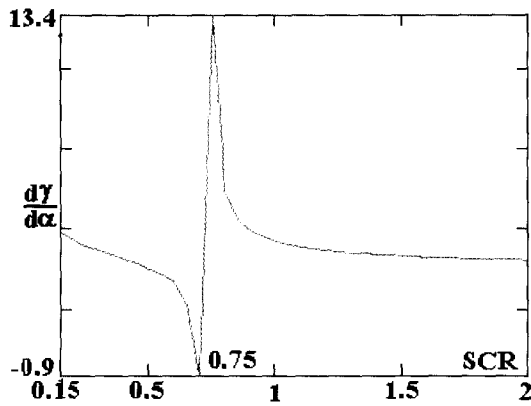


c) (SCR = 1.5, Angle = 75)

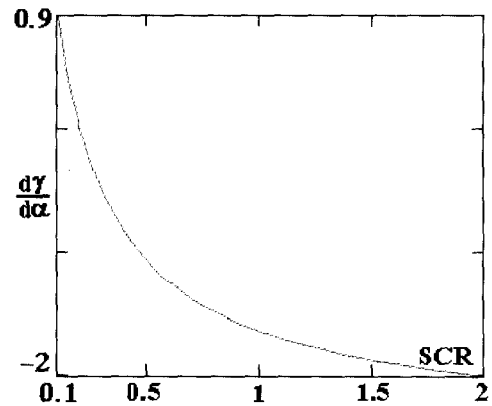


d) (SCR = 5, Angle = 75)

그림 5 MAP 방법을 이용한 HVDC 최대 전력 곡선



a) 임피던스 각 = 75도



b) 임피던스 각 = 90도

그림 6 SCR의 변화에 따른  $\frac{dY}{d\alpha}$  의 비율

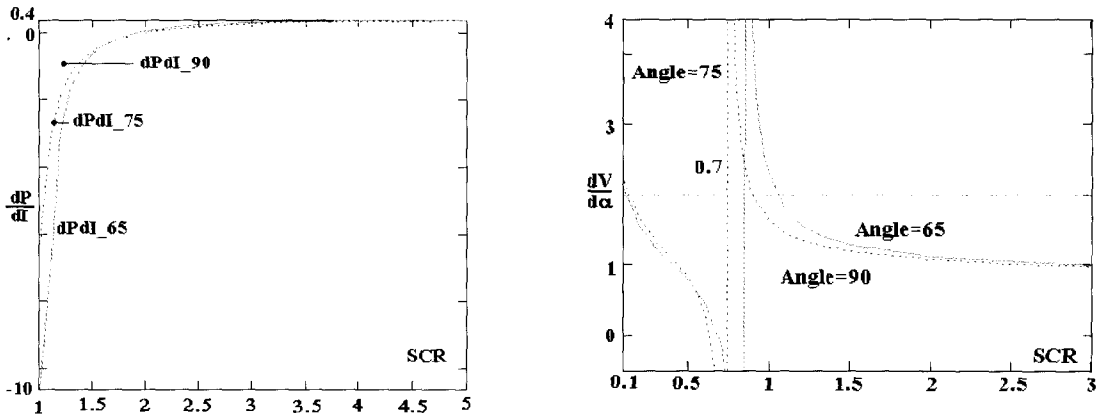


그림 7 SCR의 변화에 따른 dP/dI의 비율(a)과 dV/dα의 비율(b)

스텝의 안정도가 증가하는 사실과 대치되는 것으로서 극단적으로 작은 SCR에서는 임피던스 각도가 증가함에 따라 안정도가 증가한다. 그림 6에서 보는 바와 같이 안정도 지표를 이용한 HVDC 시스템의 안정도 평가는 그림 5에서 MAP 방법을 이용한 HVDC 시스템의 안정도 판별 법 보다 더 정밀하고 정확하게 HVDC 시스템의 안정도를 평가 할 수 있음을 알 수 있다.

그림 7은 인버터 단을 정전력 제어를 행할 경우에 HVDC 시스템의 안정도를 보여주는 그림이다. 정전력 제어를 행하는 인버터는 정상상태에서 전류가 증가함에 따라 전력이 증가해야 하기 때문에 dP/dI 가 Positive(+)가 되는 점부터 안정도가 보장되는 것이다. 본 그림에서는 SCR이 2가 되는 점에서부터 P/dI 가 positive(+)가 되는 것을 알 수 있다.

일반적으로 정 전력 제어는 전송 전력 지령 값을 임의로 지령하는 수동 운전을 하지 않고 보호개념을 도입한 자동운전을 하는 이유가 바로 다른 제어 모드와 비교하여 불안정한 운전 범위가 넓기 때문이다. 그림 7에서 dPdI\_90은 AC 등가 임피던스 각이 90도인 것을 말하고, dPdI\_75는 AC 등가 임피던스 각이 65도인 경우를 표시한다. 그림 6은 인버터 단이 전압 제어기로 동작할 경우의 HVDC 안정도를 판별한 그림을 나타내고 있다. 이 경우는 정 전력 제어기나  $\gamma_{min}$  제어기와 비교해서 안정도가 상당히 우수함을 알 수 있다. 본 제어기의 불안정영역에 들어가는 SCR 값은 0.75이며 SCR이 0.7인 경우에 최악상태에 도달함을 알 수 있다. 그림 7에서 보는 바와 같이 전압제어기는 안정도 관점에서 우수한 성능을 가지고 있기 때문에 Back-to-Back에서는 기본적인 제어기로 많이 채용되고 있으나 동작 범위가 넓기 때문에 시스템의 절연내력이나 용량이 다른 제어기에 비하여 커진다는 단점을 가지고 있다.

#### 4.2 제주-해남 HVDC 시스템

우리 나라의 제주-해남 HVDC 시스템은 150(MW)의 정격 용량에 180(KV)의 DC 전압을 가지며 육지에서 제주로, 제주에서 육지로 전력을 전송할 수 있는 양 방향성 전력 전송기능을 가지고 있다. 제주-해남 HVDC 시스템은 1998년 상업운전을 하고 있으며 대략 제주 부하의 60%정도를 감당하고 있다. 또한 제주-해남 HVDC 시스템은 Redundancy 개념을 도입하여 모든 제어기와 밸브 그리고 필터가 2중화되어 HVDC 시스템의 여유 도를 증가 시켰다. HVDC 시스템의 구성은 그림 8과 같은 구성으로 되어 있으며 각각의 기능은 다음과 같다

- Master Control :
  - HVDC 운전 모드와 지령 값을 설정.
  - 16bit 프로세서인 Transputer를 사용하여 디지털화.
- Pole Control :
  - HVDC 실행 알고리즘.
  - 16bit 프로세서인 Transputer를 사용하여 디지털화.

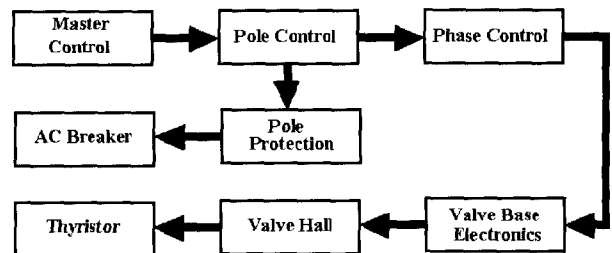


그림 8 제주-해남 HVDC 시스템 구성도

- Phase Control :
  - 밸브 구동 알고리즘 내장.
  - OP-Amp를 이용한 아날로그 회로
- Protection Control :
  - HVDC 시스템의 보호회로.
  - OP-Amp를 이용한 아날로그 회로
- VBE(Valve Based Electronics) :
  - 밸브보호 및 싸이리스터 점호신호 발생.
  - 16bit 프로세서인 Transputer를 사용하여 디지털화.

HVDC 시스템을 모델링 하는데 있어서 디지털은 정확한 상태를 가지고 있기 때문에 별문제가 되지 않으나 밸브나 Phase Control과 같은 아날로그 제어기는 여러 가지 제어조건을 가지고 있기 때문에 별도의 고려가 필요하다.

#### 4.2.1 아날로그 시스템의 모델링

아날로그 시스템은 디지털과 달리 비 선형 상태를 가지고 있기 때문에 실제 시스템을 모의하는 것이 실로 어렵다. 그림 9는 OP-앰프 제어기로 구성된 아날로그 시스템의 "ON" 상태와 "OFF" 상태이외에 ON상태에서 OFF상태로 천이 하는 과정과 OFF 상태에서 ON 상태로 천이 하는 별도의 상태를 가지고 있기 때문에 이러한 비선형성을 고려하여 제어기를 모델링 하는 것이 실제의 제어기와 유사하게 시뮬레이션하기

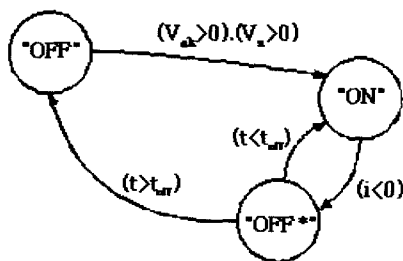


그림 9 아날로그 소자의 상태특성

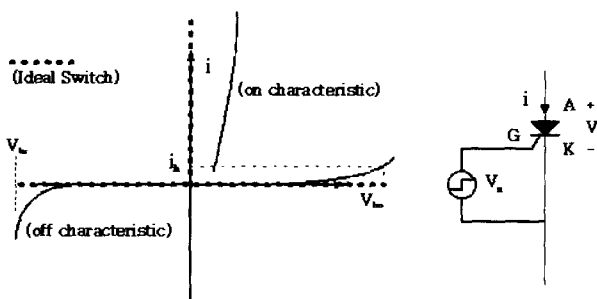


그림 10 싸이리스터의 상태 특성

위한 조건이다.

또한 아날로그 시스템을 모의하는데 있어서 싸이리스터와 같은 대용량 전력 소자들을 실제 상황과 유사하게 모의하기 위해서는 그림 10과 같이 도통 시에 전위장벽이 존재하는 전압을 고려하여 모의하면 보다 정확한 결과를 알 수가 있다.

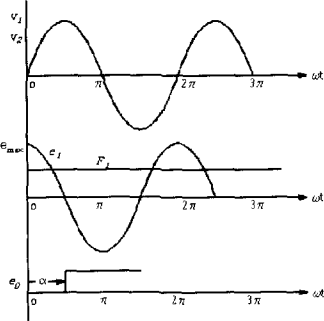
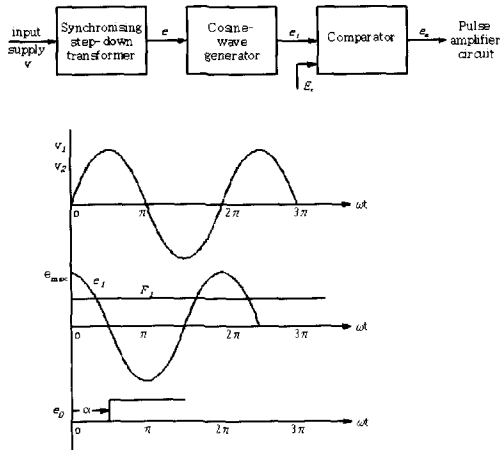
물론, 이러한 "ON" 상태와 "OFF" 상태 중간의 ON-OFF 천이 상태를 모의할 필요성은 아날로그 시스템을 모의하고자 하는 시간 영역에 따라 달라 질 수 있는데 계통의 안정도나 조류계산과 같은 긴 시간에는 아날로그제어기의 상태가 중요하지 않을 수 있다(혹은, 제어기 자체도 중요하지 않을 수 있다). 그러나 수백 ms이하의 짧은 시간에서는 이러한 아날로그 제어기의 비 선형 특성이 매우 중요하여 시스템의 응답특성을 결정하는 하나의 요소가 될 수 있다. 일반적으로 아날로그 시스템의 모델링은 우리가 확인하고자 하는 시간 영역을 정해 놓고, 시간 영역에 맞는 샘플링 타임을 결정한 후 샘플링 타임보다 큰 시정수의 제어기는 고려하고 샘플링타임보다 작은 시 정수는 무시하여 시뮬레이션을 행하기 때문에 소자 설계, 소자의 스너버 설계, 시스템의 과도상태 해석, 그리고 시스템의 안정도 해석과 같은 경우에는 각각의 경우에 따라 샘플링타임과 모델링 기법이 각각 다르다. 본 논문에서는 이러한 아날로그의 비선형성을 고려하여 50(μs) 샘플링 타임 이내의 시정수나 제어조건은 무시하고 아날로그 제어기의 비 선형조건을 고려한 모델을 만들었다. 각각의 설명은 다음 장에서 설명하기로 한다.

#### 4.2.2 등간격 펄스 방식

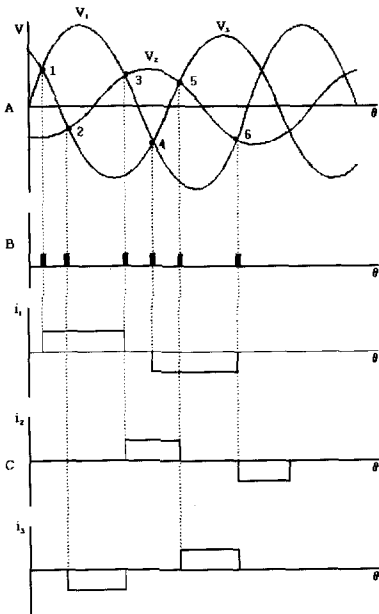
싸이리스터의 제어 방법에는 크게 2개의 제어방식으로 나눌 수 있는데 각각의 전압을 검출하여 이를 90도 지연시킨 파형과 제어기의 오차를 비교하여 제어 각(α)을 발생시키는 Cos<sup>-1</sup> 방법과 3상 전압의 주파수에 비례하는 일정 간격의 펄스를 발생시키는 등간격 방식이 있다. Cos<sup>-1</sup> 방법은 그림 11 a)에서 보여 주는 바와 같이 선형 제어가 가능한 반면 그림 11 b)에서 보는 바와 같이 3상 전압이 줄어든 경우에는 3상 전류에 많은 비 특성 고조파를 함유한다는 단점을 가지고 있다. (그림 11 에서 점호 각 α는 0이다)

반면에 등간격 펄스 방식은 오차 신호와 주파수에 비례하는 톱니파를 비교하는 방식으로 비 선형 제어성을 가지는 단점에도 불구하고 Cos<sup>-1</sup> 방식에서 보는 바와 같은 3상 전류의 불평형 현상은 없다. 등간격 펄스 방식의 가장 큰 장점은 다른 제어 방식에 비해 AC 계통 단에 고조파의 발생이 확연히 줄어든다는 것으로 대부분의 HVDC 시스템의 주 제어기로 채용되고 있다.

시스템의 모델링 범위는 우리가 분석하고자 하는 시스템의 동작 범위에 따라 달라 질 수 있는데 계통의 조류를 모의하기 위해서는 시뮬레이션의 샘플링 타임이 수십[ms]에서 수초가

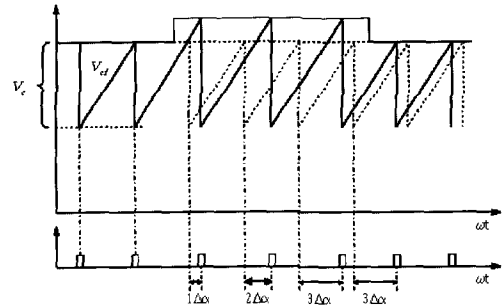


(a) 게이팅 로직

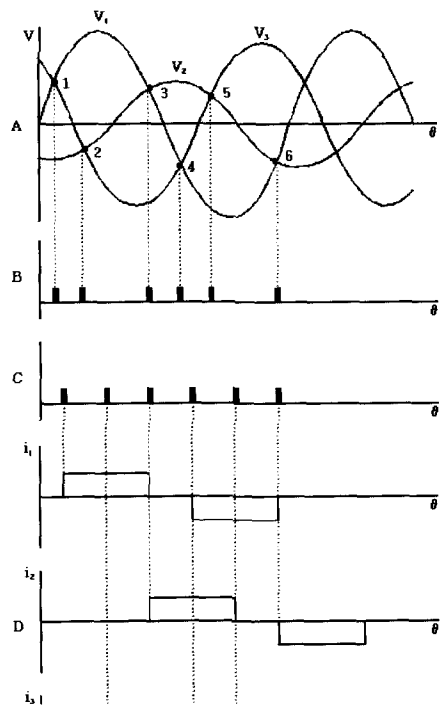


(b) 점호 시 3상 전류 파형

그림 11 Cos<sup>-1</sup> 펄스 방식



(a) 게이팅 로직



(b) 점호 시 3상 전류 파형

그림 12 등간격 펄스 방식

필요하고, 시스템의 제어 동작과 순시 과도 현상을 모의하기 위해서는 샘플링 타임이 수십[ $\mu$ s]에서 수[ms]가 필요하다. 또한 시스템 각각의 소자 특성을 모의하기 위해서는 수[ $\mu$ s]의 샘플링 타임이 필요하다. PSCAD/EMTDC는 HVDC 시스템의 과도 현상과 동적 특성을 분석하기에 적합한 시뮬레이션 도구로써 많은 사용자들에 의해서 현실성이 있는 Library를 갖추고 있기 때문에 HVDC 시스템의 모의가 쉽고 정밀도가 높다. 따라서 본 논문에서는 PSCAD/EMTDC를 이용하여 제주-해남 HVDC 시스템의 하드웨어를 모의하였으며, 전

력전자 수준에서 HVDC 시스템의 특성을 파악하기 위해서 HVDC 시스템의 시정수가 50[ $\mu$ s]이하의 시정수를 갖는 소자는 생략하고 500[ms]이상의 소자는 상수로 처리하여 시뮬레이션을 하였다. 또한 HVDC 시스템의 보호기능은 여러 가지가 있으나 보호 기능의 개념은 시스템을 정지시키는 데 주된 목적을 갖고 있기 때문에 전력 계통의 조류 계산이 아닌 시스템의 과도현상을 모의하기 위해서는 제어동작에 영향을 미치는 요소만을 고려해야 한다. 따라서 본 논문에서는 시스템의 정류실패가 감지되면  $\alpha$  최대 제한기를 160도에서 130도로



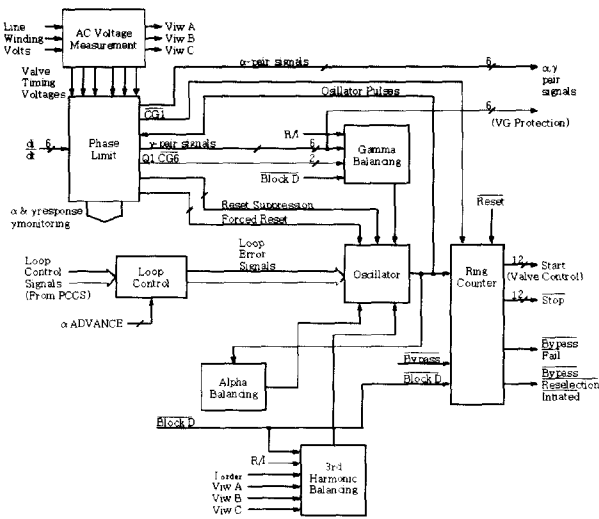


그림 13 Phase Control 의 블록도

줄이는 기능을 가진 AC/DC Differential 보호기능만을 고려 하였다. 또한 HVDC 시스템의 AC 계통의 표현은 AC 계통의 동요를 모의하는 것이 아니라 HVDC 시스템의 과도현상만을 모의해야 하기 때문에 저항과 무효 성분만을 갖는 이상적인 등가 모의 선로로 간략화 하였다.

따라서, 전력전자 수준에서 50[μs]의 샘플링 타임으로 HVDC 시스템을 모의하면 Pole Control에서는 VDCL (Voltage Dependent Current Limit)을 포함하는 제어기 모델 그리고 Phase Control에서는 50[μs]이상의 시정수를 갖는 소자만이 모델링 되고 VBE와 같이 수 [μs]에서 동작하는 부분은 무시되고 Master Control과 같이 수 [s]에서 동작하는 부분은 상수로 처리되었다. 그림 13은 HVDC 시스템을 전력전자 수준에서 모델링 하는데 있어서 가장 중요한 Phase Control 내부의 블록도를 나타내고 있다. 그림 13의 각 부분의 설명은 다음과 같다. 본 논문에서는 HVDC 시스템의 제어 동작만을 고려하려고 하기 때문에 Pole Control의 내부 구성은 생략하기로 하였다.

### 4.3 전압형 HVDC 시스템

PWM을 사용하는 AC/DC 컨버터는 크게 2가지로 나눌 수 있는데 첫 번째가 전압형 컨버터 (Voltage-Source Converter(VSC))이고 두 번째가 전류형 컨버터 (Current-Source Converter(CSC))이다. 이러한 컨버터 중에서 HVDC 시스템에서 필요로 하는 대전압·소전류 기능과 무효 전력 문제를 해결할 수 있는 가장 최상의 선택은 Boost 타입의 전압형 컨버터라 할 수 있다. 전압형 컨버터의 또 하나의 장점은 수전 단 측에 회전 기기가 필요 없는 Black Start가 가능하다는 점이다. 이러한 장점에도 불구하고 전압형

HVDC 시스템의 적용이 싸이리스터보다 더딘 이유는 소자의 개발이 충분히 뒷받침이 되지 못했다는 점과 아직 검증되지 못했다는 단점을 가지고 있다.

#### 4.3.1 전압형 컨버터의 D-Q 모델링

3상 Y-결선 시스템에서 3상 전압의 합은 0[零]이다. 따라서 이 전압은 D-Q축 벡터로 표현이 가능하다. 이러한 D-Q축 벡터영역에서 전압의 표현은 순시 값을 표현하는 것으로 전압이 가지고 있는 상 불평형이나 고조파의 표현도 가능하다. 그리고 D-축을 항상 3상 전압의 한 상에 일치시키면 3상은 다음과 같은 수식으로 표현이 가능하다.

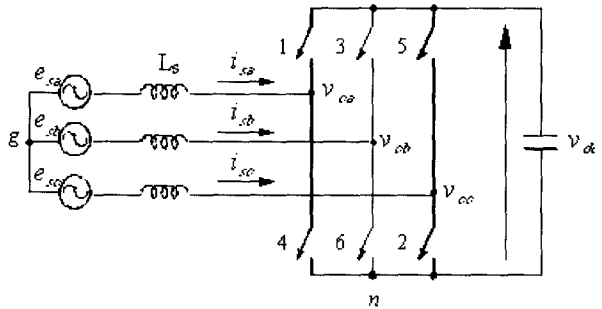


그림 14 전압형 컨버터의 전력회로 모델

$$e_{sa} = L_s \frac{di_{sa}}{dt} + v_{ca} \tag{14}$$

$$e_{sb} = L_s \frac{di_{sb}}{dt} + v_{cb} \tag{15}$$

$$e_{sc} = L_s \frac{di_{sc}}{dt} + v_{cc} \tag{16}$$

여기서,  $v_{c@}$ 는 컨버터의 @-상 전압,  $L_s$ 은 컨버터의 입력 측의 인덕턴스 그리고  $i_{s*}$ 는 \*-상 전류가 된다. 식 (17)은 3상 전압을 정지형 좌표 계로 표현한 방정식을 보여 준다.

$$\begin{bmatrix} f_a^s \\ f_b^s \\ f_c^s \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & \frac{1}{2} \\ 0 & -\frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} f_a \\ f_b \\ f_c \end{bmatrix} \tag{17}$$

식 (18)은 정지형 좌표계를 회전형 좌표계로 표현한 방정식을 보여 준다.

$$\begin{bmatrix} f_q^e \\ f_d^e \end{bmatrix} = \begin{bmatrix} \cos \theta_e & -\sin \theta_e \\ \sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} f_q^s \\ f_d^s \end{bmatrix} \quad (18)$$

결론적으로 위의 방정식으로부터 Boost 컨버터의 회로 방정식은 식 (19)과 식 (20)으로 표현된다.

$$L_s \frac{di_d^e}{dt} = E - V_d^e - \omega_e L_s i_q^e \quad (19)$$

$$L_s \frac{di_q^e}{dt} = -V_q^e + \omega_e L_s i_d^e \quad (20)$$

여기서,  $\omega_e = d\theta_e / dt$ . 식 (19)와 식 (20)을 이용하면 전압형 컨버터의 제어 블록은 그림 15와 같이 표현된다. 그림 15는 D-Q축으로 분리된 제어 형태를 보여 주고 있는 것으로써 D-축을 유효전력을 제어하는 상태로 본다면 D-축은 발전기의 터빈제어기에 해당된다고 볼 수 있으며 Q-축을 무효전력을 제어하는 상태로 본다면 Q-축은 발전기의 AVR (Automatic Voltage Regulator)로 볼 수 있다. 그림 16은 위에서 논한 전압형 컨버터의 제어 모델을 보여 주고 있다.

표 1은 Id 즉, 유효 전류에 관계된 제어모드를 결정하는 룩업 테이블을 보여 주고 있는 것이며 무효 전력의 제어모드 결정은 다음과 같다. 전압형 HVDC 시스템은 유효전력과 무효전력을 임의로 제어할 수 있다는 장점 때문에 STACOM이나 UPFC의 용도로도 사용되어 질 수 있다. 그러나 전압형 HVDC 시스템이 전력의 전송이라는 관점에서 생각해 볼 때 무효전력은 하나의 보조적인 제어 수단이며 의미가 미약해진다. 따라서 전압형 HVDC 시스템을 전력 전송의 개념으로

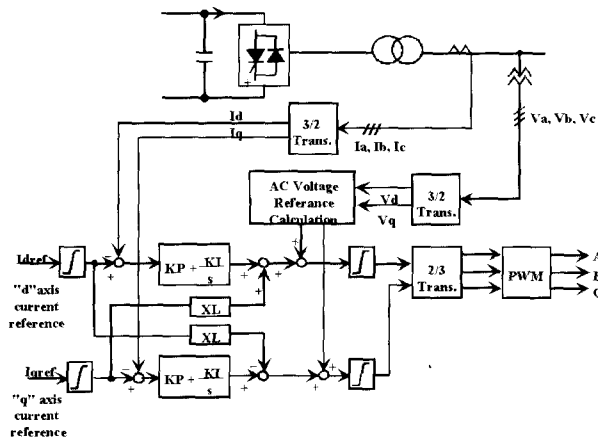
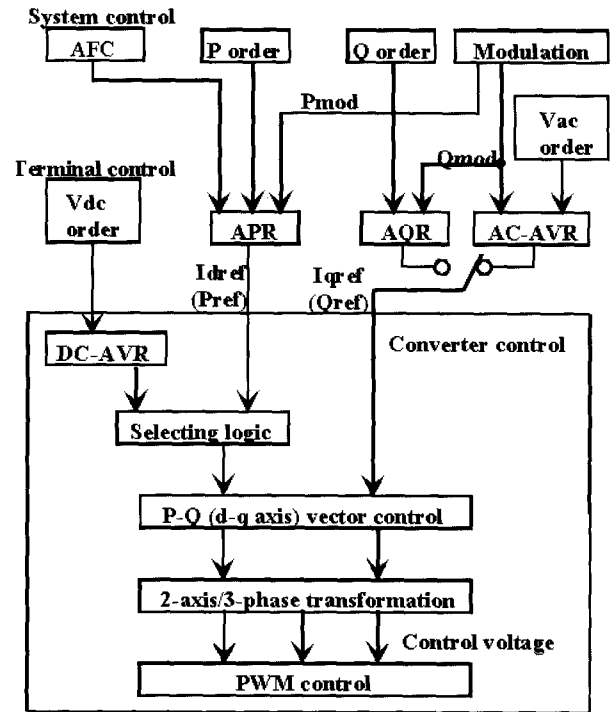


그림 15 컨버터 제어 모델



(AFC : Automatic Frequency Control, APR : Automatic active power controller, DC-AVR : Constant DC voltage controller, AQR : Automatic reactive power controller, AC-AVR : Automatic AC voltage controller.)

그림 16 전압형 HVDC 시스템의 블록도

표 1 전류 제어 권에 따른 HVDC 시스템의 선택기

	주 제어기	부 제어기	선택기
Rectifier(1)	전압	전류	Max.
Inverter(1)	전류	전압	Min.
Rectifier(2)	전류	전압	Min.
Inverter(2)	전압	전류	Min.

만 이용할 경우에는 무효전력의 지령 값이 AC 전압이 되는 표 2와 같은 제어 모드가 결정되어진다.

그림 16에서 보여주는 제어 블록도의 각각의 제어기는 그림 17이 된다. 그림 17 a)는 실효 전력 제어기를 보여 주고 있으며 그림 17 b)는 무효 전력 제어기를 보여 주고 있다. 이 그림에서 "Modulation" 신호는 시스템에 존재하는 저차 고조파를 제거하기 위한 보조 신호이며 계통의 안정화를 위한 신호이다.

표 2 HVDC System의 제어모드

	Reference	Control Mode 1	Control Mode 2
Rectifier	Active Power	APR (including AFC)	DC-AVR
	Reactive Power	AC-AVR	AC-AVR
Inverter	Active Power	DC-AVR	APR (including AFC)
	Reactive Power	AC-AVR	AC-AVR

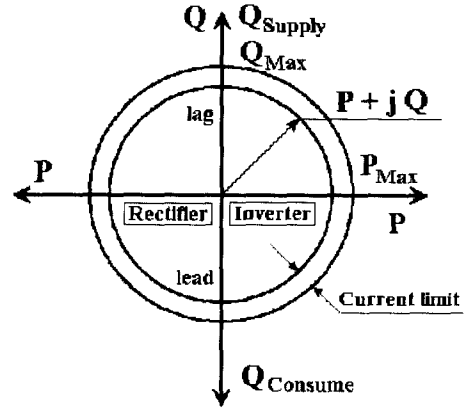
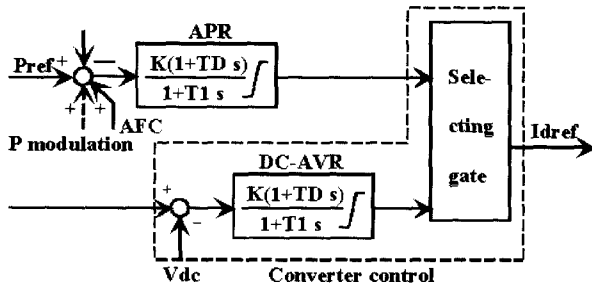
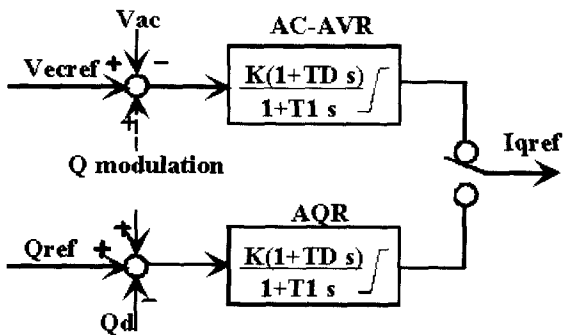


그림 18 P-Q 전압형 HVDC 시스템의 제어가능 영역



(a) 실효 전력 제어기



(b) 무효전력 제어기

그림 17 컨버터의 제어기

전압형 HVDC 시스템이 동작할 수 있는 동작 영역은 그림 18과 같다. 그림 18에서 전압형 HVDC 시스템은 4상한 동작이 가능하며 역률 제어가 가능하다. 그리고 냉각설비에 따라 정격 전류 용량이 증가함을 볼 수 있다.

#### 4.3.2 축소형 전압형 HVDC 시스템의 구현

그림 19는 전압형 HVDC 시스템의 시험 구성 도를 보여 주고 있으며, 본 연구에서 사용한 제어보드는 DSP TMS

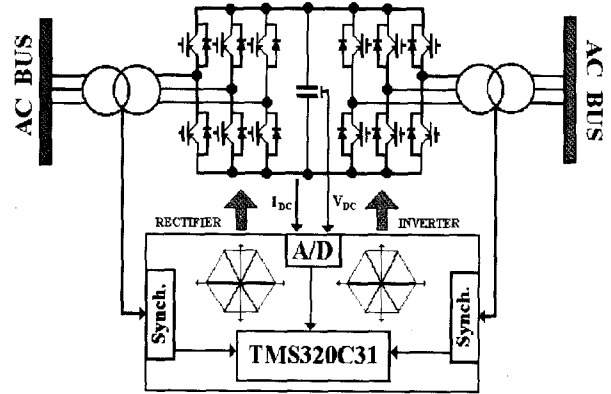


그림 19 전압형 HVDC 시스템의 실험 시스템 구성

320C31이며, 이 제어 보드는 33.33 MHz에서 동작하며 32-비트 플로팅 포인트 연산이 가능하다. 그리고 시스템의 샘플링 타임은 1(ms)이며 전류 제어기의 샘플링 타임은 100(μs)이다. 그리고 실험에 사용한 시스템의 정격이 낮기 때문에 AC 전압 제어기(AC-AVR)의 기능은 나타나기가 어렵기 때문에 무효전력의 지령은 일정 무효전력 제어 지령 값을 이용하였다. 그리고 전압형 HVDC 시스템의 주된 용도는 섬이나 고립된 계통에 연결되는 것이 주목적이기 때문에 본 연구에서는 AC/DC 컨버터의 주 제어기는 DC 전압제어기이며 부 제어기는 전류 제어기를 이용하였고 무효전력제어기의 입력은 일정 무효 전력 제어기 지령 값을 이용하였다. 반면에 인버터는 수전 단 계통의 전류를 추종하게 하는 것이 주된 목적이기 때문에 주 제어기를 전류 제어기로 하였으며 무효 전력 제어기의 지령 값은 AC/DC 컨버터와 마찬가지로 일정 무효 전력 지령 값을 이용하였다.

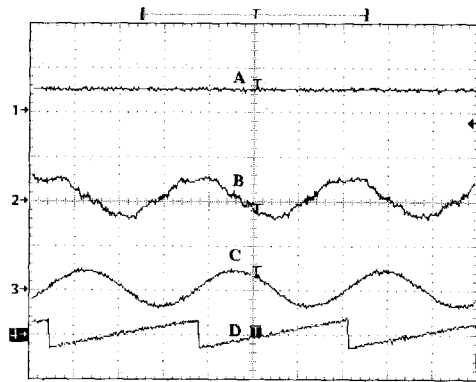
실험에 사용한 시스템의 파라미터는 다음과 같다.

- Input AC voltage : 220[V]
- DC voltage : 380[V]
- System rating : 2[kW]
- Inductance : 0.01[mH]
- Frequency : 60[Hz]

전압형 HVDC 시스템의 제어기는 오버슈트하지 않는 영역에서 동작하도록 하기 위해서 시스템의 댐핑 계수( $\zeta$ )를 1로 셋팅 하였으며 용량이 작은 관계로 주파수 운전이나 AC 정전압 제어(AC-AVR)기능 대신에 정 전력 제어(APR)와 정 전압 제어(DC-AVR) 모드로 운전하였다. 그리고 전류의 주도권은 그림 19에서 보는 바와 같이 AC/DC 컨버터에 두었으며 AC 전압의 위상은 AC/DC 컨버터와 인버터가 독립적으로 운전하도록 각각의 AC 버스에서 검출하였다.

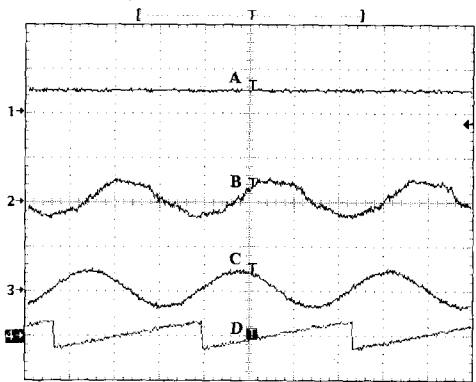
### 5. 실험 결과

그림 20은 무효전력 운전을 하지 않고 유효 전력만을 전송할 때 DC 전압과 AC 전압과 AC 전류 그리고 전압 앵글을 보여 주고 있다. 그림 20에서 "A"는 DC 출력 전압, "B"는 AC 입력 전압, "C"는 AC 입력 전류 그리고 "D"는 전압 앵글을 보여 주고 있다. 이 그림에서 전압과 전류는 동상을 유지하고 있다. 그림 21은 그림 20과 같은 조건에서 실험한 결과로써 무효전력의 지령값을 세팅함으로써 AC 전류가 지연되는 현상을 관찰할 수 있으며 이러한 동작은 그림 18의 동작 특성 커브에서 1/4분 면에서 동작함을 보여 주고 있다. 그림 22는 그림 20과 같은 조건에서 AC 전류가 무효전력의 값을



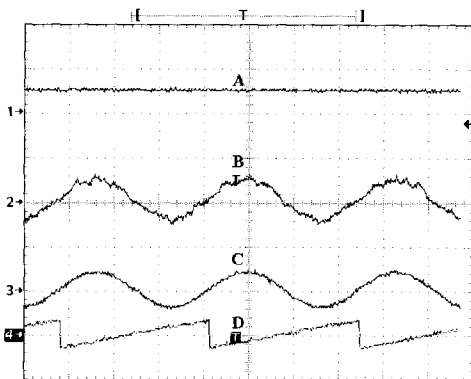
(A Channel : DC Voltage, B Channel : Reactive Current, C Channel : Phase Current, D Channel : Angle ).

그림 21 전압형 HVDC 시스템의 제어 성능



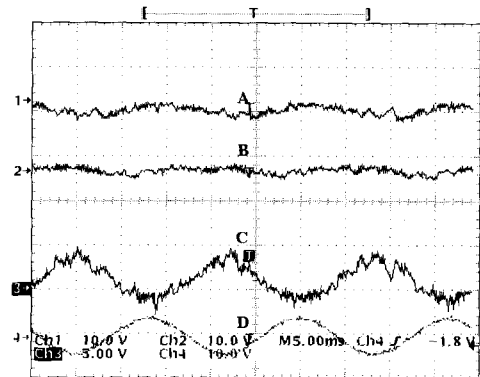
(A Channel : Phase Voltage, B Channel : Phase Current, C Channel : Phase Voltage, D Channel : Angle)

그림 22 전압형 HVDC 시스템의 제어 성능



(A Channel : DC Voltage, B Channel : Reactive Current, C Channel : Phase Current, D Channel : Angle )

그림 20 전압형 HVDC 시스템의 제어 성능



(A Channel : Active current, B Channel : Reactive Current, C Channel : Phase Current, D Channel : Phase current )

그림 23 Control Performance of HVDC Light

그림 21과 반대로 지령했을 때 진상되는 조건을 보여 주고 있는 것으로서 그림 18의 4/4분면에서 동작함을 보여 주고 있다. 그림 20과 그림 21 그리고 그림 22가 하나의 AC/DC 컨버터가 동작하는 현상을 보여주는 것에 비하여 그림 23은 인버터의 동작 특성을 보여 주고 있는 것으로서 "A"가 유효분 전류, "B"가 무효분 전류, "C"가 A 상 전압, 그리고 "D"가 상 전류 파형을 보여 주고 있다. 이 경우에 인버터의 무효전력 지령은 Negative 지령을 하였기에 상 전류와 상 전압의 위상이 반대가 되는 것을 알 수 있다. ■

참 고 문 헌

- [1] 제주 - 해남 HVDC Manual, 한국전력공사, 1993.
- [2] PSCAD/EMTDC Manual, Manitoba HVDC Center, 1994
- [3] Manitoba-Hydro HVDC Model development, Manitoba-Hydro, 1995.
- [4] J. D. Ainsworth, "Developments in the Phase Locked Oscillator Control System for HVDC and Other Large Converters", 1970, GEC Published.
- [5] Kunder, Power System Stability and Control, McGraw-Hill, Inc., 1993
- [6] N. Mohan, T.M. Undeland, W.P. Robbins. "Power Electronics: Converters, Applications and Design" second edition, John Wiley and Sons, 1995.

〈 저 자 소 개 〉



**김찬기(金燦起)**

1968년 12월 17일 생, 충북 충주. 1993년 중앙대학교 대학원 전기공학과 졸업(석사). 1996년 중앙대학교 대학원 전기공학과 졸업(박사). 1996년 전력 연구원 입사. 현재 전력연구원 선임 연구원.



**양병모(梁炳模)**

1969년 4월 24일생. 1995년 연세대학교 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(석사). 1997년 전력연구원 입사. 현재 전력연구원 선임보 연구원.



**고봉언(高鳳彦)**

1960년 2월 28일생. 1986년 광운대학교 전기공학과 졸업. 1987년 한국전력공사 입사. 현재 전력연구원 선임연구원.



**이종민(李鐘珉)**

1972년 10월 18일생. 1999년 명지대학교 전기·전자공학부 졸업. 2001년 동 대학원 전기공학과 졸업(석사). 2001년 현재 전력연구원 위촉 연구원.