

저용량 부하를 위한 고효율 APLC의 설계

金炳鎭, 田喜鍾

The Design of High Efficiency APLC for the Low Power load

Beung-Jin Kim, Hee-Jong Jeon

요 약

본 논문에서는 통신기기와 같은 저용량 부하를 위한 APLC를 설계하였다. APLC는 부하와 병렬로 위치하여 부하에 필요한 무효전력 성분만을 공급함으로써 운전 효율을 향상시켰으며 히스테리시스 제어를 마이크로 프로세서와 아날로그 회로를 이용하여 구현하여 저가형 제어를 구현하였다. 컴퓨터 시뮬레이션을 통해서 보상 시스템의 특성을 해석하였으며 또한 실험에 의해 제안된 APLC 제어가 고조파 저감 및 역률 개선을 수행하고 있음을 확인하였다.

ABSTRACT

In this paper, APLC(Active Power Line Conditioner) is designed for low consumed power electrical equipment such as communication electronic equipment, computer server and etc.. Because APLC which is shunted to the mains controls only the elements of harmonics, the designed APLC is very high efficient. Additionally, controller designed with low cost micro-controller and analog circuit has good merit economically. Simulation and experimental results on a prototype verify the feasibility of the proposed scheme.

Key Words : APLC, Unit Power Factor, Reactive Power

1. 서 론

최근 전력용 반도체 소자의 개발로 전력전자기기의 사용이 급격히 확대되고 있다. 이들 정지형 전력변환장치 및 주파수 변환장치 등의 전력전자 기기는 비선형 부하 특성을 가지므로 지상 역률의 구형파 부하전류를 발생시켜 교류전원 계통에 고조파 및 무효전력을 발생시킨다^[1].

전원 계통에 발생한 고조파 및 무효전력은 전원설비의 용량이나 손실의 증대를 초래하여 그의 변동은 계통전압의 변동을 일으키고 통신기구나 컴퓨터 서버와 같은 정밀기기에 여러 가지 나쁜 영향을 미친다. 한편 고조파 전류는 전원계통에 유입되어 인덕턴스 전압강하를 일으키므로 교류전압의 왜형을 초래하고, 결국

인근 계통 부하에 인가되므로 그 부하 내에 새로운 고조파 전류를 흐르게 하는 심각한 피해를 일으킨다. 따라서 전력전자기기의 활용 증대에 따라 무효전력이나 고조파에 대한 대책이 중요한 문제로 대두되었다^[2].

계통에 연결된 부하에서 발생하는 고조파는 부하변동에 따라서 심하게 변하므로 입력전류에서 고조파 성분을 추출하는 것은 쉽지 않다. 본 연구에서는 입력전류에 포함된 고조파 성분을 입력전압과 부하전력을 통하여 추출하는 간단한 방식을 사용하였다. 이렇게 계산된 고조파성분을 히스테리시스 전류제어를 사용하여 빠르게 보상할 수 있게 하였다. 또한 원칩 마이크로 컨트롤러와 아날로그 회로를 이용한 설계된 제어기는 구조가 단순하여 경제적인 장점을 갖는다. 컴퓨터 시뮬레이션을 통해서 보상 시스템의 특성을 해석하였

으며 실험에 통해 APLC가 고조파 문제 및 역률제어를 수행하였다.

2. APLC의 구성과 동작원리

본 연구에서 설계된 APLC는 그림 1과 같이 단상 전력 시스템의 전원을 공급하기 위한 전원부와 부하단, 보상회로로 구성되어있다. 부하로 사용된 다이오드 정류기는 입력전류에 고조파 왜곡을 유발하며 평활용 커패시터의 영향으로 입력 역률이 저하된다. 전압원 PWM 인버터로 구성된 APLC가 이상적으로 동작하면 입력측에서는 부하에 필요한 유효전력만 공급하고 APLC는 어떠한 실효전력도 공급하거나 소비하지 않고 무효전력 성분만을 보상하기 때문에 APLC 자체에서 소비되는 전력이 없다. APLC가 무효전력을 보상하게 되면 입력 역률이 개선되며 무효전력성분에 포함된 고조파가 저감된다.

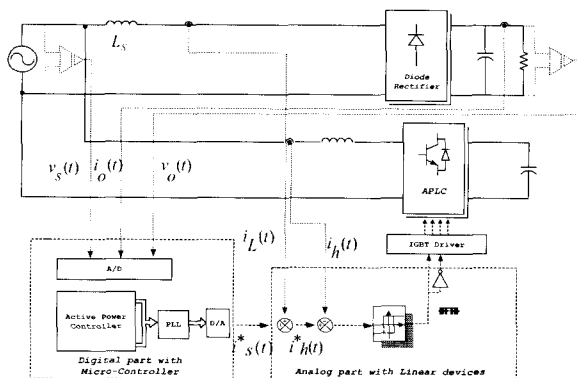


그림 1 제안된 APLC의 구성
Fig. 1 Configuration of the proposed APLC

만약 APLC의 스위칭 손실이 적다고 가정하고 APLC의 동작으로 단위역률을 유지할 때 입력측에서 공급된 평균 입력 전력 P_i 는 부하측에서 소비된 평균 출력 전력 P_o 와 같다. 따라서 시스템이 정상 상태라고 보면 에너지보존법칙에 의해 아래의 식과 같이 표현할 수 있다^[3].

$$P_i = \frac{1}{2} V_s I_s = \frac{1}{2} V_s I_{L1} \cos \phi = P_o \quad (1)$$

여기서 V_s , I_s , I_{L1} 은 각각 입력전압 $v_s(t)$, 입력전류 $i_s(t)$, 부하전류의 기본파 $i_{L1}(t)$ 의 최대값이며 ϕ 는

$v_s(t)$ 와 $i_{L1}(t)$ 사이의 위상차이다. 식 (1)로부터 입력전류의 크기 I_s 는 P_o 와 비례적임을 알 수 있으며 부하 출력에 의해 결정된다는 것을 알 수 있다. 한편, 키르히호프 전류 법칙에 의해 보상하고자 하는 APLC의 보상전류는

$$i_h(t) = i_L - i_s(t) \quad (2)$$

와 같이 표현할 수 있다. 여기서 보상하고자 하는 보상전류 $i_h(t)$ 는 $i_L(t)$ 의 모든 고조파 성분과 기본파 성분 $i_{h1}(t)$ 을 포함하고 있으며, 보상전류의 기본파 성분인 $i_{h1}(t)$ 는 $i_{L1}(t)$ 와 $i_s(t)$ 의 차에 의해 구할 수 있다. APLC의 출력이 기본파 주파수의 입력 전압을 나타내기 때문에 $i_{h1}(t)$ 가 병렬 APLC의 실효전력을 소비하지 않게 하기 위해서는 입력전압 $v_s(t)$ 에 비해 위상이 뒤져야 한다. 식 (1)과 (2)에서 다음의 관계가 주어진다.

$$\begin{aligned} i_{h1}(t) &= i_{L1} - i_s(t) \\ &= I_{L1} \sin(\omega t + \phi) - I_s \sin \omega t \\ &= I_{L1} \sin(\omega t + \phi) - I_{L1} \sin \omega t \cos \phi \\ &= I_{L1} \sin \phi \cos \omega t \end{aligned} \quad (3)$$

여기서 ω 는 기본파 주파수이다. 일반적으로 다이오드 정류기에서 출력전압 $v_o(t)$ 와 출력전류 $i_o(t)$ 에서의 지배적인 고조파는 2차이다. 따라서 순시 출력 전력은 다음과 같이 표현할 수 있다.

$$\begin{aligned} P_o(t) &= v_o(t) i_o(t) \\ &\cong V_o(1 + r_v \sin 2\omega t) I_o(1 + r_i \sin 2\omega t) \\ &\cong V_o I_o(1 + r_v \sin 2\omega t + r_i \sin 2\omega t) \\ &\cong P_o(1 + r_p \sin 2\omega t) \end{aligned} \quad (4)$$

여기서 V_o 와 I_o 는 출력전압 $v_o(t)$ 와 출력전류 $i_o(t)$ 의 최대값에 해당되며 r_v , r_i 와 r_p 는 V_o , I_o 그리고 P_o 의 지배적인 2차 고조파의 비를 나타낸다^[5]. 식 (4)에서 알 수 있듯이 입력전류 $i_s(t)$ 의 크기는 P_o 의 크기와 비례적이기 때문에 부하전력 순시치 $p_o(t)$ 의 평

균값이나 직류성분에 해당된다. 따라서 P_o 의 평균값을 얻기 위해 직류 성분을 필터링(filtering) 하는 대신 $p_o(t)$ 의 최대값을 검출해서 평균함으로써 얻을 수 있다. 즉, $i_s(t)$ 의 크기 지령치는 P_o 과 이득의 내적의 비례값에 해당한다. 따라서 병렬 PWM 컨버터는 부하에 필요한 모든 고조파 성분과 지상인 기본파 성분을 공급하게 된다.

3. 간략화된 APLC 제어기 설계

3.1 지령전류발생기

지령전류발생기는 부하가 필요한 유효전력을 관측하여 입력전류지령의 크기를 발생하는 부분이다. 입력지령전류 크기는 출력전력의 실효값 P_o 의 크기와 비례적이기 때문에 출력전력의 순시치 $p_o(t)$ 의 평균값이나 직류성분에 의해 결정할 수 있다. P_o 의 평균값을 얻기 위해 직류 성분을 필터링 하는 대신 $p_o(t)$ 의 최대값을 검출해서 평균함으로써 구할 수 있다. 단위 역률을 만족하기 위해서 PLL(Phase Locked Loop)를 이용하였다. 아날로그 PLL회로는 구현이 비교적 쉽고 간단하지만 전력용 반도체 소자의 스위칭에 의해 야기된 과도상태에 둔감하고 Capture와 Lock 범위가 좁으며 기준 신호가 일정 범위 내에서 크게 벗어날 경우 위상과 주파수가 모두 가변된다는 단점을 가지고 있다^[4].

따라서 본 논문에서는 그림 2와 같이 마이크로 컨트롤러의 타이머와 HSI(High Speed Input)기능을 이용해 소프트웨어적으로 PLL를 구현했다.

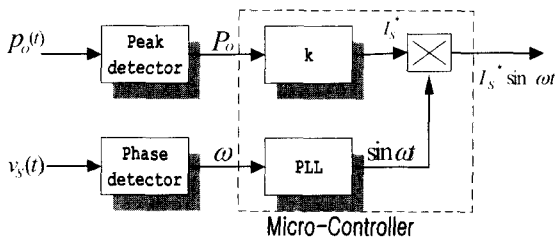


그림 2 입력전류지령 발생기
Fig. 2 The source current reference generator

3.2 히스테리시스 전류제어기

그림 3은 히스테리시스 전류제어기를 이용해 보상지령전류를 발생하는 전류제어기이다. 전류의 지령치를 얻기 위해 부하 전류 $i_L(t)$ 와 P_o 의 비례값에 의해 얻

어진 입력지령전류 $i_s^*(t)$ 의 차에 의해 보상지령전류 $i_s^*(t)$ 를 얻을 수 있다. 이렇게 얻어진 보상전류 $i_s^*(t)$ 는 실제보상전류 $i_s(t)$ 와의 오차를 히스테리시스 제어기를 이용해 IGBT(Insulated Gate Bipolar Transistor)를 구동하게 된다^[5]. APLC의 보상지령전류는 보상지령전류의 급격한 변화를 잘 추종하고 그 구현이 용이한 히스테리시스 제어기를 컨버터의 출력전류를 제어하는 전류제어기로서 사용하였다.

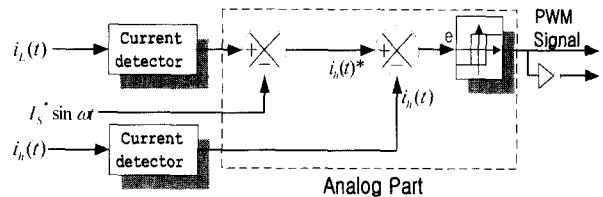


그림 3 히스테리시스 제어기
Fig. 3 Hysteresis controller

4. 시뮬레이션 및 실험결과

표 1 시스템 파라미터
Table 1 System parameters

정격용량	0.5[KVA]
링크 인덕터	10[mH]
입력전압	100[Vrms]
출력전압	100[V]
부하	20~15[Ω]
스위칭 주파수	10[kHz]
주파수	60[Hz]

제안된 시스템의 성능을 검증하기 위해서 표 1과 같은 APLC를 시뮬레이션하였고 실제 제작하였다. 컴퓨터 시뮬레이션은 전력전자분야에 많이 사용되는 시뮬레이션 프로그램인 PSIM과 Matlab을 사용하였다.

그림 4는 APLC로 개선된 입력전류 $i_s(t)$ 와 입력전압 $v_s(t)$ 파형을 보여주고 있다. 고조파가 많이 감소된 것을 알 수 있고 특히 시스템에 악영향을 미치는 저차 고조파인 3고조파와 5고조파가 거의 없고 정현적인 파형을 유지하고 있는 것을 알 수 있다. 또한 전압과 전류가 동상이 되게 유지됨을 알 수 있었다.

부하 변동에 따른 APLC 응답은 그림 5와 같다. 부하전력 P_o 는 290[W]에서 480[W]까지 가변 되어지는 것이 명백히 보여지고 있고 입력전류 $i_s(t)$ 는 3.4[A]에

서 5[A]까지 변화된다. 따라서 제안된 입력 전류의 크기는 출력전력의 평균값에 비례한다는 것을 알 수 있다. 그리고 시스템의 전체적인 효율은 약 88%이고 응답시간은 한 주기보다 짧다는 것을 알 수 있다.

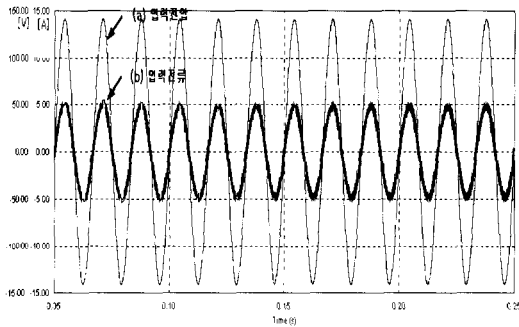
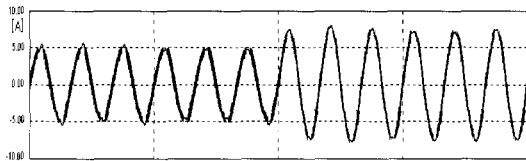
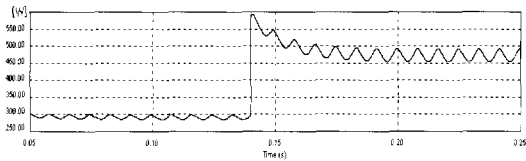


그림 4 입력전압 및 입력전류
Fig. 4 Waveforms of input voltage and input current



(a) 입력전류



(b) 부하전력

그림 5 부하 변동시 APLC 응답
Fig. 5 The APLC response with load variation

전체 시스템은 입력전압, 입력전류, APLC의 보상전류 및 출력전압을 측정하기 위한 센서부와 IGBT, 마이크로 컨트롤러로 구현된 제어기로 구성되어 실험을 하였다. 입력전압과 전류를 PT와 CT를 통해서 측정한다. 측정된 아날로그 신호를 제로크로싱회로와 AD 변환기를 이용하여 디지털 신호로 변환시킨다.

입력된 신호를 기반으로 마이크로 컨트롤러는 입력 전류지령신호를 발생한다. D/A변환기를 통해서 아날로그로 변환된 입력전류지령신호와 CT에 의해 검출된 부하전류를 이용하여 보상전류지령신호를 발생한다.

보상전류지령신호를 히스테리시스 제어기를 통해 IGBT를 구동하도록 하였다.

그림 6은 히스테리시스 전류제어의 보상전류지령파형과 IGBT에서 발생하는 실제 보상전류 파형을 나타낸다.

그림 7은 보상후의 입력 전류의 파형 및 주파수 분석에 대해 나타내고 있다. 보상후의 입력전류의 파형과 주파수 분석에서 알 수 있듯이 불연속 구간이 없으며 정현적인 모양을 유지하고 있는 것을 알 수 있고 주파수 분석을 보게 되면 고조파가 거의 없다는 것을 알 수 있다. 특히 저차 고조파인 3고조파와 5고조파가 매우 미약하므로 시스템에 미치는 영향은 거의 없다는 것을 알 수 있다.

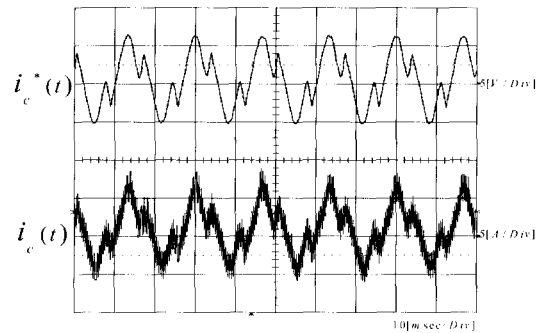
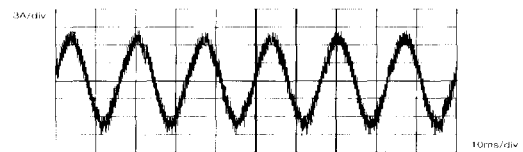
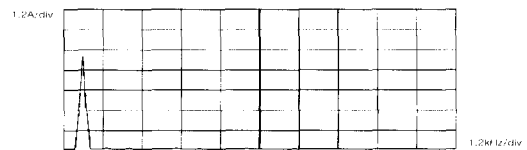


그림 6 APLC의 보상전류
Fig. 6 Compensation current of APLC



(a) 입력전류



(b) 주파수 분석

그림 7 개선된 입력전류파형
Fig. 7 Waveforms of the improved input current

그림 8은 보상 후 입력전압과 입력전류의 파형을 나타내고 있다. 입력전압과 입력전류가 동위상을 유지하고 있고 역률제어가 되고 있는 것을 알 수 있다.

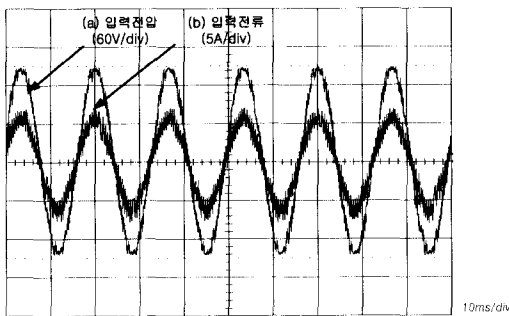


그림 8 입력전압과 전류의 파형
Fig. 8 Waveforms of the input voltage and current

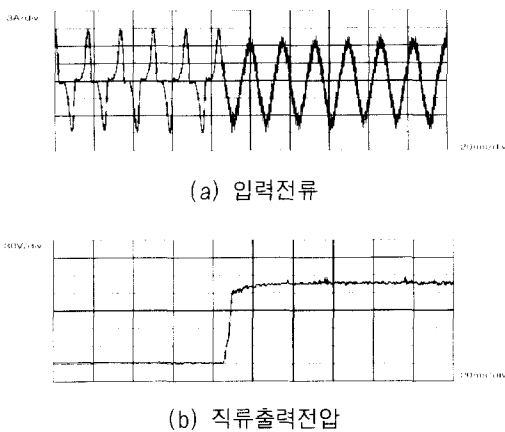


그림 9 보상후 파형
Fig. 9 Waveforms under compensation

그림 9는 보상전 후의 입력전류 및 직류출력전압의 파형이며 제어를 통해 직류출력전압이 일정하게 유지되고 있음을 알 수 있다.

시뮬레이션 및 실험 결과에서 입력전압과 전류가 단위역률로 제어됨을 알 수 있고 고조파 저감에 우수한 성능을 확인 할 수 있다. 전체적으로 THD는 2.73[%] 이내로 억제되고 있음을 알 수 있다. 따라서 본 논문에서 제안한 APLC는 역률개선 및 고조파 저감에 우수한 성능을 확인할 수 있었다. 특히 시스템에 악영향을 미치는 제 3고조파 및 5고조파인 저차 고조파가 크게 감소하여 THD의 개선을 이루었다.

5. 결 론

본 논문에서는 고조파 영향에 민감한 부하를 위한 고효율 APLC를 설계하였다. 시뮬레이션 및 실험을 통

해 입력전류는 입력전압과 동상으로서 역률 제어가 이루어지고 있음을 확인하였고 입력전류는 저차 고조파가 거의 없는 정현적인 모양을 유지함으로써 전류제어가 이루어지고 있음을 알 수 있었다. 또한 히스테리시스 전류제어기를 통해 과도응답에서 빠른 동적 응답 특성을 보이고 있는 것을 확인하였다. 다양한 시뮬레이션 및 실험적인 결과를 통해 제안된 제어기의 성능을 증명하였다.

참 고 문 헌

- [1] H. Akagi, "Trends in active power line conditioners," IEEE Trans. Power Elec. vol. 9, no. 3, pp. 263, 1994.
- [2] Hideaki Fujita, H. Akagi, "The Unified Power Quality Conditioner: The Integration of Series-and Shunt-Active Filters", IEEE Trans, Power Elec, vol. 13, no 2 1998.
- [3] Yu-Kang Lo and Lian Chen Kuo, "A new control method for single-phase active power line conditioners," APEC'99, vol. 2, pp. 1150~1152, 1999.
- [4] S. J. Huang et al, "New Phase shift control circuit for a voltage-control active power filter," Int. J. Electronics, vol. 86, no. 4, pp. 475~485, 1999.
- [5] David M. E. Ingram and Simon D. Round, "A fully digital hysteresis controller for an active power filter," International Journal of Electronics, vol. 86, no. 10, pp. 1217~1232, 1999.

저 자 소 개



김병진(金炳鎭)

1970년 6월 26일생. 1994년 숭실대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 졸업(박사). 현재 현대중공업(주) 기전연구소 연구원.



전희종(田喜鐘)

1953년 1월 6일생. 1975년 숭실대 전기공학과 졸업. 1977년 서울대 대학원 전기공학과 졸업(석사). 1977년~1981년 공군사관학교 전자공학과 교수부. 1987년 중앙대 대학원 전기공학과 졸업(공박). 1995년~1996년 Univ. of Victoria, CA. 객원교수. 1983년~현재 숭실대 전기공학과 교수. 당 학회 총무이사.