

CMOS 연산 증폭기 설계를 위한 전류 미러 제안

崔太燮, 安寅秀, 金光勳, 宋碩浩, 司空石鎭

Proposal of the Current Mirror for the Circuit Design of CMOS Operational Amplifier

Tae-Sup Choi, In-Soo Ahn, Kwang-Hun Kim, Seok-Ho Song, Sug-Chin Sakong

요 약

본 논문에서는 큰 출력 저항과 기준 전류와의 정합 특성이 우수한 새로운 전류 미러를 제안한다. CMOS 증폭기 회로에서 전원 전압이 작아지는 경우 출력 전압의 스윙 폭이 전원 전압에 의해 제한되는 단점이 있으므로 제안된 회로는 이런 단점을 해결하기 위해 출력단의 스윙을 키우고, 안정된 동작을 할 수 있도록 한다. 출력단 부하가 큰 경우에 구동 능력을 증대시키고, 작은 전원 전압을 가질 때에도 큰 출력 스윙을 갖는 전류 미러를 시뮬레이션을 통해 기존의 캐스코드 전류 미러와 Regulated 전류 미러의 특성을 비교 및 고찰한다.

ABSTRACT

In this paper, we proposed the new current mirror has large output resistance and excellent current matching characteristics. If supply voltage were lowered under the conventional CMOS operational amplifier, the swing of output power could be restricted. So, the paper suggests a new way of differential operational amplifier circuit to solve the problem. The paper proposes that a new current mirror increases output swing and has a stable operation. We compare and verify characteristics of the proposed current mirror with the cascoded current mirror and the regulated current mirror through simulation.

Key words : Differential operational amplifier circuit, Current mirror

1. 서 론

최근 반도체 생산 기술의 발전으로 CMOS 기술 분야는 그 중요성이 점차 증대되고 있다.

CMOS 제조 기술은 동일 칩 상에서 아날로그 시스템과 디지털 시스템을 집적시킬 수 있을 뿐만 아니라 공정 기술도 발전되어 집적 회로 제작 기술에 넓게 이용되고 있다. 그러나 아날로그 회로와 디지털 회로를 혼용하여 설계하는 경우, 아날로그 회로에서는 공정 변화에 의한 파라미터의 변화, 전원 전압 및 전류의 변화, 주파수 특성 등 여러 가지 제한 조건을 극복할

수 있는 설계 기술이 필요하다.^{[1][2][3]}

또한 노트북, 휴대폰과 같은 휴대용 전자 제품의 시장이 급격하게 성장함에 따라 매우 빠른 클럭 주파수로 동작하는 시스템에서는 전력 소비의 증가로 인한 신뢰도 감소와 패키징(packaging) 비용이 증가하는 문제점이 발생함으로 저전력 회로 설계 기술은 집적 회로 설계의 모든 측면에서 점점 더 중요하게 대두되고 있다.

따라서, 이와 같은 문제점을 해결하기 위해 다양한 저전력 회로 설계 기법들이 디지털 및 아날로그 회로의 설계 영역에서 활발하게 연구 및 보고되고 있다.^{[4][5][6]}

아날로그와 디지털 회로가 혼용되어 있는 대규모 혼성 모드 집적 회로 시스템을 구현하기 위해서는 낮은 전압 전압에서 동작되는 증폭 회로 설계가 필수적이다. 기존의 낮은 전압에서의 CMOS 연산 증폭기 설계 시에는 출력단에 요구되는 큰 출력 스윙 폭과 높은 전압 이득을 얻기 위해 다단 구조의 증폭기를 사용하였으나 하나의 증폭단만을 사용하는 구조에 비해 상대적으로 큰 면적과 소비 전력을 필요로 한다.

반면, 하나의 단만으로 CMOS 연산 증폭기를 설계할 경우에는 과도 응답시의 슬루율 제한 때문에 나쁜 대신호 특성을 갖는다. 이 경우, Class AB 구조를 사용한 조절하기 쉬운 의사 전류를 이용하여 필요시 전류를 증가시킬 수 있으나, 큰 입력 신호가 인가되면 전류 레벨을 증가시키기 위해 부가적인 회로가 필요하다. 이에 소오스 결합 nMOS와 pMOS 트랜지스터를 사용하여 위와 같은 단점을 개선시킬 수 있다.

그러나, 소오스 결합 트랜지스터에 상대적으로 큰 전압 강하가 걸리므로 동상 모드 입력 범위의 제한과 낮은 공급 전압에서 잘 동작하지 않는 단점이 있다.^{[7][8]}

CMOS 회로에서 전압 전압이 낮아지는 경우 전력 소모가 적어지기는 하지만, 저전압을 사용할 때 출력 전압의 스윙 폭이 전압 전압에 의해 제한되고, 출력 전압의 제한으로 인해 구동 능력과 입출력 S/N 비가 저하된다. 따라서 이러한 단점들을 극복하기 위해 출력단의 출력 스윙을 늘리기 위해 차동 연산 증폭기 회로를 사용한다.^{[9]-[10]}

본 논문에서는 큰 출력 저항과 기준 전류와의 정합 특성이 우수한 새로운 전류 미러를 제안한다.

기존의 전류 미러와의 특성 비교를 통하여 제안된 전류 미러의 우수성을 검증하고, 연산 증폭기에 사용시 Regulated 전류 미러 및 기존의 캐스코드 전류 미러와 새로운 제안한 전류 미러의 특성을 비교 및 고찰한다.

2. 제안한 전류 미러의 특성

그림 1은 본 논문에서는 안정된 특성을 갖고, 큰 출력 스윙을 위한 회로 설계를 위해 Wide Swing Cascode Current Mirror를 기초로 안정된 특성을 갖고, 큰 출력 스윙을 위하여 단점을 보완하여 제안한 새로운 전류 미러 구조이다.

제안된 전류 미러의 입력 전류 I_{ref} 와 출력 전류 I_o 의

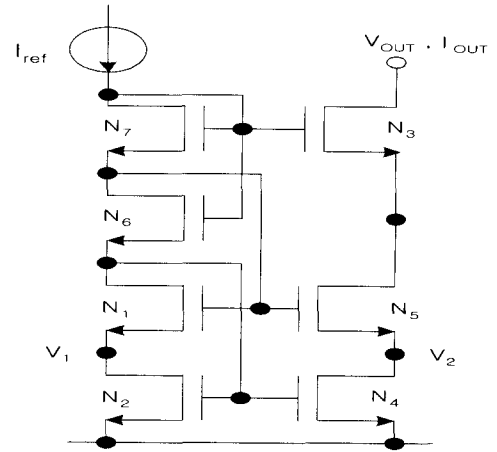


그림 1 제안된 전류 미러 구조
Fig. 1 Proposed current mirror structure

비는 트랜지스터 N_2 와 N_4 의 크기의 비(ratio)로써 결정된다. V_1 전압과 V_2 전압의 크기가 거의 같기 때문에 입력 전류 I_{ref} 와 출력 전류 I_o 의 비는 일정하다.

트랜지스터 N_6 의 소오스 전압은 트랜지스터 N_2 와 N_4 의 게이트에 인가되고, 트랜지스터 N_7 의 소오스 전압은 트랜지스터 N_1 과 N_5 의 게이트에 인가된다.

따라서, 두 개의 인가된 전압의 차는 트랜지스터 N_6 의 드레인-소오스간 전압으로 항상 일정하고, 트랜지스터 N_6 의 드레인-소오스간 전압이 트랜지스터 N_2 와 N_4 가 포화 영역에서 동작할 수 있는 전압의 크기를 갖는다면 트랜지스터 N_2 와 N_4 는 포화 영역에서 동작한다. 이 경우 트랜지스터 N_2 와 N_4 의 드레인-소오스간 전압이 작아져 전류원의 출력 스윙은 커진다.

입력 전류가 증가 또는 감소하더라도 트랜지스터 N_6 과 N_2 , N_4 의 비가 일정하므로, N_2 와 N_4 는 항상 포화 영역에서 동작하고 입출력 전류비도 일정하게 유지된다. 이 회로의 출력 저항은 다음 식 (1)과 같이 나타낼 수 있다.

$$r_{out} \cong (g_{m6} r_{ds4} r_{ds5}) g_{m3} r_{ds3} \tag{1}$$

그림 2는 제안된 새로운 전류 미러의 시뮬레이션 특성을 나타낸 것이다.

표 1은 회로의 특성을 나타낸 것으로, 회로의 특성에서 출력 저항은 Regulated 전류 미러와 같은 큰 값을 갖고, 기준 전류와의 정합 특성이 좋다.

이 전류 미러는 출력 저항이 큰 하나의 MOS 트랜지스터와 같은 특성을 갖는다.

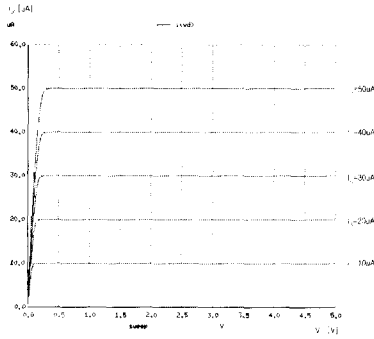


그림 2 제안된 전류 미러의 시뮬레이션 특성
Fig. 2 Simulation characteristic of proposed current mirror circuit

표 1 제안된 전류 미러의 회로 특성
Table 1 Circuit characteristic of proposed current mirror circuit

트랜지스터		기준 전류 [μA]	출력 저항 [G Ω]
기호	L[μm]		
N ₁	2	10	100~25
N ₂ ~N ₇	2	50	

새로운 전류 미러의 출력 스윙이 향상되었음을 캐스 코드 전류 미러와의 비교를 통해 고찰한다. 캐스코드 전류 미러의 V_{out} 단에 걸리는 전압에 따른 특성은 식 (2)~(5)와 같다.

$$V_{GS1} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W_1}{L_1}}} + V_{Tn} \quad (2)$$

$$V_{GS2} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W_2}{L_2}}} + V_{Tn} \quad (3)$$

$$V_{GS3} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W_3}{L_3}}} + V_{Tn} \quad (4)$$

$$V_{GS4} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W_4}{L_4}}} + V_{Tn} \quad (5)$$

만약 모든 트랜지스터의 크기가 동일하다면 각 트

랜지스터에서의 게이트 소오스간의 전압은 정상 상태에서는 동일하고, 식 (6)과 같다.

$$V_{GS1} = V_{GS2} = V_{GS3} = V_{GS4} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} + V_{Tn} \quad (6)$$

트랜지스터의 미러링 특성에 따라 정상 동작일 경우 $V_{DS2} = V_{GS1}$ 이 된다. 만약 출력단 트랜지스터의 출력 전압이 변화하게 되면 트랜지스터의 동작 영역이 변화하게 되는데 트랜지스터의 드레인과 소오스에 인가되는 전압이 일정 전압 이하로 저하되면 트랜지스터는 포화 영역에서 선형 영역으로 들어가게 된다. 이때의 전압을 $V_{DS(sat)}$ 라 한다.

출력단에서의 전압에 따른 출력 트랜지스터 N₂ 와 N₄의 동작 상태를 살펴보면 다음과 같다.

우선 V_{out} 이 클 경우 트랜지스터 N₂ 와 N₄ 모두 포화 영역에서 동작하며, 이 경우 기준 전류와 출력 전류는 동일하며 출력 저항은 $g_{m1} \cdot r_{o2} \cdot r_{o4}$ 가 된다.

V_{out} 이 $V_{DS2} + V_{DS4(sat)}$ 보다 작거나 같을 경우 트랜지스터 N₂는 포화 영역, N₄는 선형 영역에 들어가며 출력 전압에 따라서 기준 전류와 출력 전류가 약간씩 달라지게 된다. 이 때, 출력 저항은 r_{o2} 정도가 된다.

V_{out} 이 $V_{DS2(sat)} + V_{DS4(sat)}$ 보다 작거나 같을 경우에는 트랜지스터 N₂ 와 N₄ 모두가 선형 영역에 들어가게 되어 출력 전류가 급격히 떨어지게 되며 출력 저항 또한 매우 떨어지게 되어 전류 미러로서 동작을 할 수 없게 된다.

이에 트랜지스터 N₂와 N₄가 동시에 포화 영역에 있을 수 있는 출력 전압의 최소값은

$$2 \cdot \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} + V_{Tn}$$

살펴보면 $\sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} \approx 0.2 \sim 0.3$ 정도이고,

$V_{Tn} \approx 0.7 \sim 0.8$ [V] 정도이므로 출력 전류원이 정상 동작하는 영역은 1.1~1.4[V] 이상이 되어야 한다.

새로운 전류 미러의 전체 소자들 중에서 트랜지스터 N₆을 제외한 모든 소자가 동일하다고 가정하면 각 소

자들의 게이트-소오스간의 전압은 위의 식 (6)과 같이 된다.

트랜지스터 N_6 은 선형 영역에서 동작하며 게이트와 소오스간의 전압은 트랜지스터 N_6 과 N_7 이 직렬로 연결된 구조이므로 식 (7)과 같이 결정된다.

$$V_{GS6} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{(W_6 \parallel W_7)}{L}}} + V_{Tn} \quad (7)$$

트랜지스터 N_6 의 드레인-소오스간 전압은 식 (8)과 같이 결정된다.

$$V_{DS6} = V_{GS6} - V_{GS7} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{(W_6 \parallel W_7)}{L}}} - \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W_7}{L}}} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W_7}{L}}} \cdot \left(\sqrt{1 + \frac{W_7}{W_6}} - 1 \right) \quad (8)$$

트랜지스터 N_6 의 드레인-소오스 전압이 다른 트랜지스터들의 포화 영역에 있기 위한 $V_{DS(sat)}$ 전압이 되려면 $W_7/W_6 = 3$ 이상이 유지되어야 한다. V_{DS6} 의 전압이 다른 트랜지스터들의 포화 영역을 유지하기 위한 전압으로 설계하였다면 각 출력 트랜지스터들의 전압은 식 (9)~(13)와 같이 된다.

$$V_{GS2} = V_{GS1} = V_{S6} \quad (9)$$

$$V_{G1} = V_{G5} = V_{S6} + V_{DS6} = V_{GS2} + V_{DS(sat)} \quad (10)$$

$$V_{G3} = V_{G7} = V_{S6} + V_{DS6} + V_{GS7} = V_{GS2} + V_{DS(sat)} + V_{GS7} \quad (11)$$

$$V_{S3} = V_{G3} - V_{GS3} = V_{GS} + V_{DS(sat)} \quad (12)$$

$$V_{S5} = V_{G5} - V_{GS5} = V_{DS(sat)} \quad (13)$$

V_{out} 이 클 경우에는 트랜지스터 N_3, N_4, N_5 모두 포화 영역에 있고 이 경우 기준 전류와 출력 전류는 동일하며 출력 저항은 $r_{o3} \cdot g_{m3} \cdot r_{o5} \cdot g_{m5} \cdot r_{o4}$ 가 된다.

식 (14)와 같이 V_{out} 이 $V_{S3} + V_{DS3(sat)}$ 보다 작거나 같을 경우 트랜지스터 N_3 은 선형 영역, N_4 와 N_5 는 포화 영역에 들어가며 출력 전압에 따라서 기준 전류와 출력 전류는 캐스코드 전류 미러와 동일한 동작을 하게 되므로 전류는 거의 동일하다. 출력 저항은 $r_{o5} \cdot g_{m5} \cdot r_{o4}$ 정도가 된다. 이는 캐스코드 전류 미러의 정상 동작 영역일 때의 출력 저항과 동일하다.

$$V_{out} \leq V_{S3} + V_{DS3(sat)} = V_{GS} + 2 \cdot V_{DS(sat)} = 3 \cdot \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} + V_{Tn} \quad (14)$$

식 (15)와 같이 V_{out} 이 $V_{DS5(sat)} + V_{DS4(sat)}$ 보다 작거나 같을 경우에는 트랜지스터 N_3 과 N_5 는 선형 영역에 들어가고 N_4 가 포화 영역에 있는 경우로서 출력 전압에 따라서 기준 전류와 출력 전류가 약간씩 달라지게 된다. 출력 저항은 r_{o4} 정도가 된다.

$$V_{out} \leq V_{DS5(sat)} + V_{DS4(sat)} = 2 \cdot \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} \quad (15)$$

식 (16)과 같이 V_{out} 이 $V_{DS1(sat)}$ 보다 작거나 같을 경우에는 출력 전류가 급격히 떨어지게 되며 출력 저항 또한 매우 떨어지게 되어 전류 미러로서 동작을 못하게 된다.

$$V_{out} \leq V_{DS1(sat)} = \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} \quad (16)$$

앞의 결과를 살펴보면 트랜지스터 N_3, N_4, N_5 가 동시에 포화 영역에 있을 수 있는 출력 전압의 최소값은

$$3 \cdot \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} + V_{Tn}$$

살펴보면, $\sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}} \approx 0.2 \sim 0.3$ 정도이고

$V_{Tn} \approx 0.7 \sim 0.8$ 정도이므로 출력 전류원이 정상 동작하는 영역은 1.3~1.7[V] 이상이 되어야 하며 이 경우에는 3단의 캐스코드 구조이므로 출력 저항 ($r_{o3} \cdot g_{m3} \cdot r_{o5} \cdot g_{m5} \cdot r_{o4}$)이 일반적인 캐스코드 구조의 전류 미러보다 매우 높음을 알 수 있다.

일반적인 캐스코드 전류 미러와 동작이 유사한 트랜지스터 N_4 와 N_5 가 포화 영역을 유지할 수 있는 최소 출력 전압은 $2 \cdot \sqrt{\frac{2I_B}{\mu_n C_{ox} \frac{W}{L}}}$ 로서 출력 전압이 0.4~0.6[V] 이상이면 일반적인 캐스코드 전류 미러와 거의 동일한 특성을 얻을 수 있으므로 캐스코드 전류 미러의 정상 출력 전압의 최소값인 1.1~1.4[V]에 비해 0.7~0.8[V]의 출력 스윙의 이득을 얻을 수 있다.

3. 연산 증폭기 구성 및 시뮬레이션

다음은 제안한 전류 미러로 구성된 연산 증폭기의 특성을 20[μ A]와 10[μ A]의 두 가지 기준 전류를 설정하여 시뮬레이션 결과를 통해 기준 전류가 감소하면 회로의 특성이 어떻게 변화하는지를 비교·검토한다.

3.1 제안한 전류 미러로 구성된 연산 증폭기

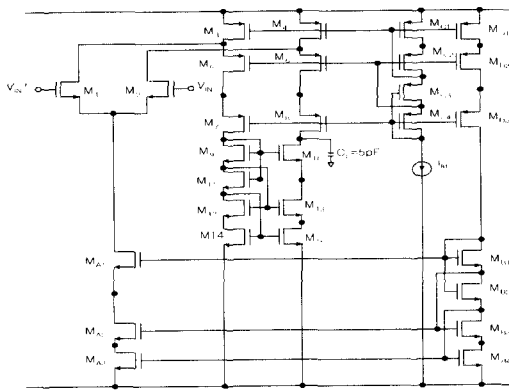


그림 3 제안한 전류 미러로 구성된 연산 증폭기
Fig. 3 Op Amp circuit using the proposed current mirror

그림 3은 제안한 전류 미러로 구성된 연산 증폭기이다.

그림 4는 기준 전류 I_{BI} 이 20[μ A]일 때 연산 증폭기의 부캐환이 없는 개방 루프일 경우 입출력 DC 특성이다.

offset 전압은 0.1[mV]로 캐스코드 전류 미러로 구성된 연산 증폭기 보다 0.05[mV] 만큼 작고 출력 신호의 범위는 +2.04[V]~-2.2[V]로 캐스코드 전류 미러로 구성된 연산 증폭기 보다 1.58[V] 더 크음을 알 수 있다.

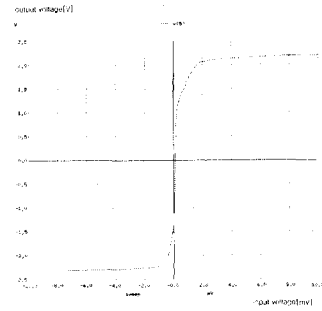


그림 4 개방 루프에서의 DC 입출력 특성(I_{BI} =20[μ A])
Fig. 4 DC characteristics of open loop(I_{BI} =20[μ A])

그림 5는 기준 전류 I_{BI} 이 20[μ A]이고 부하 캐패시턴스가 5[pF]일 때 개방 루프에서의 AC 특성이다. 개방 루프 이득이 91.5dB로 캐스코드 전류 미러로 구성된 연산 증폭기 보다 31.4dB 더 크고 위상 여유와 단위 이득 대역폭은 거의 동일하다.

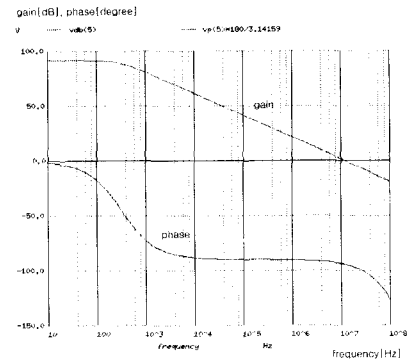


그림 5 개방 루프에서의 AC 특성(I_{BI} =20[μ A])
Fig. 5 AC characteristics of open loop(I_{BI} =20[μ A])

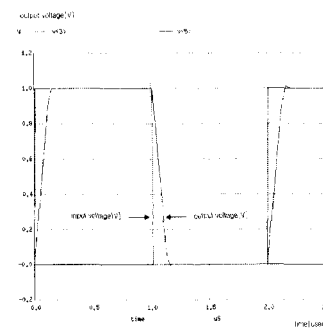


그림 6 연산 증폭기의 과도 응답 특성(I_{BI} =20[μ A])
Fig. 6 Transient characteristics of Op Amp(I_{BI} =20[μ A])

그림 6은 기준 전류 I_{BI} 이 $20[\mu A]$ 이고 부하 캐패시턴스가 $5[pF]$ 일 때 과도 응답 특성이다. 슬루율은 $+7.6[V/\mu s]$, $-7.8[V/\mu s]$ 로 캐스코드 전류 미러로 구성된 연산 증폭기와 동일하다.

3.2 연산 증폭기의 전류 미러 특성 비교

표 2는 각 연산 증폭기에 사용된 Regulated 전류 미러와 캐스코드 전류 및 제안된 전류 미러의 시뮬레이션 특성 결과를 비교한 것으로 특성 결과에서와 같이 제안된 전류 미러로 구성된 연산 증폭기의 이득과 출력 스윙이 다른 전류 미러로 구성한 것 보다 더 클 수 있다.

표 2 연산 증폭기의 전류 미러 특성 비교
Table 2 Comparison for characteristics of the current mirror of Op Amps

구 조 변 수	Regulated 전류 미러를사용한 연산증폭기 ($I_{BI}=20[\mu A]$, $C_L=5[pF]$)	캐스코드 전류 미러를 사용한 연산증폭기 ($I_{BI}=20[\mu A]$, $C_L=5[pF]$)	제안된 전류 미러를 사용한 연산증폭기 ($I_{BI}=20[\mu A]$, $C_L=5[pF]$)
Power Supply [V]	±2.5	±2.5	±2.5
Open Loop Gain [dB]	82.5	61.4	91.5
Phase Margin(degree)	86	87	86
Unity Gain Bandwidth [Hz]	12M	12M	12M
Offset [mV]	0.13	0.15	0.1
Slew-Rate(+) [$V/\mu s$]	7.5	7.6	7.6
Slew-Rate(-) [$V/\mu s$]	-7.6	-7.8	-7.8
Output Swing(+) [V]	1.8	1.2	2.04
Output Swing(-) [V]	-1.86	-1.38	-2.2

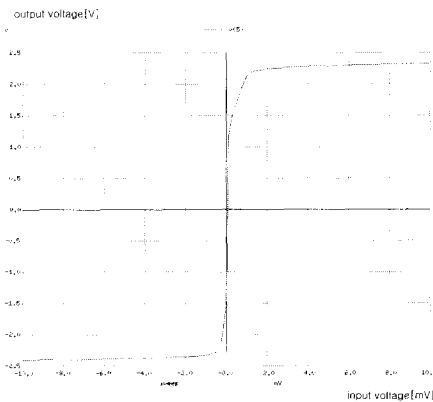


그림 7 개방 루프에서의 DC 입출력 특성 ($I_{BI}=10[\mu A]$)
Fig. 7 DC characteristics of open loop($I_{BI}=10[\mu A]$)

그림 7은 기준 전류 I_{BI} 이 $10[\mu A]$ 일 때 연산 증폭기의 부캐환이 없는 개방 루프일 경우 입출력 DC 특성이다. offset 전압은 $0.06[mV]$ 로 기준 전류 I_{BI} 이 $20[\mu A]$ 일 때 보다 $0.04[mV]$ 만큼 작고 출력 신호의 범위는 $+2.17[V] \sim -2.27[V]$ 로 기준 전류 I_{BI} 이 $20[\mu A]$ 일 때와 거의 동일하다.

그림 8은 기준 전류 I_{BI} 이 $10[\mu A]$ 이고 부하 캐패시턴스가 $5[pF]$ 일 때 개방 루프에서의 AC 특성이다. 개방 루프 이득은 94.3 dB 이고 기준 전류 I_{BI} 이 $20[\mu A]$ 일 때 보다 3 dB 정도 크고 위상 여유는 85° 도이며 기준 전류 I_{BI} 이 $20[\mu A]$ 일 때와 거의 동일하다. 단위 이득 대역폭은 $8.7[\text{MHz}]$ 이며 기준 전류 I_{BI} 이 $20[\mu A]$ 일 때 보다 $3[\text{MHz}]$ 정도 폭이 좁다.

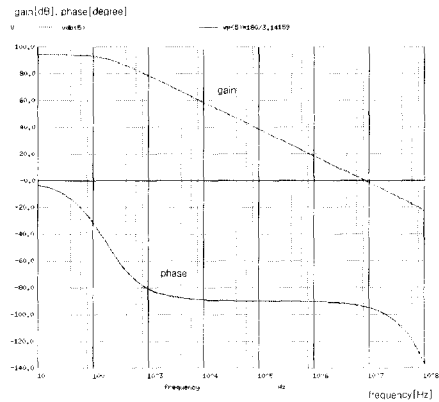


그림 8 개방 루프에서의 AC 특성 ($I_{BI}=10[\mu A]$)
Fig. 8 AC characteristics of open loop($I_{BI}=10[\mu A]$)

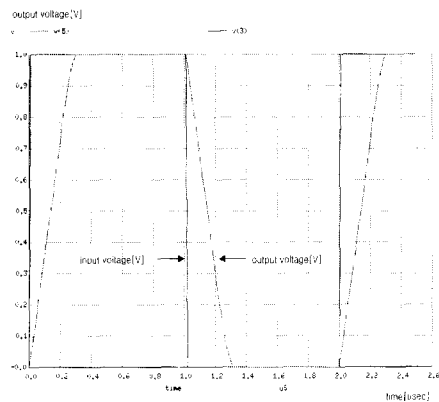


그림 9 연산 증폭기의 과도 응답 특성 ($I_{BI}=10[\mu A]$)
Fig. 9 Transient characteristics of Op Amp ($I_{BI}=10[\mu A]$)

그림 9는 기준 전류 I_{BI} 이 $10[\mu A]$ 이고 부하 캐패시턴스가 $5[pF]$ 일 때 과도 응답 특성이다. 슬루율은 $+3.8[V/\mu s]$, $-3.9[V/\mu s]$ 이며 기준 전류 I_{BI} 이 $20[\mu A]$ 일 때 보다 반으로 준다.

표 3 기준 전류 변화에 따른 연산 증폭기의 특성 비교
Table 3 Comparison for characteristics of reference current variation

구 조 변 수	제안한 전류원을 이용한 연산 증폭기	
	($I_{BI}=10[\mu A]$, $C_L=5[pF]$)	($I_{BI}=20[\mu A]$, $C_L=5[pF]$)
Power Supply [V]	± 2.5	± 2.5
Open Loop Gain [dB]	94.3	91.5
Phase Margin [degree]	85	86
Unity Gain Bandwidth [Hz]	8.7M	12M
Offset [mV]	0.06	0.1
Slew Rate(+) [V/ μs]	3.8	7.6
Slew Rate(-) [V/ μs]	3.9	7.8
Output Swing(+) [V]	2.17	2.04
Output Swing(-) [V]	2.27	2.2

표 4 제안된 회로의 MOS 트랜지스터의 모델 파라미터
Table 4 MOS transistor model parameter of the proposed circuit

nMOS LEVEL-2				pMOS LEVEL-2			
UO	601.9	PB	0.880	UO	198.3	PB	1.058
VTO	0.7271	IS	100E-18	VTO	0.6363	IS	100E-18
NFS	186.8E2	JS	100E-6	NFS	165.4E9	JS	100E-6
TPG	1.00	NEFF	2.384	TPG	1.00	NEFF	0.9163
TOX	225E-10	CJ	387.4E-6	TOX	225E-10	CJ	374.1E-6
NSUB	4.549E19	MJ	0.3084	NSUB	2.195E16	MJ	0.3309
UCRIT	14.88E3	CJSW	550.E-12	UCRIT	21.07E3	CJSW	496E-12
UEXP	0.1102	MJSW	0.99	UEXP	0.1615	MJSW	0.624
VMAX	58.69E3	CGSO	2.27E-10	VMAX	23.00E-9	CGSO	1.08E-10
RSH	132.3	CGDO	2.271E-10	RSH	180.2	CGDO	1.08E-10
XJ	8.801E-9	CGBO	3.315E-10	XJ	63.16E-9	CGBO	6.25E-10
LD	202E-9	FC	500E-3	LD	148E-9	FC	500E-3
DELTA	2.944			DELTA	1.221		

표 3은 기준 전류 I_{BI} 이 $10[\mu A]$ 와 $20[\mu A]$ 일 때의 시뮬레이션 특성 결과를 비교한 것이다.

특성 결과에서와 같이 기준 전류 I_{BI} 이 $20[\mu A]$ 에서 $10[\mu A]$ 로 감소하면 이득이 3dB정도 증가하고 단위 이득 대역폭은 3[MHz] 정도 감소한다. 위상 여유와 출력 스윙은 거의 변화가 없다. 반면에 offset 전압은 0.04

[mV] 감소하고 슬루율은 절반으로 감소함을 알 수 있다.

표 4는 제안된 회로의 MOS 트랜지스터의 모델 파라미터를 나타낸 것이다.

제안한 회로의 동작을 고찰하기 위해 전체 회로의 시뮬레이션을 수행해 Orbit의 $1.2[\mu m]$ n-well double poly double metal CMOS processor Design Rule을 사용했고, 레이아웃에 사용한 Design Tool은 Magic이다. 그 외, SUN 워크스테이션(Workstation) 환경에 시뮬레이션은 SPICE3f를 사용하였다.

4. 결 론

본 논문에서는 출력부의 스윙을 키우고, 안정된 동작을 위해 새로운 전류 미러를 제안하고, 제안한 전류 미러와 Regulated 전류 미러 및 기존의 캐스코드 전류 미러의 특성을 비교하였다.

제안된 전류 미러는 Regulated 전류 미러와 같이 큰 출력 저항값을 갖고, 기준 전류와의 정합이 잘 되며, 출력 저항이 큰 하나의 MOS 트랜지스터와 같은 특성을 갖는다.

제안된 전류 미러로 구성된 연산 증폭기를 시뮬레이션을 통해 Regulated 전류 미러 및 캐스코드 전류 미러와의 특성을 비교한 결과 제안한 전류 미러로 구성된 연산 증폭기는 캐스코드 전류 미러로 구성된 연산 증폭기의 경우보다 이득이 30.4dB 향상되었고, 출력 스윙이 1.58[V] 더 큼을 알 수 있다.

또한, 기준 전류 I_{BI} 이 $10[\mu A]$ 와 $20[\mu A]$ 일 때의 시뮬레이션 특성 결과를 고찰하면, 기준 전류 I_{BI} 이 $20[\mu A]$ 에서 $10[\mu A]$ 로 감소할 경우, 이득이 3dB 정도 증가하였고, 단위 이득 대역폭은 3[MHz] 정도 감소하였다. 위상 여유와 출력 스윙은 변화가 거의 없고, offset 전압은 0.04[mV] 감소하고 슬루율은 절반으로 감소하였다.

참 고 문 헌

- [1] P. R. Gray, and R. G. Meyer, "Analysis and Design of Analog Integrated Circuit", New York. John Willy, 1984.
- [2] Y. P. Tsividis, "Design of MOS VLSI Circuits for Telecommunications", New York. Prentice Hall, 1985.
- [3] R. Gregorian, and G. C. Temes, "Analog MOS Integrated Circuits for Signal Processing", New York. John Willy, 1986.
- [4] S. Mutoh and J. Yamada, "1V power supply high

- speed digital circuit technology with multithreshold-voltage CMOS”, IEEE J. Solid-State Circuits, vol. 30, no. 8, pp. 847-854, Aug. 1995.
- [5] T. Kawahara et al, “Subthreshold current reduction for decoded-driver by self reverse-biasing”, IEEE J. Solid-State Circuits, vol. 28, no. 8, pp. 847-854, Nov. 1993.
- [6] J. S. Denker, “A review of adiabatic computing”, IEEE Symposium on Low Power Electronics, Tech. Dig., SanDiego, pp. 94-97, October. 1994.
- [7] J. A. Fisher and R. Koch, “A highly linear CMOS buffer amplifier”, IEEE JSSC, SC-22, pp. 330-334, 1987.
- [8] R. Castello and P. R. Gray, “A high-performance micropower switched capacitor filter”, IEEE JSSC, SC-20, pp. 1122-1132, 1985.
- [9] G. A. Callewaert and W. M. Sansen, “Class AB CMOS amplifiers with high efficiency”, IEEE JSSC, SC-25, pp. 684-691, 1990.
- [10] R. Klinke, B. J. Hosticka and H. J. Pfeleiderer, “A very high slew-rate CMOS operational amplifier”, IEEE JSSC, SC-24, pp. 744-746, 1989.

저 자 소 개



최태섭(崔太燮)

1967년 4월 12일생. 1992년 국민대 전자공학과 졸업. 1995년 동 대학원 전자공학과 졸업(석사). 1995년~2001년 현재 동 대학원 박사과정 수료.



안인수(安寅秀)

1967년 12월 10일생. 1992년 국민대 전자공학과 졸업. 1994년 동 대학원 전자공학과 졸업(석사). 1995년~2001년 현재 동 대학원 박사과정 수료.



김광훈(金光勳)

1966년 12월생. 1989년 국민대 전자공학과 졸업. 1991년 동 대학원 전자공학과 졸업(석사). 1997년 9월~2001년 현재 동 대학원 전자공학과 박사과정.



송석호(宋碩浩)

1969년 5월 10일생. 1992년 국민대 전자공학과 졸업. 1994년 동 대학원 전자공학과 졸업(석사). 1994년~2001년 현재 동 대학원 전자공학과 박사과정 수료.



사공석진(司空石鎭)

1951년 3월 23일생. 1976년 고려대 전자공학과 졸업. 1981년 동 대학원 전자공학과 졸업(석사). 1995년 동 대학원 전자공학과 졸업(박사). 1982년~2001년 현재 국민대 전자공학과 교수.