

제주-해남 HVDC 시스템의 EMTDC 모델링

金 燦 起

EMTDC Modelling of Cheju-Haenam HVDC System

Chan-Ki Kim

요 약

본 논문은 제주-해남 HVDC 시스템의 시뮬레이션을 다루고 있으며 본 논문의 목적은 HVDC 시스템을 정밀하게 모델링 하여 실제의 HVDC 변환소의 레코더에 나타난 파형과 동일한 파형을 만들어 내는 것이며 시스템의 정밀한 모델링을 통하여 HVDC 시스템의 제어 계인과 제어기 동작 특성 그리고 HVDC 시스템의 운전 특성을 확인하고자 하는 것이다. 제주-해남 HVDC 시스템은 상위 제어기는 디지털 제어기로 되어 있으나 실제적으로 싸이리스터 밸브를 동작시키는 전력전자 수준의 제어기는 아날로그 제어기로 되어있기 때문에 정밀한 제어 동작을 모델링하기 위해서 아날로그 제어기의 비선형 특성을 고려하였다. 마지막으로, 시뮬레이션은 PSCAD/EMTDC로 구현하였으며 시뮬레이션 결과는 실제의 HVDC 운전 파형과 비교하여 타당성을 검증하였다.

ABSTRACT

This paper deals with HVDC simulation. And the purpose of this paper is to reproduce measurements recorded at HVDC site and to verify the control gains and control actions. In this paper, the target of simulation study is Cheju-Haenam HVDC system. Because Cheju-Haenam HVDC system include analogue controller and digital controller, the detailed digital model considered nonlinear characteristics of analogue controllers is development for high accurate firing and control action. Finally the simulation results which is simulated by PSCAD/EMTDC is compared with measurement signals.

Key Words : HVDC, PSCAD/EMTDC

1. 서 론

우리 나라의 제주-해남 HVDC 시스템은 150[MW]의 정격용량에 180[KV]의 DC 전압을 가지며 육지에서 제주로, 제주에서 육지로 전력을 전송할 수 있는 양 방향성 전력 전송기능을 가지고 있다. 제주-해남 HVDC 시스템은 1998년 상업운전을 하고 있으며 대략 제주 부하의 60%정도를 감당하고 있다. 또한 제주-해남 HVDC 시스템은 Redundancy 개념을 도입하여 모든 제어기와 밸브 그리고 필터가 2중화되어 HVDC 시스템의 여유 도를 증가 시켰다.

HVDC 시스템의 구성은 그림 1과 같은 구성으로 되어 있으며 각각의 기능은 다음과 같다.

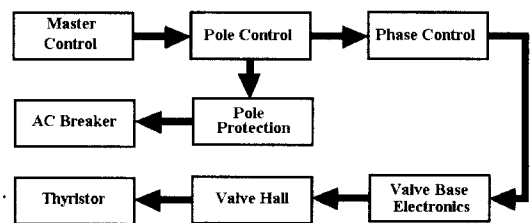


그림 1 제주-해남 HVDC 시스템 구성도
Fig. 1 Cheju-Haenam HVDC System Block Diagram

- **Master Control :**
 - HVDC 운전 모드와 지령 값을 설정.
 - 16bit 프로세서인 Transputer를 사용하여 디지털화.
- **Pole Control :**
 - HVDC 실행 알고리즘.
 - 16bit 프로세서인 Transputer를 사용하여 디지털화.
- **Phase Control :**
 - 밸브 구동 알고리즘 내장.
 - OP-Amp를 이용한 아날로그 회로.
- **Protection Control :**
 - HVDC 시스템의 보호회로.
 - OP-Amp를 이용한 아날로그 회로.
- **VBE(Valve Based Electronics) :**
 - 밸브보호 및 사이리스터 점호신호 발생.
 - 16bit 프로세서인 Transputer를 사용하여 디지털화.

HVDC 시스템을 모델링 하는데 있어서 디지털은 정확한 상태를 가지고 있기 때문에 별문제가 되지 않으나 밸브나 Phase Control과 같은 아날로그 제어기는 여러 가지 제어조건을 가지고 있기 때문에 별도의 고려가 필요하다.

1.1 아날로그 시스템의 모델링

아날로그 시스템은 디지털과 달리 비선형 상태를 가지고 있기 때문에 실제 시스템을 모의하는 것이 실로 어렵다. 그림 2는 OP-앰프 제어기로 구성된 아날로그 시스템의 "ON" 상태와 "OFF" 상태외에 ON 상태에서 OFF 상태로 천이 하는 과정과 OFF 상태에서 ON 상태로 천이 하는 별도의 상태를 가지고 있기 때문에 이러한 비선형성을 고려하여 제어기를 모델링 하는 것이 실제의 제어기와 유사하게 시뮬레이션하기 위한 조건이다.

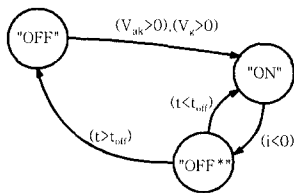


그림 2 아날로그 소자의 상태특성
Fig. 2 State Characteristics of Analogue Device

또한 아날로그 시스템을 모의하는데 있어서 사이리스터와 같은 대용량 전력 소자들을 실제 상황과 유사

하게 모의하기 위해서는 그림 3과 같이 도통 시에 전위장벽이 존재하는 전압을 고려하여 모의하면 보다 정확한 결과를 알 수가 있다.

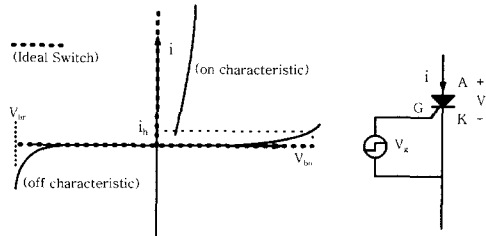


그림 3 사이리스터의 상태 특성
Fig. 3 State Characteristics of Thyristor

물론, 이러한 "ON" 상태와 "OFF" 상태 중간의 ON-OFF 천이 상태를 모의할 필요성은 아날로그 시스템을 모의하고자 하는 시간 영역에 따라 달라 질 수 있는데 계통의 안정도나 조류계산과 같은 긴 시간에는 아날로그제어기의 상태가 중요하지 않을 수 있다(혹은, 제어기 자체도 중요하지 않을 수 있다). 그러나 수백 ms이하의 짧은 시간에서는 이러한 아날로그 제어기의 비 선형 특성이 매우 중요하여 시스템의 응답특성을 결정하는 하나의 요소가 될 수 있다.

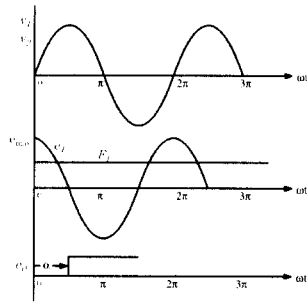
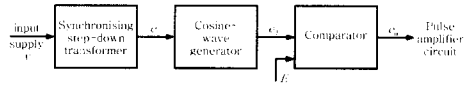
일반적으로 아날로그 시스템의 모델링은 우리가 확인하고자 하는 시간 영역을 정해 놓고, 시간 영역에 맞는 샘플링 타임을 결정한 후 샘플링 타임보다 큰 시정수의 제어기는 고려하고 샘플링 타임보다 작은 시정수는 무시하여 시뮬레이션을 행하기 때문에 소자 설계, 소자의 스너버 설계, 시스템의 과도상태 해석, 그리고 시스템의 안정도 해석과 같은 경우에는 각각의 경우에 따라 샘플링타임과 모델링기법이 각각 다르다.

본 논문에서는 이러한 아날로그의 비선형성을 고려하여 50[μS] 샘플링 타임 이내의 시정수나 제어조건은 무시하고 아날로그 제어기의 비선형 조건을 고려한 모델을 만들었다. 각각의 설명은 다음 장에서 설명하기로 한다.

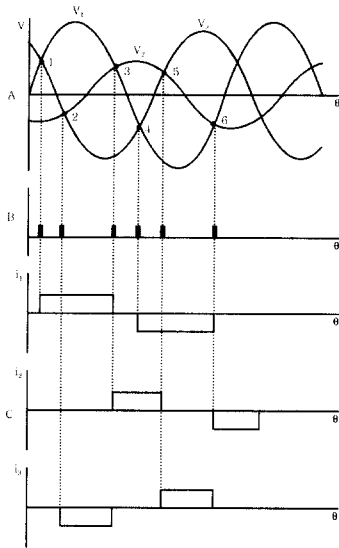
1.2 등간격 펄스 방식

사이리스터의 제어 방법에는 크게 2개의 제어방식으로 나눌 수 있는데 각상의 전압을 검출하여 이를 90도 지연시킨 파형과 제어기의 오차를 비교하여 제어 각(α)을 발생시키는 Cos⁻¹ 방법과 3상 전압의 주파수에 비례하는 일정 간격의 펄스를 발생시키는 등간격 방식이 있다.

Cos^{-1} 방법은 그림 4 (a)에서 보여 주는 바와 같이 선형 제어가 가능한 반면 그림 4 (b)에서 보는 바와 같이 3상 전압이 줄어든 경우에는 3상 전류에 많은 비특성 고조파를 함유한다는 단점을 가지고 있다. (그림 4에서 점호 각 α 는 0이다.)

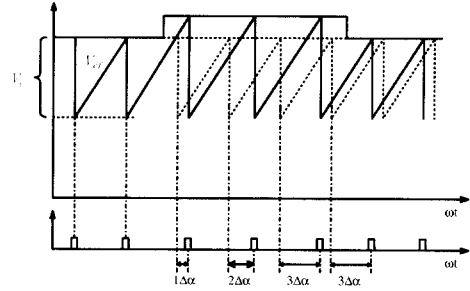


(a) 게이팅 로직

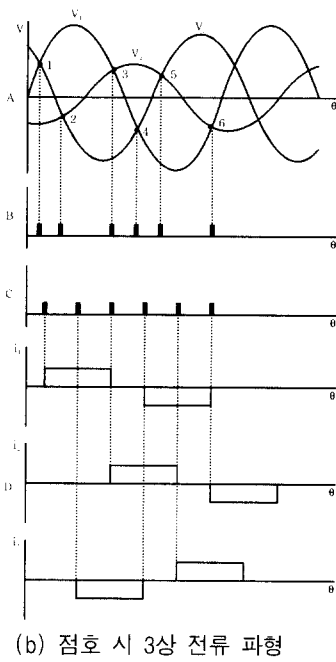


(b) 점호 시 3상 전류 파형

그림 4 Cos^{-1} 펄스 방식
Fig. 4 Cos^{-1} Pulse Method



(a) 게이팅 로직



(b) 점호 시 3상 전류 파형

그림 5 등간격 펄스 방식
Fig. 5 Equivalent Distance Pulse Method

반면에 등간격 펄스 방식은 오차 신호와 주파수에 비례하는 톱니파를 비교하는 방식으로 비 선형 제어성을 가지는 단점에도 불구하고 Cos^{-1} 방식에서 보는 바와 같은 3상 전류의 불평형 현상은 없다. 등간격 펄스 방식의 가장 큰 장점은 다른 제어 방식에 비해 AC 계통 단에 고조파의 발생이 확연히 줄어든다는 것으로 대부분의 HVDC 시스템의 주제어기로 채용되고 있다.

2. EMTDC를 이용한 HVDC 하드웨어 모델링

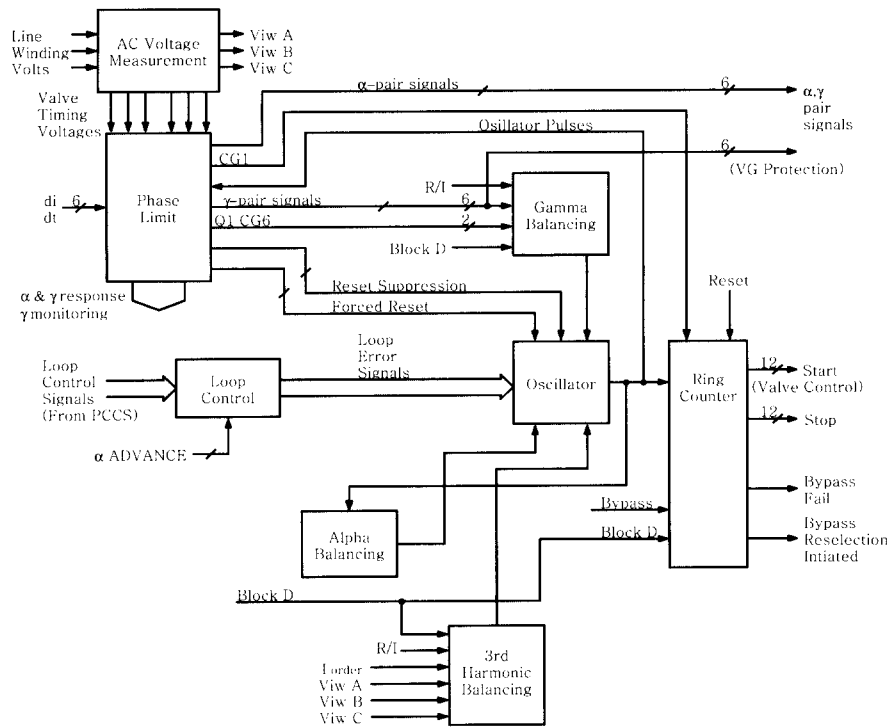


그림 6 Phase Control 의 블록도
 Fig. 6 Phase Control Block Diagram

시스템의 모델링 범위는 우리가 분석하고자 하는 시스템의 동작 범위에 따라 달라 질 수 있는데 계통의 조류를 모의하기 위해서는 시뮬레이션의 샘플링 타임이 수십[ms]에서 수초가 필요하고, 시스템의 제어 동작과 순시 과도 현상을 모의하기 위해서는 샘플링 타임이 수십[μs]에서 수[ms]가 필요하다. 또한 시스템 각각의 소자 특성을 모의하기 위해서는 수[μs]의 샘플링 타임이 필요하다.

PSCAD/EMTDC는 HVDC 시스템의 과도 현상과 동적 특성을 분석하기에 적합한 시뮬레이션 도구로써 많은 사용자들에 의해서 현실성이 있는 Library를 갖추고 있기 때문에 HVDC 시스템의 모의가 쉽고 정밀도가 높다.

따라서 본 논문에서는 PSCAD/EMTDC를 이용하여 제주-해남 HVDC 시스템의 하드웨어를 모의하였으며,

전력전자 수준에서 HVDC 시스템의 특성을 파악하기 위해서 HVDC 시스템의 시정수가 50[μs]이하의 시정수를 갖는 소자는 생략하고 500[ms]이상의 소자는 상수로 처리하여 시뮬레이션을 하였다. 또한 HVDC 시스템의 보호기능은 여러 가지가 있으나 보호 기능의 개념은 시스템을 정지시키는 데 주된 목적을 갖고 있기 때문에 전력 계통의 조류 계산이 아닌 시스템의 과도현상을 모의하기 위해서는 제어동작에 영향을 미치는 요소만을 고려해야 한다. 따라서 본 논문에서는 시스템의 정류실패가 감지되면 α 최대 제한기를 160도에서 130도로 줄이는 기능을 가진 AC/DC Differential 보호기능만을 고려하였다.

또한 HVDC시스템의 AC 계통의 표현은 AC 계통의 동요를 모의하는 것이 아니라 HVDC 시스템의 과도현상만을 모의해야 하기 때문에 저항과 무효 성분만을

갖는 이상적인 등가 모의 선로로 간략화 하였다.

따라서, 전력전자 수준에서 $50[\mu S]$ 의 샘플링 타임으로 HVDC 시스템을 모의하면 Pole Control에서는 VDCL (Voltage Dependent Current Limit)을 포함하는 제어기 모델 그리고 Phase Control에서는 $50[\mu S]$ 이상의 시정수를 갖는 소자만이 모델링 되고 VBE와 같이 수 $[\mu s]$ 에서 동작하는 부분은 무시되고 Master Control과 같이 수 $[s]$ 에서 동작하는 부분은 상수로 처리되었다. 그림 6은 HVDC 시스템을 전력전자 수준에서 모델링 하는데 있어서 가장 중요한 Phase Control 내부의 블록도를 나타내고 있다. 그림 6의 각 부분의 설명은 다음과 같다. 본 논문에서는 HVDC 시스템의 제어 동작만을 고려하려고 하기 때문에 Pole Control의 내부 구성은 생략하기로 하였다.

2.1 AC Voltage Measurement

싸이리스터 컨버터와 같이 위상제어를 행하는 제어 시스템은 AC 입력 전압의 위상을 알아야 하기 때문에 본 카드는 변압기의 단자로부터 3상 전압 신호를 받아 30도의 위상차이를 가지는 Y- Δ 용 선간 전압 신호를 만들어 낸다.

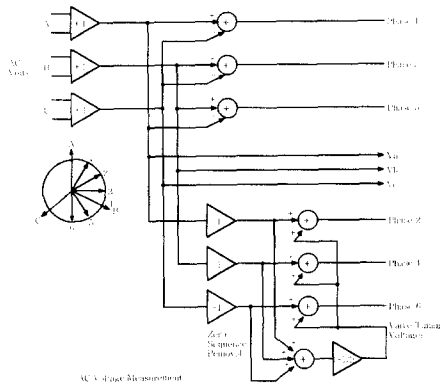
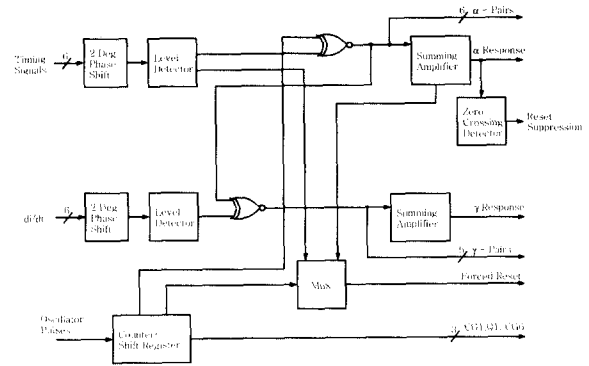


그림 7 AC Measurement
Fig. 7 AC Measurement

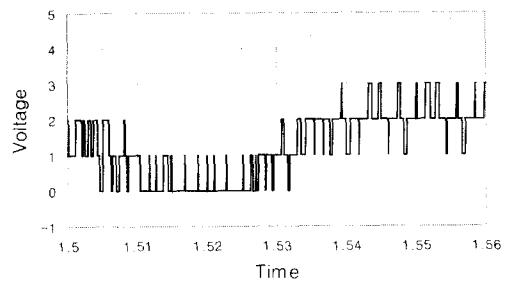
2.2 Phase Limit

Phase Limit 카드는 싸이리스터의 점호 각이 2° (Reset Suppression)에서 182° (Forced Reset) 안에서만 일어나도록 해주는 강제 점호 회로와 α 응답과 γ 응답을 계산하는 부분이다. Phase Limit에서 발생된 강제 점호 회로는 Oscillator의 Permission Logic의 입력 신호가 된다. 그림 8의 (a)는 Phase Limit의 구성

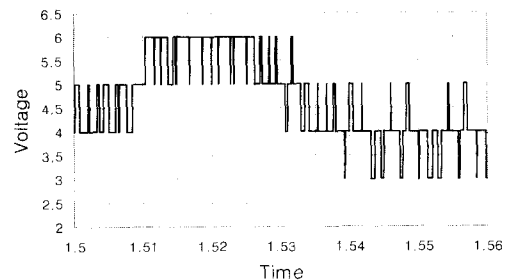
을 보여 주고 있으며 그림 8의 (b)와 (c)는 시뮬레이션 상에서 보여주는 α 응답과 γ 응답을 보여 주고 있다.



(a) Phase Limit 구성



(b) α 응답



(c) γ 응답

그림 8 Phase Limit
Fig. 8 Phase Limit

2.3 γ Balancing

AC 시스템은 이론적으로는 3상 평형 전압을 갖지만 실제적으로는 작은 불평형을 갖는다. 따라서 정상 상태에서 α 와 γ 값은 동일하지 않다. γ 제어기에 의한

불안정은 γ 계인 ($\sin \alpha / \sin \gamma$ 의 비율)에 의해서 발생하는 것으로 $\partial \alpha / \partial \gamma$ 변화 비율이 0보다 커지는 경향이 있고 이러한 현상은 반복적인 전류 실패를 유발한다. 이러한 현상을 극복하기 위해서는 상간의 12개의 소호 각을 동일하게 점호하면 해결될 수 있기 때문에 γ 응답에 관한 폐-루프(Closed Loop)를 이용하여 소호 각을 6펄스 간격이나 2펄스 간격으로 매순간 변조하면 동일한 소호 각을 얻을 수 있다. 이러한 γ Balancing은 과도상태 뿐만 아니라 정상상태에서도 고조파를 줄이고 전류실패를 줄이는 역할을 한다.

γ Balancing을 구성하는 첫 번째 방법은 3상의 각 Pair사이의 γ 를 일정하게 하는 방법으로써 식 (1)과 같은 알고리즘을 이용하며 실제적인 하드웨어 구성은 그림 9의 (b)와 (c)로 구성되어지고 모델링은 식 (2)와 (3)과 같이 구성된다.

$$\begin{aligned} \gamma_4 + \gamma_{10} &= \gamma_2 + \gamma_8 \\ \gamma_5 + \gamma_{11} &= \gamma_3 + \gamma_9 \\ \gamma_6 + \gamma_{12} &= \gamma_4 + \gamma_{10} \\ \gamma_7 + \gamma_1 &= \gamma_5 + \gamma_{11} \end{aligned} \quad (1)$$

2차 고조파 γ 출력(2ndH·M·O)

$$= GMA+GMB+GMC+GMD \quad (2)$$

$$GMA = VA \cdot A \cdot 0.3636 + VA \cdot (1-A) \cdot 0.1818$$

$$= 0.1818 \cdot VA \cdot (3A-1) \quad (3)$$

두 번째 방법인 6-펄스 그룹간의 γ 를 일정하게 하는 방법으로써는 식 (4)와 같은 알고리즘을 이용하며 실제적인 하드웨어 구성은 그림 9의 (d)로 구성되어지고 모델링은 식 (5)와 (6)과 같이 구성된다.

$$\begin{aligned} \gamma_1 + \gamma_3 + \gamma_5 + \gamma_7 + \gamma_9 + \gamma_{11} \\ = \gamma_2 + \gamma_4 + \gamma_6 + \gamma_8 + \gamma_{10} + \gamma_{12} \end{aligned} \quad (4)$$

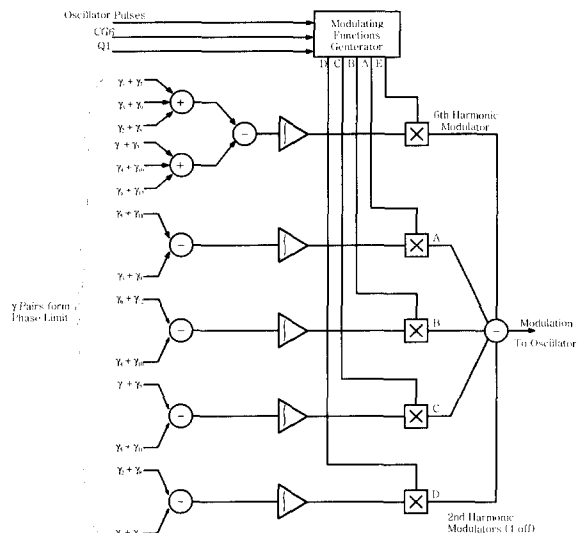
$$\begin{aligned} GME &= VE \cdot (Q1 \cdot (-0.13597) + (1-Q1) \cdot 0.13597) \\ &= 0.13597 \cdot VE \cdot (1-2Q1) \end{aligned} \quad (5)$$

최종적으로 γ Balancing의 출력(G·C·O)은 식 (6)

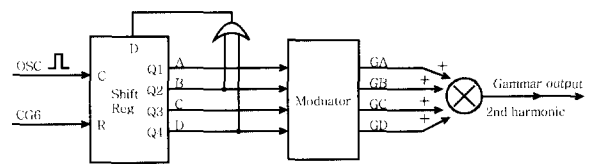
과 같이 구성되며 식 (2)와 식 (6)은 HVDC 시스템이 12 펄스 동작 시스템인지 아니면 6 펄스 시스템인지에 따라 선택적으로 사용되어질 수 있다.

이러한 γ Balancing의 출력은 Oscillator의 DC 기준 값에 더하여 진다.

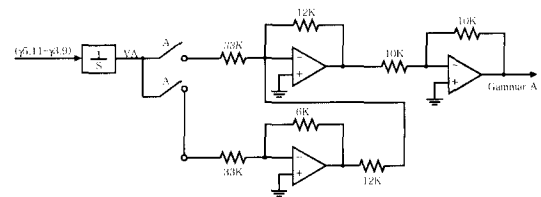
$$G \cdot C \cdot O = 2nd \text{ H} \cdot M \cdot O + GME \quad (6)$$



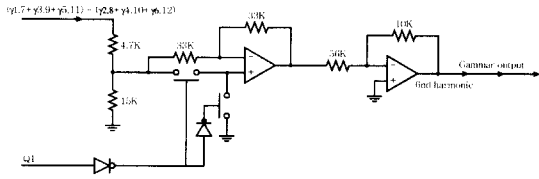
(a) γ Balancing 회로의 블록도



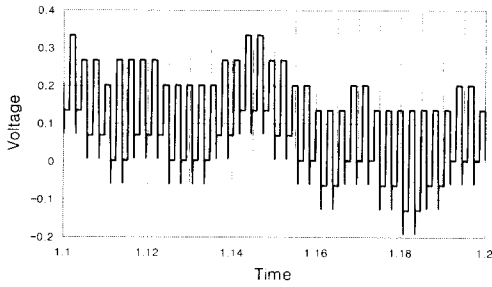
(b) 3상의 각 Pair사이의 γ 를 변조하는 방법



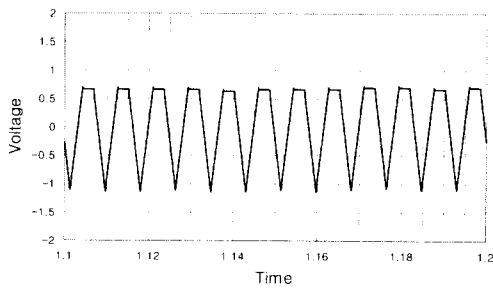
(c) 3상의 Pair를 변조하는 회로의 Modulator



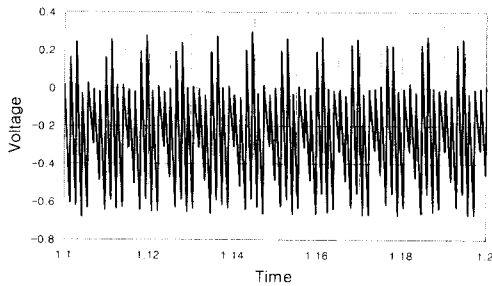
(d) 6-펄스 그룹간의 γ 를 변조하는 방법



(e) 6차 고조파 Balancing γ 출력



(f) 2차 고조파 Balancing γ 출력

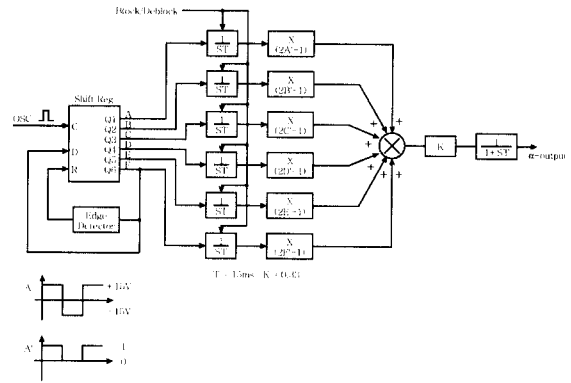


(g) γ Balancing 회로의 출력

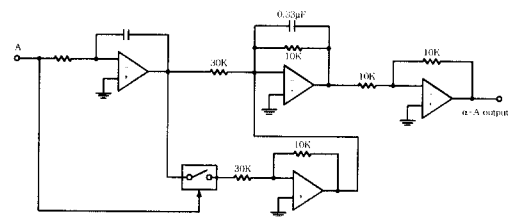
그림 9 γ Balancing 회로
Fig. 9 γ Balancing Circuit

2.4 α Balancing회로

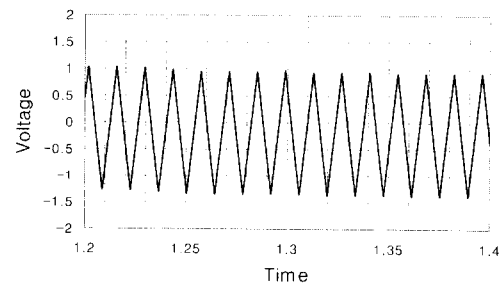
AC 시스템의 불평형은 α 값의 변동을 가져오고 변형된 α 값은 AC 시스템에서 2차 고조파가 커지는 역할을 한다. α Balancing 회로는 γ Balancing 회로와 유사한 동작을 하도록 한 것으로서 γ Balancing 회로가 인버터에 사용되어지는 것에 비해 α Balancing 회로는 컨버터가 정류기로 동작하는 경우에 사용되어진다. 본 회로의 기능은 각 상에서 2개의 밸브의 게이팅 시간을 조절함으로써 동일한 α 값을 출력하도록 한다.



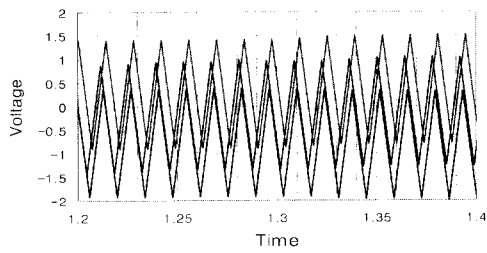
(a) α Balancing회로의 블록도



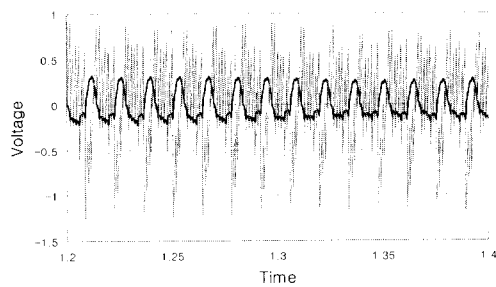
(b) α Balancing회로의 Modulator



(c) 1상의 α Balancing회로 출력



(d) 각 상의 α Balancing 회로 출력



(e) α Balancing 회로의 출력

그림 10 α Balancing 회로
Fig. 10 α Balancing Circuit

2.5 3차 고조파 Balancing 회로

제주-해남 HVDC 시스템에는 3차 고조파를 줄이는 3차 고조파 Balancing 회로가 있다. 이 회로의 기능은 컨버터 변압기에서 발생하는 정상분 3차 고조파 전압을 측정하여 3차 고조파가 줄어들게끔 점호신호를 Balancing 하는 회로로써 회로의 구성은 그림 11과 같다. 이러한 3차 고조파 Balancing 회로는 α Balancing 회로나 γ Balancing 회로와 합쳐져서 점호 각이나 소호 각을 Balancing 하는데 변조효과는 검증되고 않고 있다.

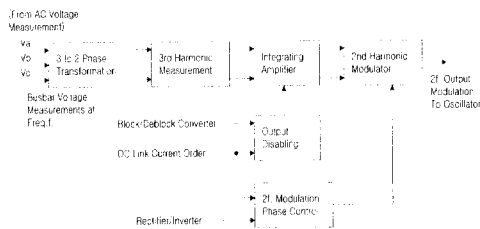


그림 11 3차 고조파 Balancing 회로
Fig. 11 3th Harmonic Balancing Circuit

2.6 Loop Control

Phase Control의 Loop Control은 지령 값과 실제 값을 비교하여 오차 값을 발생시키는 부분이다. Loop Control은 각각 7개의 입력을 가진 독립된 8개의 제어기로 구성되어 있고 입력의 4개는 고정된 게인으로 구성되어 있는데(3번, 4번, 5번, 6번) 반해 2개의 입력(1번, 2번)은 AC 커플링 함수가 삽입되어 있다. AC 커플링은 일종의 미분기로서 HVDC 시스템의 속응성을 갖게 하는 KICK Control이다. 그림 12는 Loop Control의 내부 구성을 보여 주고 있다.

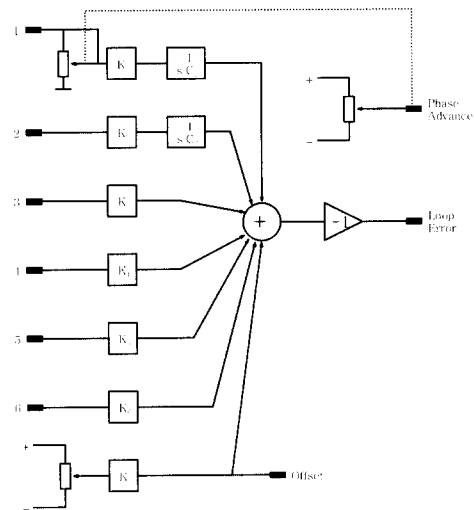


그림 12 Loop Control
Fig. 12 Loop Control

표 1 Loop Control의 룩-업 테이블
Table 1 Loop Control Look-Up Table

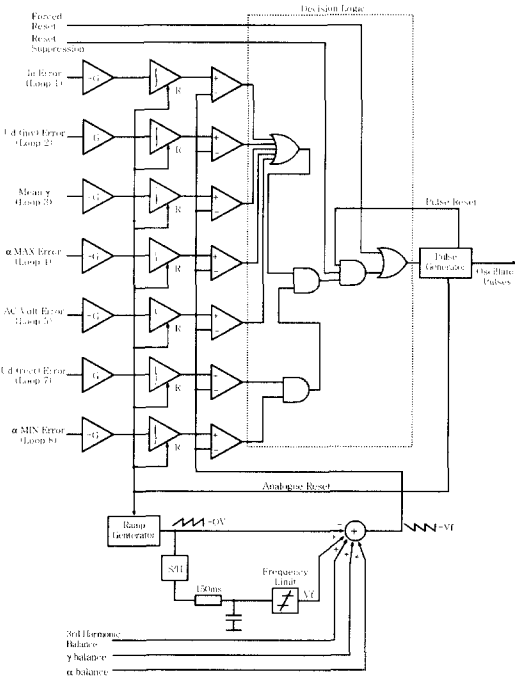
LOOP	INPUT						
	1	2	3	4	5	6	7
Loop 1 (Current)	Id	$-\alpha$ Response	X	X	Id	Id Order	X
Loop 2 (DC Volt.)	Udf	Id	Loop 6 (2nd 4f)	X	Udf	Udf Order	X
Loop 3 (Mean γ)	Udf	X	X	Disable	γ Response	X	20% (지령값)
Loop 4 (α Max)	X	X	X	α -Advance	$-\alpha$ Response	X	100% (지령값)
Loop 5 (AC Volt.)	X	X	X	X	Disable	Evw	1.5(pul) (지령값)
Loop 6 (Spare)	X	α Response	X	X	X	X	X
Loop 7 (DC Volt.)	Udr	Id	X	Loop 6 (2nd 4f)	Udr	Udr Order	X
Loop 8 (α Min)	X	X	X	X	$-\alpha$ Response	α Order	X

2.7 Oscillator

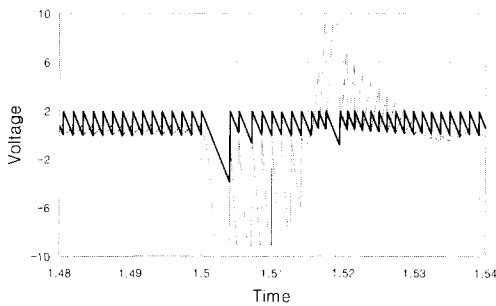
Oscillator는 등간격 점호 펄스를 발생시키는 부분으로서 Loop Control로부터 발생된 오차 중에 가장 큰 값에 따라 펄스가 발생하는 부분이며 AND/OR회로를 이용하여 Permission Logic을 구성한다. 그림 13 (a)의 Permission Logic은 일종의 최대/최소 선택기로서 HVDC 시스템의 모드를 결정해 주는 역할을 한다.

Permission Logic은 EPROM으로 구현되어 있기 때문에 시스템의 구성을 바꾸는데 유용하다.

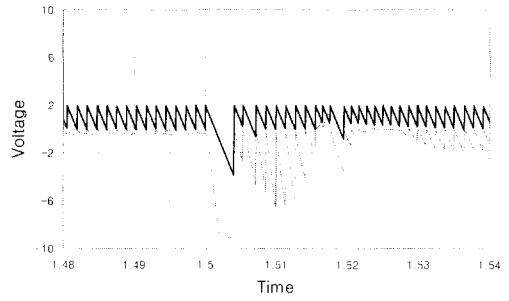
또한 Oscillator에는 Phase Limit로부터 입력되는 Forced Reset 신호와 Reset Suppression 신호가 있는데 이 신호는 Permission Logic과 연계되어 실제적으로 점호 신호를 $2^{\circ} - 180^{\circ}$ 안에서 발생되도록 한다.



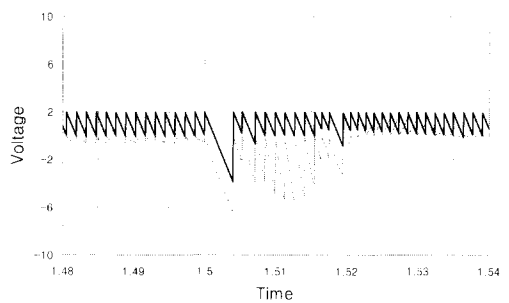
(a) Oscillator의 구성



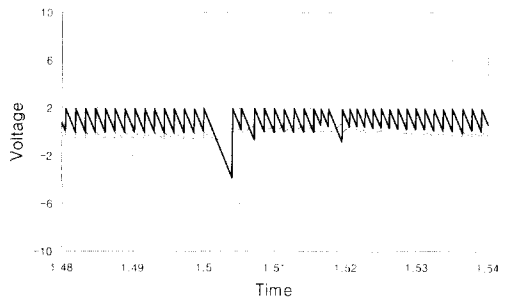
(b) 전류 제어기의 오차와 Oscillator 출력



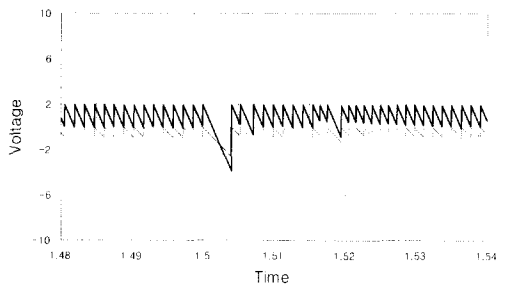
(c) 전압 제어기의 오차와 Oscillator 출력



(d) 평균 γ 제어기의 오차와 Oscillator 출력



(e) α -Max 제어기의 오차와 Oscillator 출력



(f) AC 전압 제어기의 오차와 Oscillator 출력

그림 13 Loop Control 신호와 Oscillator
Fig. 13 Loop Control Signal and Oscillator

마지막으로 등간격 점호 발생기는 Ramp 발생기로부터 나오는 톱니파와 톱니파의 최대 값을 검출하여 이를 평활한 DC 파를 비교하여 Oscillator의 기준 파를 만들고 Oscillator의 기준파와 제어기의 오차 값을 비교하여 등간격 점호 신호를 발생시키는 것으로 톱니파의 최대 값을 검출하여 평활한 이유는 계통 주파수에 대한 Balancing 능력을 갖기 위한 이유이다. 등간격 점호를 변조시키는 입력으로써는 톱니파를 평활한 DC 입력과 3차 고조파 Balancing 회로 출력, α Balancing 출력 그리고 γ Balancing 출력이다.

그림 13은 Oscillator의 구성과 Loop Control의 제어기들의 오차 신호와 비교되는 Oscillator의 기준파를 보여주고 있는 것으로 정상상태 제어동작이 아니라 Oscillator가 가지고 있는 최대/최소 선택기의 동작을 확인하기 위해서 1.5초에서 고장을 인가하여 제어기의 천이 과정을 보여 주고 있다.

2.8 Ring Counter

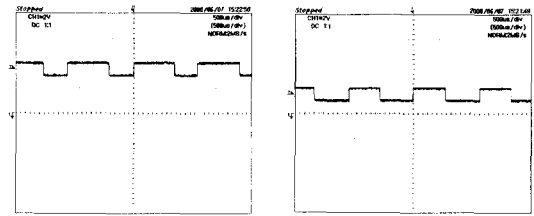
Ring Counter는 Oscillator에서 발생하는 펄스를 싸이리스터를 점호하는 신호로 변화시켜주는 부분이며 HVDC 시스템의 정지와 기동 시퀀스와 연계하여 싸이리스터의 점호신호를 중단시키는 신호(Block D)와 HVDC 시스템을 정지하기 전에 인버터 단의 전류를 프리휠링(Free-Wheeling)시키는 동작이나 랙티파이어를 인버팅시키는 작용을 한다.

3. 실제의 HVDC 시스템의 동작특성

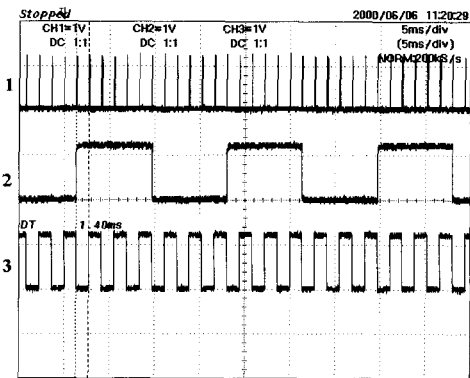
그림 14는 실제 제주 HVDC 시스템의 Phase Limit 에서 측정된 파형으로서 그림 14의 (a)와 (c)는 각각 α 응답과 γ 응답을 보여주고 있으며 그림 14 (c)에서 1번 파형은 점호 펄스를 보여 주고 있으며 2번 파형은 6개의 점호 펄스 당 1 펄스가 발생하는 TTL 로직 신호(CG1~CG6)로써 각 상의 α 응답과 Forced Reset 신호를 만드는데 이용된다. 또한, 3번 파형은 점호 펄스마다 1 펄스가 발생하는 TTL 로직 신호(Q1~Q6)로써 γ Balancing 신호를 만드는데 이용되어 진다.

그림 15는 γ Balancing 회로출력을 보여주고 있는 것으로써 그림 15 (a)의 1번은 2차 고조파 Balancing 회로의 출력이 되며 2번 파형은 6차 고조파 Balancing 회로의 출력 파형을 보여 주고 있다.

그리고 그림 15 (b)는 6차 고조파 Balancing 출력(1번)과 2차 고조파 Balancing 출력(2번) 그리고 최종적인 γ Balancing 회로 출력(3번)을 보여 주고 있다.



(a) α 응답 (b) γ 응답

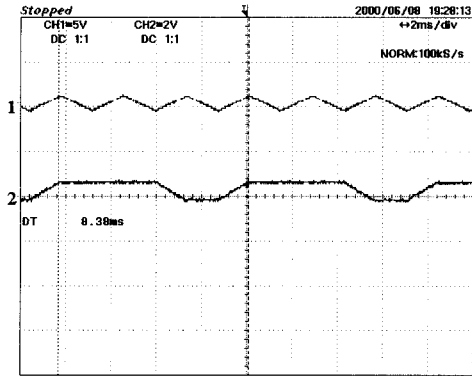


(c) 1 : 점호 펄스, 2 : CG1, 3 : Q1

그림 14 Phase Limit 출력
Fig. 14 Phase Limit Output

그림 16은 α Balancing 회로의 출력을 보여주고 있는 것으로 1번 파형은 Y결선의 a상, 2번 파형은 b상 그리고 3번 파형은 c상에 대한 α Balancing 출력을 나타내고 있다.

그림 17은 γ Balancing 회로의 점호각 변조 체계를 실제의 HVDC 시스템에서 측정된 파형으로 확인한 결과로써 1번 파형은 Oscillator의 기준 신호를 만들어 주는 신호로써 일정한 DC 파형이 나타나지 않고 파형 왜곡이 생기는 이유는 γ Balancing 출력(11번 신호)이 일정한 DC 기준 신호에 더해졌기 때문이며 최종적인 등간격 기준 신호는 변조된 DC 기준 신호(1번 신호)와 톱니파 신호(2번 신호)의 오차에 의해서 발생된다. 그림 17의 4번, 7번, 8번, 9번 신호는 2차 고조파 γ Balancing의 Modulator 신호이며, 6번 신호는 6차 고조파 γ Balancing의 Modulator 신호이고, 5번 신호는 6차 고조파 Balancing 신호의 출력 값 그리고, 10번 신호는 2차 고조파 γ Balancing 신호의 출력 값 그리고 11번 신호는 6차 고조파 γ Balancing 출력과 2차 고조파 γ Balancing 출력을 합성한 최종적인 γ Balancing 출력을 보여 주고 있다. 또한 3번 파형은 γ 응답 파형을 보여 주고 있다.



(a) 6차 하모닉 Balancing 출력과
2차 하모닉 Balancing 출력

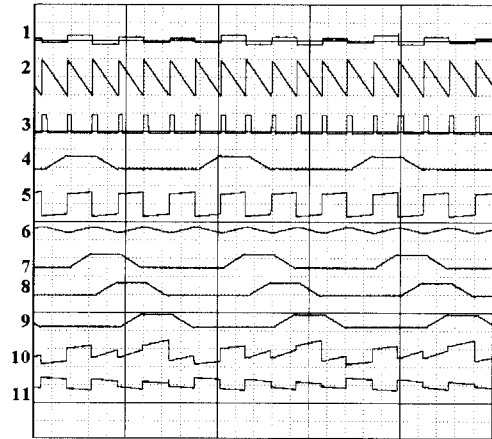
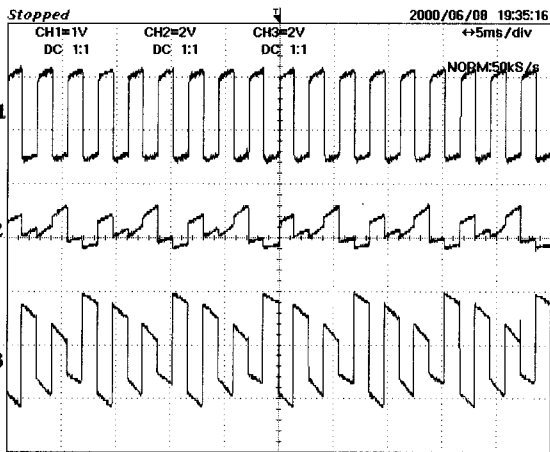


그림 17 γ Balancing 출력과 점호 펄스
Fig. 17 γ Balancing Output and Firing Pulse



(b)

그림 15 γ Balancing 출력
Fig. 15 γ Balancing Output

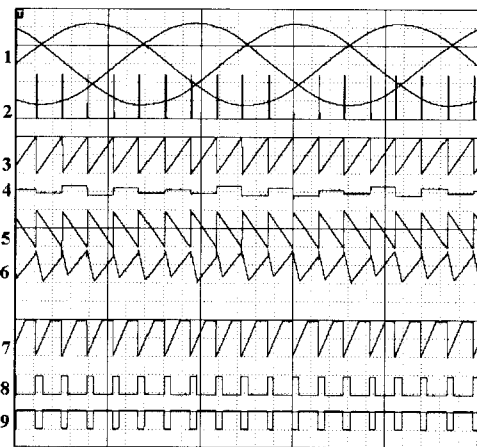


그림 18 HVDC 시스템의 제어동작
Fig. 18 Control Action of HVDC System

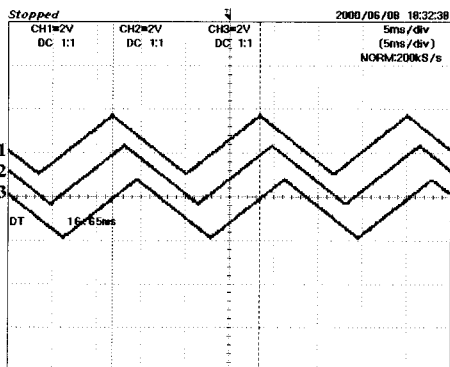


그림 16 α Balancing 출력
Fig. 16 α Balancing Output

그림 18은 제주-해남 HVDC 시스템의 Phase Control 내부의 신호를 큐비클 패널에서 측정된 파형으로 실제의 HVDC 시스템의 제어동작을 보여 주고 있다.

그림 18에서 1번 파형은 AC 계통의 3상 전압, 2번 파형은 점호 펄스, 3번 파형은 Oscillator의 기준 신호를 만들기 위한 톱니 파형, 4번 파형은 Oscillator의 DC 기준 신호, 5번 파형은 3번 파형과 4번 파형의 합에 의해 만들어지는 Oscillator의 비교 파형, 그리고 6번 파형은 전류 제어기의 오차 신호, 7번 파형은 α max 제어기의 오차 그리고 8번 파형은 γ 응답, 9번 신호는 α 응답을 보여 주고 있다. 그림 18에서 5번

신호와 6번 신호가 만나는 지점에서 집호 펄스가 발생 되는 것을 알 수 있다. 이 장에서 보여주는 제주-해남 HVDC 시스템의 동작 파형은 2장에서 논한 EMTDC 를 이용한 시뮬레이션 파형과 비교해 보면 근사한 값을 갖는 것을 알 수 있다.

4. 결 론

본 논문은 제주-해남 HVDC시스템의 제어동작을 분석하기 위해서 전력전자 수준에서 HVDC 시스템을 모델링 하였다. 전력전자 수준에서 HVDC 시스템의 제어동작은 AC 계통의 고장에 의한 HVDC 시스템의 회복력과 HVDC 시스템의 스트레스를 분석하기 위해서 필수 적이다. 시뮬레이션한 결과는 실제의 HVDC 동작 파형과 비교해 보면 근접한 수준임을 알 수 있고, 이러한 프로그램의 개발은 HVDC 시스템의 고장 분석과 운전 자료로 활용할 예정이다.

본 논문에서 부족한 면이 있다면 실제의 제주-해남 HVDC 시스템은 운전되고 있는 시스템이기 때문에 시뮬레이션에서와 같이 고장을 임의로 발생시키는 것이 불가능하여 실제의 HVDC 동작 파형은 단순한 제어 동작 상태만을 보여주었다.

참 고 문 헌

- [1] 제주-해남 HVDC Manual, 한국전력 공사, 1993.
- [2] PSCAD/EMTDC Manual, Manitoba HVDC Center, 1994.
- [3] Manitoba-Hydro HVDC Model development Manitoba-Hydro, 1995.
- [4] J. D. Ainsworth, "Developments in the Phase Locked Oscillator Control System for HVDC and Other Large Converters", 1970, GEC Published.
- [5] Kunder, Power System Stability and Control McGraw-Hill, Inc, 1993.
- [6] N. Mohan, T.M. Undeland, W.P. Robbins "Power Electronics: Converters, Applications and Design" second edition, John Wiley and Sons, 1995.

저 자 소 개



김찬기(金燦起)

1968년 12월 17일생. 충북 충주 출생. 1991년 서울산업대 전기공학과 졸업. 1993년 중앙대 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(박사). 1996년~2001년 현재 전력연구원 선임연구원.