

유리-유리 진공-정전 열 접합을 이용한 PDP의 Tubeless 패키징 공정

論 文

50C-1-7

PDP Tubeless Packaging Process Using Glass-to-Glass Vacuum-Electrostatic Bonding

朱炳權*·李德重*·鄭鎮旭**·文權振***·金榮祚**·李允熙*

(Byeong-Kwon Ju · Duck-Jung Lee · Jin-Wook Jeong · Gwon-Jin Moon · Young-Cho Kim · Yun-Hi Lee)

Abstract : New package process for PDP was proposed based on the glass-to-glass vacuum-electrostatic bonding process and tubeless packaging concept derived from the previous study. Hermeticity and operating performance of PDP test panel through the seal-off process application and the possibility for practical use might be high if the process simplicity and productivity-related effort was sequentially carried out.

Key Words : glass-glass bonding, Vacuum packaging, Hermeticity, Plasma Display Panel, Light Emission

1. 서 론

PDP(Plasma Display Panel)의 제조 공정에 있어서 최종 단계인 패키징의 경우 현재까지는 CRT 형 패키징 기술을 토대로 하며, 350°C ~ 500°C 범위에 이르는 고온 공정에 의한 내부 구성 요소들의 손상, 약 15 ~ 18 시간 이상에 이르는 장시간 glass frit 열처리-패널(panel) 내부의 배기(pumping-out)문제, 이와 함께 고온 공정 및 봉지(tip-off)시 야기되는 CO나 CO₂ 등의 아웃가스(out-gass) 및 오염, 그리고 대형 유리 패널에 부착되어 있는 배기용유리세관 등으로 인한 취급(handling)의 어려움 등이 완전히 해결되지 못하고 있다[1,2].

본 연구에서는 이에 대한 제안으로서 진공-정전 열 접합 (vacuum-electrostatic bonding)에 의한 PDP의 tubeless packaging 공정을 제안하고자 한다[3-7]. 이는 이미 개발되어 발표된 바 있는 유리-유리 정전 열 접합 공정 및 FED(Field Emission Display)의 tubeless packaging 공정을 토대로 하며, 이를 통하여 PDP 패키징에 있어서 저온 및 단시간 봉입 공정(180°C-5시간), 초청정 공정, 패널의 경박화, 그리고 재생(repair) 기능 제공 등의 효과를 얻을 수 있을 것으로 기대된다. 제안된 방법에 따른 PDP의 tubeless packaging 실현 및 실용성 평가가 제시될 것이다.

2. 공 정

앞서 보고된 유리-유리 정전 열 접합 공정 및

tubeless packaging 기본 개념이 공정의 요소 기술로서 적용되었다 [1-5]. 오리온 전기(주)로부터 4 inch color AC PDP를 제공 받았으며, 후면판(backplate)에는 직경 5mm의 배기용 홀(hole)이 가공되어 있다. 보조유리기판(support glass)은 ITO(Indium Tin Oxide)가 coating되어 있는 1.5cm x 1.5cm 크기의 유리 기판으로 ITO 위에 접합을 위한 삽입층(interlayer)으로서 200nm 두께의 비정질 Si 박막이 sputtering에 의해 증착되어 있다. 다음으로 glass frit을 사용하여 PDP의 전면판(faceplate)과 후면판, 그리고 후면판과 support glass를 부착하였으며, frit은 430°C N₂ 분위기에서 6시간 동안 소성하였다. 이와 같이 1차 조립된 패널을 밀봉기판(capping glass)와 함께 진공 챔버내에 탑재한 다음 챔버내부를 1×10⁻⁶Torr까지 펌핑(pumping)한 후 PDP 기체(Xe 3% + Ne 27% + He 70%)를 180°C 기준 400Torr까지 채웠다[8,9]. 마지막으로 180°C-250V_{dc}의 조건에서 밀봉기판을 보조유리기판에 정전 열 접합함으로써 배기 홀을 밀봉하였으며 최종 조립된 패널을 상온에 이르기까지 냉각하였다. 이상과 같이 수행된 공정 개념도를 그림 1에 나타내었다.

아울러 그림 2는 진공 챔버내에서 패널 봉입 과정을 설명한 것이다. 먼저, 1차 조립된 패널과 밀봉기판을 챔버 내에 넣고 초기 온도-진공도가 300°C-10⁻⁶Torr인 상태에서 120분 동안 가열하여 아웃가스를 제거하도록 하고 진공도를 10⁻⁶Torr에 이르게 한 뒤 온도를 정전 열 접합 온도인 180°C로 낮추었다. 다음으로, PDP 기체를 챔버내에 주입하고 패널 내부의 가스 분압을 일정하게 하기 위하여 50분을 유지하였으며, 180°C-400Torr의 조건에서 접합에 의한 봉입을 한 뒤 냉각하였다. 냉각 후 패널 내부의 압력은 실온에서 약 300Torr 정도가 된다. 이는 압력이 온도에 의존적이라는 사실과 일치한다.

* 正 會 員 : KIST情報材料素子센터 研究員/先任研究員

** 正 會 員 : 靑雲大 電子工學科 教授/大學生

*** 正 會 員 : 오리온 電氣(株) PDP研究室 研究員

接受日字 : 2000年 9月 4日

最終完了 : 2000年 12月 29日

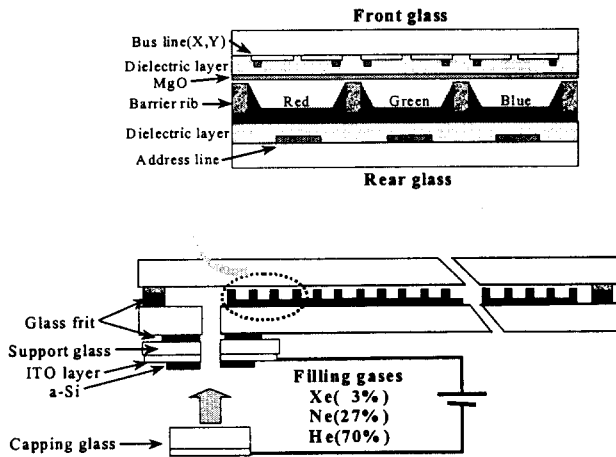


그림 1. 진공-정전 열 접합을 이용한 PDP tubeless packaging의 공정 개념도
 Fig. 1. Conceptual view of PDP tubeless packaging process using vacuum-electrostatic bonding

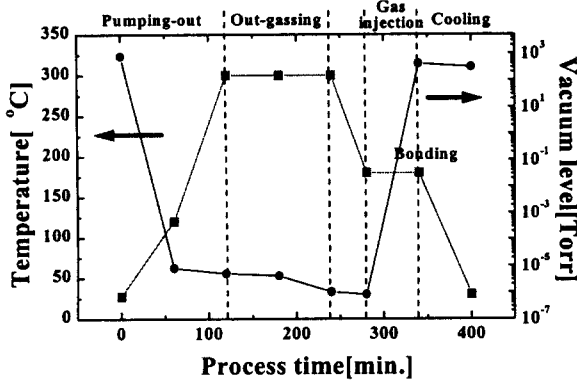


그림 2. 패널 봉입을 위한 공정 전개도
 Fig. 2. Process chart for panel sealing

3. 특성 평가

진공-정전 열 접합에 의해 tubeless packaging된 FED 패널에 대해서는 그 내부 진공도를 SRG(Spinning Rotor Gauge)로 평가하여 밀봉성(hermeticity)을 확인한 바 있다. 제안한 방법에 의해 실장하였을 경우, 가스 leak 의 가능성을 확인하기 위하여 그림 3(a)와 같은 테스트 패널을 제작하였다. 하부 유리기판에 두개의 홀을 형성하고 하나에는 SRG 센서와 다른 하나에는 상기 제안한 방법으로 실장하였다. 이상의 공정으로 보조유리기판 및 밀봉기판이 적용된 패널에 대해서도 내부 진공도를 평가하였으며 그 결과를 그림 3(b)에 나타내었다. 내부 진공도 160시간 동안 진공도가 10^{-4} Torr 부근에서 큰 변화 없이 유지되는 것을 확인하였으며, 이를 통하여 밀봉성을 확인할 수 있다.

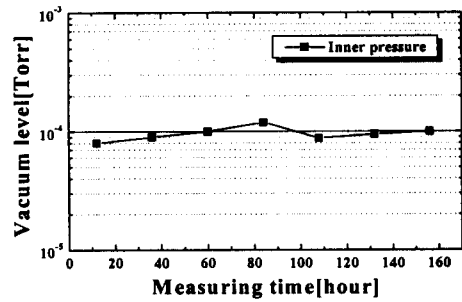
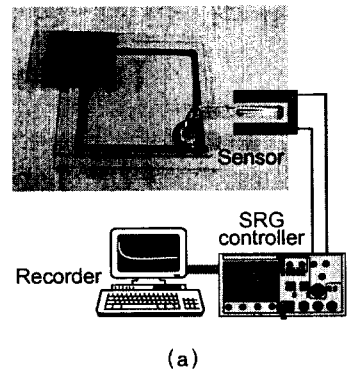


그림 3. SRG 패널 설치 모양(a) 및 측정된 패널 내부 진공도(b)
 Fig. 3. Set-up of SRG-panel(a) and measured vacuum level of panel inside(b)

그림 4는 진공-정전 열 접합을 통해 tubeless packaging된 PDP의 인가 전압에 따른 동작 모양을 나타낸 것으로 약 190V에 이르러 전면 발광이 일어나고 있음을 볼 수 있다. 이때 address 전압은 인가하지 않았으며, 50 kHz의 bus 전압만을 인가하였다. 아울러 그림 5는 안정적으로 전면 발광되고 있는 두께 8mm PDP의 앞면(a)과 뒷면(b)을 보인 것이다.

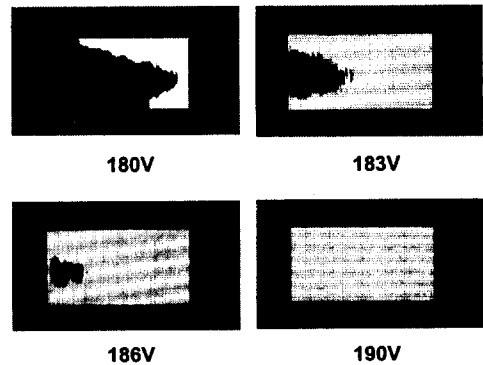


그림 4. PDP 테스트 패널의 인가 전압에 따른 동작 모드
 Fig. 4. Operating mode of PDP test panel as a function of applied voltage

4. 결 론

유리 기판 간의 진공-정전 열 접합 공정과 tubeless packaging 개념을 4 인치 PDP 테스트 패널에 적용하여 보았다. Tubeless packaging된 패널 구조는 완전한 밀봉성을 보였으며, 봉입 과정에서 소요되는 aging, 가스 주입 그리고 tip-off 시간도 단축할 수 있었다. 제조된 4인치 PDP 테스트 패널의 경우 전면 발광 특성을 확인할 수 있었으며, 공정의 단순성 및 생산성과 관련된 연구의 보완을 통해 실용화 기술로의 접근이 가능할 것으로 판단된다.

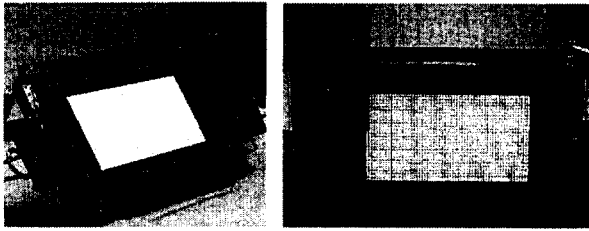
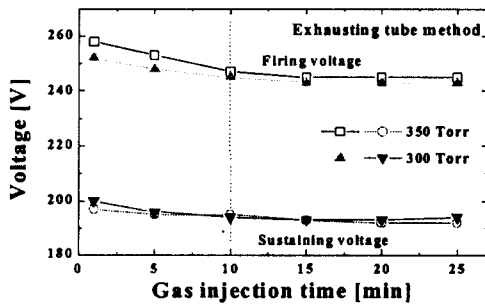


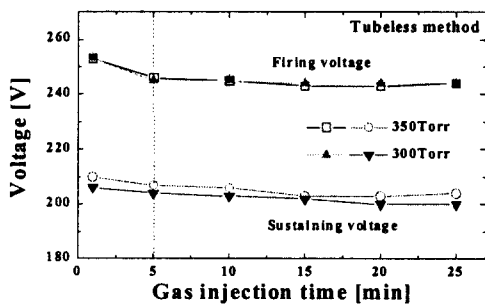
그림 5. Tubeless packaging된 PDP 테스트 패널의 전면(a) 및 후면(b) 모양

Fig. 5. Front-side view(a) and back-side view(b) of tubeless-packaged PDP test panel

그림 6은 3.6인치의 패널에 각각 기존 방법과 본 연구에서 제시한 방법을 이용하여 패키징할 경우 가스 주입 시간에 따른 구동 전압 특성을 보여주는 그래프이다. 기존 방법(그림6(a))의 경우 가스 주입 후 약 10분이 경과 되어야 안정화 되어가고 있음을 볼 수 있으며, tubeless 방법의 경우(그림 6(b))의 경우 5분 후면 구동 전압이 안정화 되었음을 볼 수 있다. 이러한 현상은 가스 분위기가 300 Torr와 350 Torr인 경우 같은 경향성을 보여주고 있다. 이상의 결과로부터 40인치급 이상의 PDP의 경우 이러한 구동 전압 안정화 시간은 길어질 것으로 사료되며, 만약 현재의 세관 방법에서 tubeless 방법으로 패키징 한다면 공정 시간의 단축을 기대할 수 있을 것으로 사료된다.



(a)



(b)

그림 6. 패키징 방법에 대한 구동 전압 특성

Fig. 6. Driving properties for exhausting tube(a) and tubeless(b) packaging methods.

감사의 글

본 연구는 과학기술부와 산업자원부에서 주관하는 초소형 정밀기계 선도기술 개발사업의 연구비 지원에 의한 것이며 이에 감사 드립니다.

참 고 문 헌

- [1] S. J. Jung, G. J. Moon, K. S. Kim, M. S. Kim, K. J. Woo, N. Y. Lee and S. Ahn : *Asia Display 98 Digest*, p.1157 (1998).
- [2] A. Roth : *Vacuum Sealing Technique*, (AIP press, New York), p.228 (1994).
- [3] 주병권, 이덕중, 이윤희, 오명환, Tubeless Packaging된 Field Emission Display의 개발, 전기학회논문지, 제48C권, 4호, pp.275-280 (1999.4.)
- [4] 주병권, 이덕중, 최우범, 김영조, 이남양, 오명환, 비정질 실리콘 박막을 이용한 Sodalime-Sodalime 정전 열 접합 및 FEA Packaging 응용, 전기학회논문지, 제48C권, 9호, pp.656-661 (1999.9.)
- [5] 주병권, 이덕중, FED Tubeless Packaging의 기술적 개선, 전기전자재료학회논문지, 제12권, 12호, pp.1097-1101 (1999.12.)
- [6] D.J. Lee, N.Y. Lee, J. Jang and B.K. Ju, Application of Electrostatic Bonding to FED Vacuum Packaging, J. Electro. Chem. Soc., vol.147 (6), pp.2385-2388 (2000.6)
- [7] 주병권, 평판 디스플레이의 새로운 진공 패키징 기술 동향, 전자진흥(한국전자산업진흥회), pp.61-65 (2000.3.)
- [8] M. Kamiya, H. Uchiike, T. Sasaki, Y. Kawai : *Asia Display95 Digest*, p.385 (1995).
- [9] D.J. Lee, B.K. Ju, J.W. Jeoung, J. Jang and M.H. Oh, Thin PDP packaging by glass-bonding technology and Its driving properties, IDW 00 proceeding, pp.779-782 (2000.12)

저 자 소 개



주 병 권 (朱炳權)

1962년 12월 2일 생. 1986년 서울시립대 전자공학과 졸업. 동대학원 전자공학과 졸업(석사). 1995년 고려대학교 전자공학과 졸업(공학박). 1995년 3월 현재 KIST 정보재료소자연구부 선임연구원. 관심분야 : FPD, MEMS,

Packaging

Tel : 02-958-5775

E-mail : jbk@kist.re.kr



문 권 진 (文權振)

1972년 1월 27일 생. 1995년 서울대 금속공학과 졸업. 1997년 동대학원 금속학과 졸업(석사). 1997년 현재 오리온 전기(주) 근무. 관심분야; PDP, 진공

E-mail : gjmoon@mail.orion.co.kr



이 덕 중 (李德重)

1970년 11월 5일 생. 1997년 상지대 물리학과 졸업. 1999년 경희대 물리학과 졸업(석사). 동대학원 박사과정. 1997년~현재 KIST 정보재료소자센터 학생연구원. 관심분야 : FPD, MEMS, Packaging

Tel : 02-958-5773

E-mail : djlee@kist.re.kr



김 영 조 (金榮祚)

1961년 12월 11일 생. 1989년 서울시립대 전자공학과 졸업. 1991년 동대학원 전자공학과 졸업(석사). 1995년 동대학원 전자공학과 졸업(공학박). 1995년~현재 청운대 전자공학과 조교수. 1997년~1998년 청운대 전자공학과 학과장 역임. 주관심분야 : 반도체 박막 및 센서, PDP

E-mail : yckim@cwunet.ac.kr



정 진 옥 (鄭鎭旭)

1977년 1월 22일 생. 1999년 청운대 전자공학과 졸업. 1997년 동대학원 전자공학과 재학. 관심분야 : FPD, Packaging

Tel : 02-958-5773

E-mail : jwjong@popsmail.com



이 윤 희 (李允熙)

1963년 2월 5일 생. 1985년 고려대 물리학과 졸업. 1987년 동 대학원 물리학과 졸업(석사). 1995년 동 대학원 물리학과 졸업(이박). 1987년 포항공대 연구원. 1988~1994년 KIST 정보전자연구부 연구원. 1994년~현재 KIST

정보재료소자연구센터 선임연구원. 관심분야 : CNT, ELD

Tel : 02-958-5772

E-mail : lyh@kist.re.kr