

# 다중 Gate 및 Channel 구조를 갖는 CMOS 영상 센서용 Floating-Gate MOSFET 소자의 제작 및 특성 평가

論 文  
50C-1-4

## Fabrication and Characterization of Floating-Gate MOSFET with Multi-Gate and Channel Structures for CMOS Image Sensor Applications

朱炳權\* · 申璟湜\*<sup>§</sup> · 李泳錫\*\* · 白京甲\*\*\* · 李允熙\* · 朴廷浩<sup>§</sup>  
( B. K. Ju · K. S. Shin · Y. S. Lee · K. K. Paek · Y. H. Lee · J. H. Park)

**Abstract** - The floating-gate MOSFETs were fabricated by employing 1.5 μm n-well CMOS process and their optical-electrical properties were characterized for the application to CMOS image sensor system. Based on the simulation of energy band diagram and operating mechanism of parasitic BJTs in the p-channel MOSFETs, enlargement of depletion layer and increase of current gain of the parasitic BJT were proposed as solutions for the increase of photo-current value. In order to realize them, MOSFETs having multi-gate and channel structures were fabricated and 60 % increase in photo-current was achieved through enlargement of depletion layer and parallel connection of parasitic BJTs by channel division.

**Key Words** : CMOS, Photo-transistor, BJT, MOSFET, CCD,

### 1. 서 론

영상 센서에 있어서 CMOS(Complementary Metal Oxide Semiconductor) 형은 CCD(Charge Coupled Device) 형에 비하여, 제조 과정이 표준 반도체 공정에 가깝고, 집적화가 용이하고, 저전력 구동이 가능하며, 가격을 낮출 수 있다는 등의 장점이 있다[1]. 이러한 장점들을 바탕으로 하여, 성능 향상 및 가격 절감, 카메라 시스템의 안정성 확보, 그리고 전지 구동이 가능한 휴대용 기기에 적합하다는 등의 특징이 있으며, 그 연구 개발 및 제품화가 최근에 이르러 더욱 가속화 되고 있다. 반면에 낮은 응답도(감도)가 문제시 되고 있는데, 이는 낮은 fill factor에 주로 기인하며 따라서 fill factor를 증가 시키거나 센서의 감도를 높이는 연구가 절실하다. CMOS 영상 센서에 적용되는 소자로는 다이오드나 BJT(Bipolar Junction Transistor), 그리고 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 등이 있으며[2-4], 이들 중 MOSFET이 CMOS 공정과 가장 부합되며, 집적화 및 생산성에 유리하다. 또한 MOSFET형 센서는 기생 BJT 특성을 이용할 수 있다[5-7]. 본 연구에서는 영상 센서 시스템용 광 센서로서 1.5 μm

n-well CMOS 공정을 적용하여 floating-gate MOSFET 소자를 설계 및 제작하고 평가하였으며, 이 때 다중 gate 및 channel 구조를 적용함으로써 센서의 감도 향상을 시도하였다.

### 2. 제조 공정

CMOS 센서의 제조를 위하여 1 poly-Si, 2 metal 구조의 1.5 μm n-well 표준 공정을 적용하였다. 사용한 기판은 저항률이 10 ~ 20 Ωcm인 p 형 (100) Si으로 n-well 형성을 위해 P를 이온 주입하였다(이온 주입 조건 : energy 120 keV, dose  $3.6 \times 10^{12}/\text{cm}^2$ , annealing 1100°C - 400 min - N<sub>2</sub>, calculated junction depth ~ 2.6 μm). Gate 절연막으로서 950 °C - 30 min 조건으로 열 산화된 25 nm 두께의 열 산화막을 사용하였으며, LP-CVD (Low Pressure-Chemical Vapor Deposition)에 의해 625°C에서 증착된 poly-Si를 gate 전극으로 적용하였다. Self-align 방식에 의해 Source와 gate 전극, drain 부분을 doping 하기 위해 B를 이온 주입하였다(이온 주입 조건 : energy 40 keV, dose  $3 \times 10^{15} /\text{cm}^2$ , annealing 950°C - 30 min - N<sub>2</sub>, Rs ~ 90 Ω/□). 다음으로 Al 전극을 형성한 뒤 보호막으로서 1 μm 두께의 TEOS(Tetra-Ethyl-OrthoSilicate) 산화막을 사용하였다.

### 3. 동작 기구 모사

상기 제조 공정을 따르는 CMOS 소자의 동작 특성을 모

\* 正 會 員 : 韓 國 科 學 技 術 研 究 員 情 報 · 材 料 素 子 研 究 中 心  
\*\* 正 會 員 : 靑 雲 大 工 大 電 子 工 學 科  
\*\*\* 正 會 員 : 大 真 大 工 大 電 子 工 學 科  
<sup>§</sup> 正 會 員 : 高 麗 大 工 大 電 子 工 學 科  
接受日字 : 2000年 8月 25日  
最終完了 : 2000年 12月 17日

사하였다. 공정 simulator와 소자 simulator로서 각각 TSUPREME 4와 MEDICI를 사용하였다. 그림 1은 공정 모사 결과로서 Source 및 drain의 측면 확산 길이, 즉 channel 점유 영역이 0.2  $\mu\text{m}$ 로 나타났으며, source와 drain의 표면 농도는  $10^{20}/\text{cm}^3$ 으로, n-well 영역의 표면 농도는  $10^{16}/\text{cm}^3$ 으로 얻어졌다.

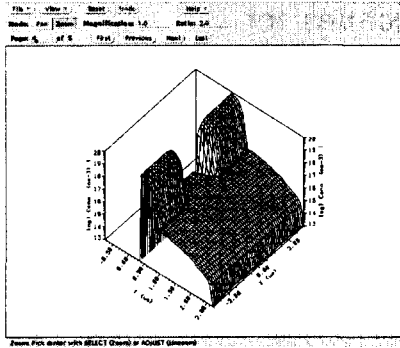
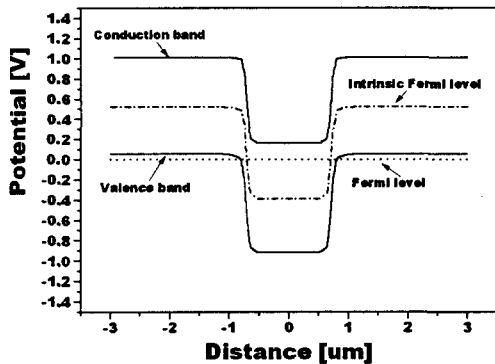
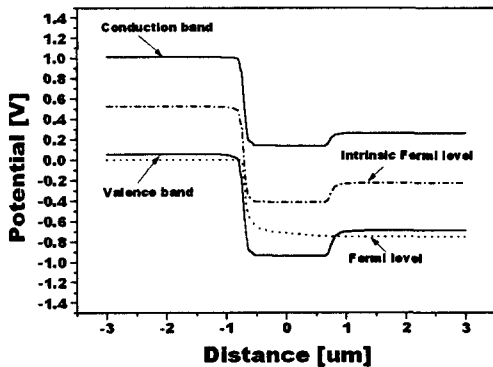


그림 1. CMOS 소자의 공정 모사 결과  
Fig. 1. Process simulation result of CMOS device



(a)



(b)

그림 2. CMOS 소자의 band diagram 모사 결과  
(a)  $V_d = 0\text{ V}$ , (b)  $V_d > 0\text{ V}$   
Fig. 2. Band diagram simulation results of CMOS device  
(a)  $V_d = 0\text{ V}$ , (b)  $V_d > 0\text{ V}$

그림 2는 CMOS 소자가 정상 상태(drain 전압,  $V_d = 0\text{ V}$ )와  $V_d > 0\text{ V}$ 일 경우의 band diagram이다. 일반적인 p-channel MOSFET의 동작 시  $V_d < 0\text{ V}$ 이나, 여기서는  $V_d > 0\text{ V}$ 로 하여 p-channel MOSFET 내의 p-n-p 형 기생 BJT 특성을 이용함으로써 높은 광 전류를 얻고자 하였다. 그림 2(a)에 보인 바와 같이  $V_d = 0\text{ V}$ 일 경우에는 높은 전위 장벽에 의해 source와 drain으로부터 channel 내로 carrier(전자-정공)의 주입이 일어날 수 없는 반면에, 그림 2(b)와 같이  $V_d > 0\text{ V}$ 일 경우에는 drain 측의 전위 장벽이 낮아지므로 drain으로부터 channel 내로 carrier의 주입이 일어나게 된다. Channel 내로 주입되는 정공의 농도와  $V_d$ 의 관계를 그림 3에 나타내었는데,  $V_d$ 가 증가할수록 전위 장벽이 더욱 낮아지므로 channel 내로 주입되는 정공의 농도가 증가하게 된다.

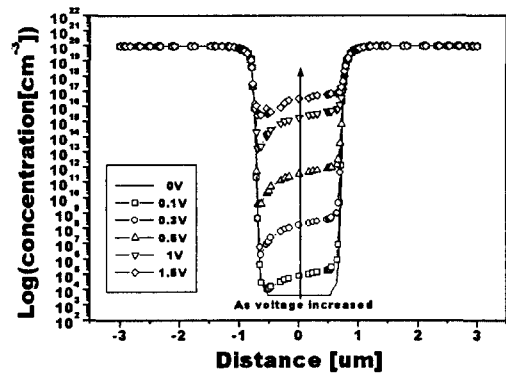


그림 3.  $V_d$ 와 drain으로부터 channel 내로 주입되는 정공 농도와의 관계  
Fig. 3. Relationship between  $V_d$  and hole concentration injected from drain into channel region

이상과 같은 모사 결과를 통하여 p-channel MOSFET 내에 존재하는 p-n-p 형 기생 BJT 소자의 band bending과 이를 통한 동작 특성을 확인하였다. 다음으로, gate 산화막과 n-well 영역간의 계면에서의 band bending 모사 결과를 그림 4에 보였다. Gate 산화막과 n-channel 계면에서는 그림 4에 나타내었듯이 band bending이 발생하는 것을 알 수 있으며, 이는 열처리 과정중 n-channel 영역에 있는 dopant들이 산화막 표면으로 모이기 때문이며, 이로 인해 gate 산화막과 n-well 계면에서의 도핑 농도가 n-channel 내부보다 약간 높게 된다. 따라서, gate 산화막과 n-well 영역에서 공핍층이 발생하며, 이때 공핍층 내에서 발생한 전자-정공쌍(EHP : Electron Hole Pair)이 기생 BJT의 base 전류로서 기여하게 된다. 결과적으로 광에 의해 공핍층 내에서 발생한 전자-정공쌍들이 기생 BJT의 base 전류( $I_b$ )를 형성하며,  $I_b$ 가 drain(emitter) 영역으로부터 주입되는 정공에 의해서 source(collector) 측으로 흐르는 collector 전류( $I_c$ )를 제어하게 된다. 즉, 광에 의한  $I_b$ 의 변화가  $I_c$ 의 변화로 나타나게 된다. 결과적으로 광에 의한 전자-정공쌍의 발생 확률과 농도를 증가시킬 수 있도록 공핍층을 확장하고, 이를 통하여 높은  $I_b$ 를 얻고 따라서  $I_c$  값의 변화폭을 넓히는 것이 감도 향상에 기여함을 추측할 수 있다.

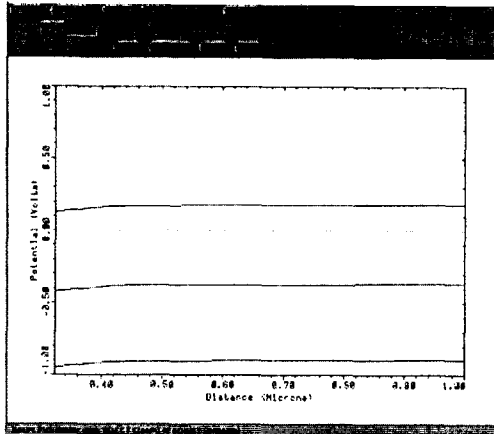


그림 4. Gate 산화막과 n-well 영역 간의 band diagram ( $V_d = 0$  V)  
 Fig. 4. Band diagram between gate oxide and n-well region ( $V_d = 0$  V)

4. 소자 구조 및 특성 평가

앞서 고려한 동작 기구 및 감도 향상 방법을 토대로 하여 CMOS 영상 센서 소자의 구조를 설계하였다. 즉, 공핍층 확장과 기생 BJT의 전류 증폭률 증가를 위하여 복수 개의 gate와 channel을 다중 배치하는 구조를 고안하였으며, 그 대표적인 구조를 그림 5에 나타내었다.

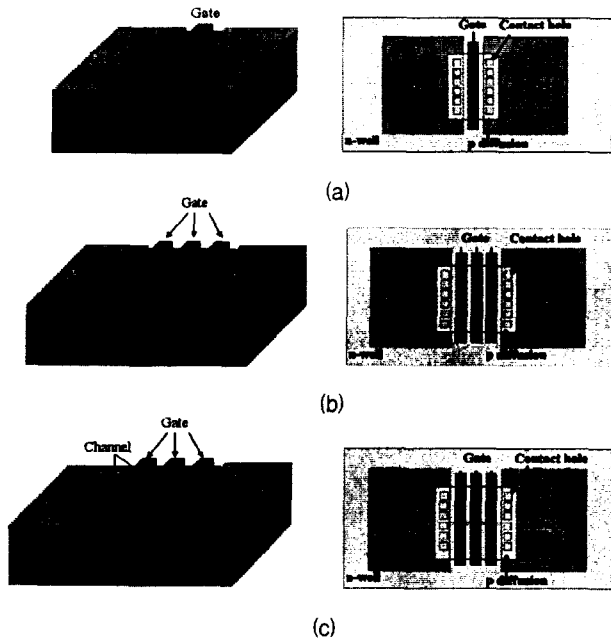


그림 5. 다중 gate 및 channel을 갖는 floating-gate MOSFET의 설계  
 (a) 1 gate-1 channel 형, (b) 3 gate-1 channel 형,  
 (c) 3 gate-2 channel 형  
 Fig. 5. Design of floating-gate MOSFET having multi-gates and multi-channel structures  
 (a) 1 gate-1 channel type, (b) 3 gate-1 channel type,  
 (c) 3 gate-2 channel type

설계 및 제조된 소자는 그림 5에 보인 바와 같이 3 종류의 그림들, 즉 단일 gate 및 단일 channel 형 MOSFET 소자, 다중 gate 및 단일 channel 형 MOSFET 소자, 그리고 다중 gate 및 다중 channel 형 MOSFET 소자로 분류된다. 아울러, gate의 W(width) / L(length) 비는 그림 5(a) 구조의 경우  $100\mu\text{m} / 2\mu\text{m}$ 와  $100\mu\text{m} / 6\mu\text{m}$ 로, 그림 5(b) 구조의 경우  $100\mu\text{m} / (2+2+2)\mu\text{m}$ 로, 그리고 그림 5(c) 구조의 경우  $(50+50)\mu\text{m} / 6\mu\text{m}$ 와  $(50+50)\mu\text{m} / (2+2+2)\mu\text{m}$ 로 설계되어 있다. 이때 gate와 channel 간의 간격은  $1.5\mu\text{m}$ 와  $3\mu\text{m}$ 로 하였다. 전술한 공정을 거쳐 제조된 소자의 모양을 그림 6에 나타내었다.

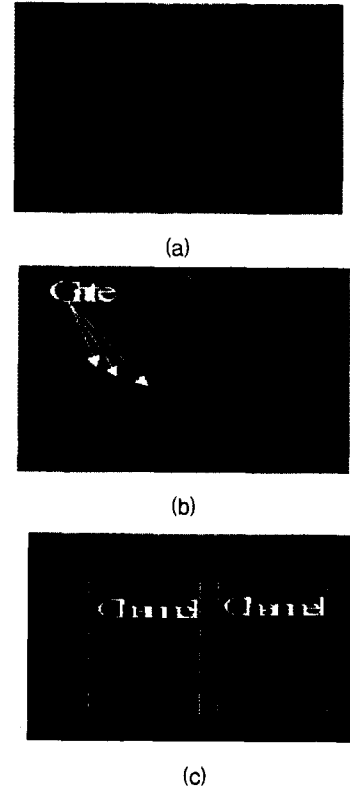


그림 6. 제조된 MOSFET 소자의 모양 (a) 1 gate-1 channel 형, (b) 3 gate-1 channel 형, (c) 3 gate-2 channel 형  
 Fig. 6. Structures of the fabricated MOSFET devices  
 (a) 1 gate-1 channel type, (b) 3 gate-1 channel type,  
 (c) 3 gate-2 channel type

5. 특성 평가

제조된 MOSFET 소자의 광 센서 특성을 평가하기 위하여, 그림 7과 같은 간단한 측정 시스템을 구성하였다. 소자를 열 잡음 및 주변 광으로부터 격리하기 위하여 진공형 암실을 적용하였고, 전류-전압 발생 및 기록을 위해 Keithley 236 시스템을 부착하였다. 광의 조사량은 모든 소자에 대하여 동일한 세기로 가했으며, 그 크기를 두가 지로 구분하여, 상대적으로 빛의 강도가 높은 경우를 light2로, 조사량이 낮은 경우를 light1으로 하여 전류-전압 특성을 측정하였다.

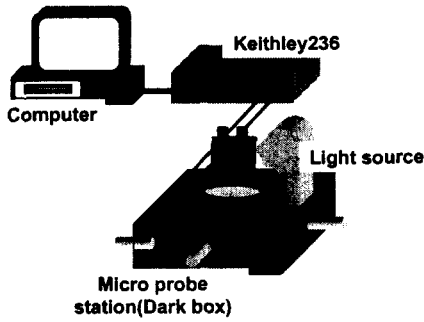


그림 7. 특성 평가 시스템의 구성도  
Fig. 7. Schematic diagram of characterizing system

5-1. Channel 길이에 대한 광 전류 의존도

W / L이 100  $\mu\text{m}$  / 2  $\mu\text{m}$ 와 100  $\mu\text{m}$  / 6  $\mu\text{m}$ 인 단일 gate-단일 channel MOSFET 형 광센서 소자의 광 전류 특성을 그림 8에 보였다. Channel 길이가 6  $\mu\text{m}$ 에서 2  $\mu\text{m}$ 로 감소한 경우 광 전류치는 증가하고 포화 전압은 감소하는 것으로 나타났다. 이는 MOSFET의 drain(emitter) channel(base) source(collector)로 이루어지는 p-n-p 형 기생 BJT를 고려할 때, base에 해당하는 channel 길이가 감소함으로써 전류 이득가 증가(광 전류치 증가)하고 channel 저항이 감소(포화 전압 감소)한 것에 기인하는 것으로 볼 수 있다[8]. 이에 따라 전류 이득 channel 는 channel의 길이와 반비례 관계에 있기 때문이며, 채널의 길이가 짧아질수록 전류이득은 크게 증가함을 예상할 수 있다.

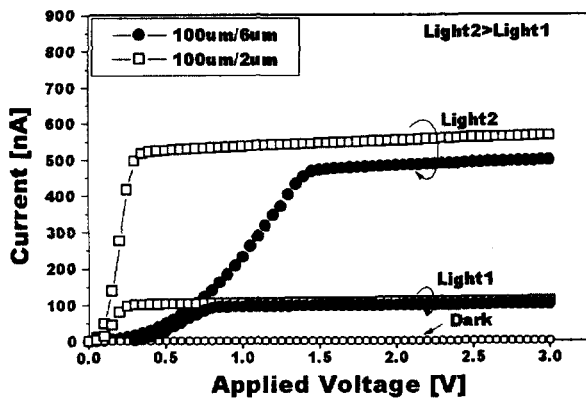


그림 8. Channel 길이에 대한 광 전류의 의존도  
(1 gate-1 channel 형 MOSFET)  
Fig. 8. Dependence of photo-current on channel length  
(1 gate-1 channel type MOSFET)

5-2. Gate 수에 대한 광 전류 의존도

그림 9는 W / L이 100  $\mu\text{m}$  / 2  $\mu\text{m}$  및 100  $\mu\text{m}$  / (2+2+2)  $\mu\text{m}$ 인 MOSFET 소자에 있어서 gate 수와 광 전류치 간의 관계를 보인 것이다. Gate 수가 증가하여도 광 전류치에는 큰

변화가 없는 것으로 나타났다. 이는 그림 10에 보인 W / L = 100  $\mu\text{m}$  / (2+2+2)  $\mu\text{m}$  인 3중 gate 형 MOSFET에 형성되는 기생 BJT의 전기적 등가 회로를 통하여 해석할 수 있다[9]. 즉, 3 개의 기생 BJT가 직렬 연결된 구조를 이루고 있으며, gate 산화막 아래의 공핍층에서 발생하는 전자-정공쌍에 의한 전류 성분을  $I_{ehp}$ , p<sup>+</sup>-n 접합 계면의 공핍층에서 발생하는 전자-정공쌍에 의한 전류 성분을  $I_{ehp}$ 으로 표시하였다. 한 개의 기생 BJT의 base 전류  $I_b$ 는  $I_b = I_{ehp} + I_{ehp}$ 으로 얻어지며, 광의 수광 면적을 고려할 때  $I_{ehp} \gg I_{ehp}$ 로  $I_b \sim I_{ehp}$ 인 관계가 성립된다.  $I_b \sim I_{ehp}$ 인 개별 BJT로부터 얻어지는 collector 전류  $I_c$ 는  $I_c \sim I_{ehp}$ 로 주어지며, 직렬 연결 구조로 인해 3 개의 기생 BJT를 거쳐 출력되는 광 전류도 개별 BJT의 collector 전류에 해당하는  $I_c \sim I_{ehp}$ 로 나타난다.

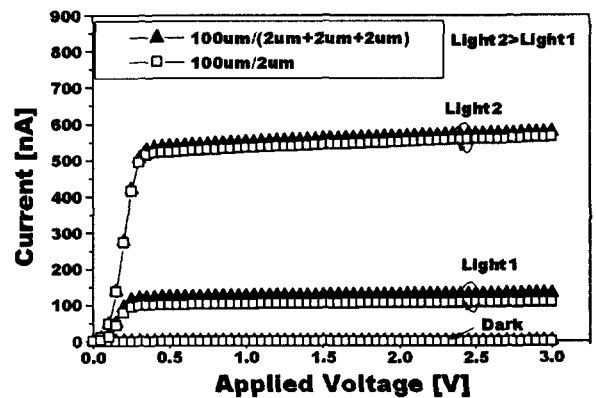


그림 9. Gate 수에 대한 광 전류의 의존도  
Fig. 9. Dependence of photo-current on gate number

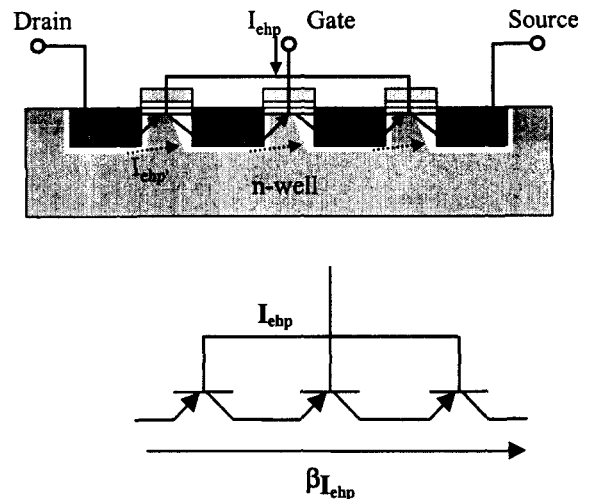


그림 10. 3 gate-1 channel 형 MOSFET 구조 내의 기생 BJT 등가 회로  
Fig. 10. Equivalent circuit of parasitic BJTs in 3 gate-1 channel type MOSFET structure

5-3. Channel 수에 대한 광 전류 의존도

그림 5(c)에 보인 바와 같이 channel을 길이 방향으로 2등분하여 2 channel 구조를 갖는 MOSFET에 대해 광 전류를 평가하여 보았다. 그림 11은 1 channel-3 gate 구조(100 μm / (2+2+2) μm), 2 channel-3 gate 구조((50+50) μm / (2+2+2) μm), 그리고 1 channel-1 gate 구조(100 μm / 6 μm)에 대한 광 전류 특성을 나타낸 것이다. Channel 수가 증가하면 광 전류치가 증가하는 것을 알 수 있으며, 이는 그림 12에 보인 바와 같이 2 channel-3 gate 형 MOSFET에 있어서 기생 BJT들의 연결 구조를 통하여 해석할 수 있다. 즉, channel 분리에 따른 모서리 부분에서의 공핍 영역의 증가와 병렬 연결된 BJT array로부터의 전류치의 합, 그리고 부가적인 기생 BJT의 생성으로 인해 전체적으로 광 전류치가 증가한다고 볼 수 있다.

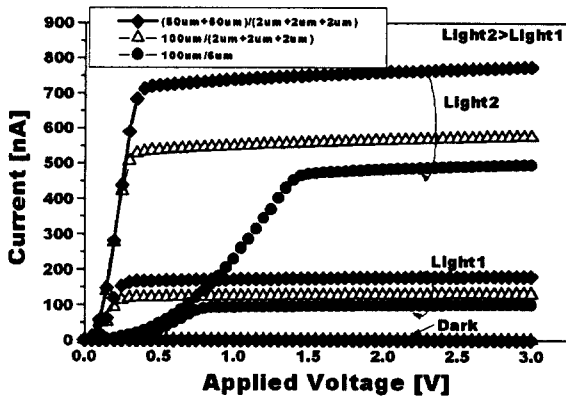


그림 11. Channel 수에 대한 광 전류의 의존도  
Fig. 11. Dependence of photo-current on channel number

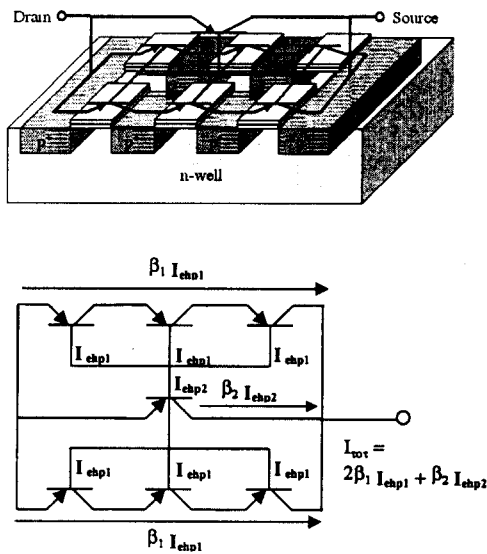
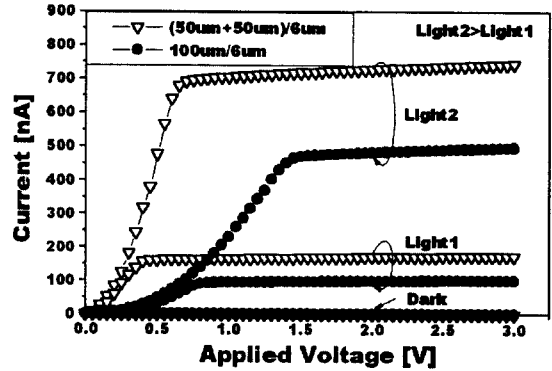
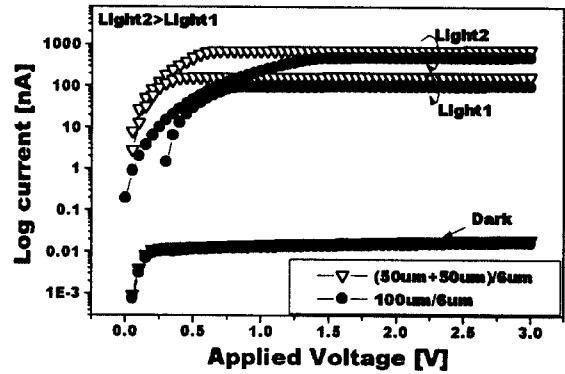


그림 12. 3 gate-2 channel 형 MOSFET 구조 내의 기생 BJT 등가 회로  
Fig. 12. Equivalent circuit of parasitic BJTs in 3 gate-2 channel type MOSFET structure



(a)



(b)

그림 13. 1 gate 형 MOSFET에 있어서 channel 수에 대한 광 전류(a) 및 암 전류(b)의 의존도

Fig. 13. Dependence of photo-current(a) and dark-current(b) on channel number in 1 gate type MOSFET

따라서 MOSFET 형 광 센서에 있어서 광 전류를 증가시키기 위해서는 gate 수를 늘리는 것보다는 channel을 분할하는 것이 더욱 효과적임을 알 수 있다. 이러한 현상은 단일 gate를 갖는 MOSFET의 경우에도 적용되는데, 그림 13(a)에 보인 바와 같이 channel 분할에 의하여 광 전류치가 포화 영역에서 약 60% 정도 증가하는 것으로 나타났다. 이때 암 전류치는 그림 13(b)에 보였듯이 channel 분할 이후에도 변화가 없음을 알 수 있다.

6. 결론

CMOS 영상 센서의 광 전류치 증가(감도 증가)를 위하여 1.5 μm n-well CMOS 공정을 적용하여 다중 gate 및 channel을 갖는 p-channel MOSFET을 설계-제작하고 광 센서로서의 동작 특성을 평가한 결과 다음과 같은 결과들을 얻을 수 있었다.

- 1) n-well을 갖는 p-channel MOSFET의 doping profile 및 energy band diagram 모사를 통하여 광 센서로서 사용 가능한 기생 BJT 동작 특성이 나타나는 것으로 해석하였다.

- 2) 이러한 기생 BJT 구조에 있어서 광에 의한 전자-정공 쌍의 발생 확률과 농도를 증가시킬 수 있도록 공핍층을 확장하고, 이를 통하여 높은  $I_b$ 를 얻고 따라서  $I_c$  값의 변화폭을 넓히는 것이 감도 향상에 기여함을 추측할 수 있었다.
- 3) 공핍층 확장과 전류 이득의 증가를 위해 다중 gate 및 다중 channel을 갖는 p-channel MOSFET을 설계-제작한 결과 도출되는 광 전류는 channel의 길이와 반비례하고, gate 수에는 크게 의존하지 않으며, channel 수에는 비례하는 것으로 나타났다.
- 4) 이러한 현상은 공핍 영역의 확장, 병렬 연결된 BJT array로부터의 전류치의 합, 그리고 부가적인 기생 BJT의 생성에 기인하는 것으로 볼 수 있다.

다음 단계의 연구로서 p-channel MOSFET 및 이에 따른 p-n-p 형 기생 BJT의 동작 기구에 관한 보완 해석, 검출 회로 집적화에 의한 출력 신호의 증폭 및 변환, 그리고 센서 어레이 구성을 통한 실용성 검증 등이 수행될 예정이다.

#### 참 고 문 헌

- [1] M. Schanz, W. Brockherde, R. Hauschild, B.J. Hosticka, M. Schwarz, "Smart CMOS Image Sensor Arrays", *IEEE Trans. Electron Devices*, vol. 44, no. 10, pp. 1699-1705, Nov. 1997
- [2] M. Kyomasu, "Development of an integrated high speed silicon PIN photo-diode sensor", *IEEE Trans. Electron Devices*, vol. 42, pp. 1093-1099, June 1995.
- [3] S. Verdonckt-Vandebroek, S. S. Wong, J. C. S. Woo, and P. K. Ko, "High-gain lateral bipolar action in a MOSFET structure", *IEEE Trans. Electron Devices*, vol. 38, no. 21, p. 2487, Nov. 1991.
- [4] Y. Matsunaga, H. Yamashita, S. Manabe, and N. Harad, "A high sensitivity MOS photo-transistor for area image sensor", *IEEE Trans. Electron Devices*, vol. 38, pp. 735-742, May 1991.
- [5] S. A. Parke, C. Hu, and P. K. Ko, "Bipolar-FET hybrid-mode operation of quarter-micrometer SOI MOSFET", *Electron Device Lett.*, vol. 14, pp. 234-36, May 1993.
- [6] S. A. Parke, F. Assaderaghi, J. Chen, J. King, C. Hu, and P. K. Ko, "A versatile, SOI BiCMOS technology with complementary lateral BJTs", *IEDM Tech. Dig.*, pp. 453-56, 1992.
- [7] H. Yamamoto, K. Taniguchi, and C. Hamaguchi, "High-sensitivity SOI MOS photodetector with self-amplification", *Jpn. J. Appl. Phys.*, vol. 35, pp. 1382-386, 1996.
- [8] E. A. Vittoz, "MOS transistors operated in the lateral bipolar mode and their application in CMOS technology", *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 273-279, June 1983.
- [9] D. M. Sweeney, K. G. McCarthy, A. Mathewson, B. Mason, "A SPICE Compatible Subcircuit Model for Lateral Bipolar Transistors in a CMOS Process", *IEEE Trans. Electron Devices*, vol. 45, pp. 1978-1984, Sep. 1998

저 자 소 개



주 병 권 (朱炳權)

1962년 12월 2일 생. 1986년 서울시립대 전자공학과 졸업. 동대학원 전자공학과 졸업(석사). 1995년 고려대학교 전자공학과 졸업(공학박). 1995년 3월 현재 KIST 정보재료소자연구부 선임연구원. 관심분야 : FPD, MEMS,

Packaging

Tel : 02-958-5775

E-mail : jbk@kist.re.kr



백 경 갑 (白京甲)

1965년 11월 8일 생. 1987년 고려대 공대 전자공학과 졸업. 1990년 동 대학원 전자공학과 졸업(석사) 1994년 동 대학원 전자공학과 졸업 (공학박). 1994년 3월~현재 대전대학교 전자공학과 부교수. 관심분야 : 센서, ASIC, RFIC, MEMS

Tel : 031-539-1902

E-mail : kkpaek@road.daejin.ac.kr



신 경 식 (申璟湜)

1970년 3월 3일 생. 1996년 서울시립대 공대 전자공학과 졸업. 1998년 동 대학원 전자공학과 졸업(석사). 현재 고려대 대학원 전자공학과 박사과정. 한국과학기술연구원 정보재료소자센터 학생연구원. 관심분야 :

CMOS, MEMS, 센서

Tel : 958-5775, Fax : 958-5692

E-mail: jbk@kist.re.kr



이 윤 희 (李允熙)

1963년 2월5일 생. 1985년 고려대 물리학과 졸업. 1987년 동 대학원 물리학과 졸업(석사). 1995년 동 대학원 물리학과 졸업(이박). 1987년 포항공대 연구원. 1988~1994년 KIST 정보전자연구부 연구원. 1994년~현재 KIST 정보재료소자연구센터 선임연구원. 관심분야 : CNT, ELD

Tel : 02-958-5772

E-mail : lyh@kist.re.kr

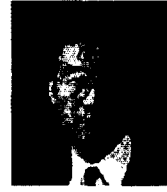


이 영 석 (李泳錫)

1968년 2월 13일 생. 1993년 서울시립대학교 전자공학과 졸업. 1995년 동 대학원 전자공학과 졸업(석사). 1998년 동 대학원 전자공학과 졸업(공학박) 1998년 3월~현재 청운 대학교 전자공학과 교수. 관심분야 : 생체 및 영상신호처리

Tel : 041-630-3288

E-mail : yslee@cwunet.ac.kr



박 정 호 (朴廷浩)

1981년 2월 고려대 전자공학과 졸업. 1987년 12월 텔라웨어대 전기전자공학과 졸업(공학박). 1988년~1990년 금성중앙연구소 연구실장. 1990년~현재 고려대 전자공학과 교수. 관심분야 : 광전자소자, mnic, 반도체

체센서

Tel : 3290-3226

E-mail : jhpark@korea.ac.kr